

MC9S08PA60 系列数据表

支持：MC9S08PA60 (A) 和
MC9S08PA32 (A)

主要特点

- 8 位 S08 中央处理器单元 (CPU)
 - 高达 20 MHz 的总线，温度范围为 -40°C 至 105°C，温度范围为 2.7V 至 5.5V
 - 支持多达 40 个中断/重置源
 - 支持高达四级嵌套中断
 - 片上内存
 - 在完全工作电压和温度下，高达 60 KB 的闪存读取/程序/擦除
 - 高达 256 字节的 EEPROM；2 字节擦除扇区；在执行闪存时编程和擦除
 - 高达 4096 字节的随机存取存储器 (RAM)
 - 闪存和 RAM 访问保护
 - 省电模式
 - 一个低功耗停止模式；降低功率等待模式
 - 外围时钟启用寄存器可以禁用时钟到未使用的模块，减少电流；允许时钟在停止 3 模式下保持对特定外围设备的启用
 - 时钟
 - 振荡器 (XOSC) - 环形控制振荡器；晶体或陶瓷谐振器范围为 31.25 kHz 至 39.0625 kHz 或 4 MHz 至 20 MHz
 - 内部时钟源 (ICS) - 包含由内部或外部参考控制的频率锁定回路 (FLL)；内部参考的精确修剪允许在 0°C 至 70°C 的温度范围内有 1% 的偏差和整个工作温度的 2% 的偏差；高达 20 MHz
 - 系统保护
 - 具有独立时钟源的看门狗
 - 带复位或中断的低压检测；可选的跳闸点
 - 带有重置的非法操作码检测
- NXP 保留根据需要更改生产细节规格的权利，以便改进其产品的设计。
- 输入/输出
 - 多达 57 个 GPIO，包括一个仅输出引脚

MC9S08PA60

建议将 MC9S08PA60A 和
MC9S08PA32A 用于新设计

- 发展支持
 - 单线后台调试接口
 - 断点功能允许在电路内调试期间设置三个断点
 - 片上电路内模拟器 (ICE) 调试模块包含两个比较器和九个触发模式
- 外围设备
 - ACMP - 一个具有正负输入的模拟比较器；可单独选择上升和下降比较器输出的中断；过滤
 - ADC - 16 通道，12 位分辨率；2.5 μ 转换时间；带可选水印的数据缓冲区；自动比较功能；内部带隔参考通道；停止模式下操作；可选硬件触发器
 - CRC - 可编程循环冗余检查模块
 - FTM - 三个柔性计时器调制器模块，包括一个 6 通道和两个 2 通道模块；16 位计数器；每个通道可以配置为输入捕获、输出比较、边缘或中心对齐 PWM 模式
 - IIC - 一个集成电路模块；高达 400kbps；多主操作；可编程从地址；支持广播模式和 10 位寻址；支持 SMBUS 和 PMBUS
 - MTIM - 两个带有 8 位预缩放器和溢流中断的模式定时器
 - RTC - 16 位实时计时器计数器 (RTC)
 - SCI - 三个串行通信接口 (SCI/UART) 模块可选 13 位中断；全双工不返回零 (NRZ)；LIN 扩展支持
 - SPI - 一个 8 位和一个 16 位串行外围接口 (SPI) 模块；全双工或单线双向；主模式或从模式



- 两个 8 位键盘中断模块 (KBI)
- 两个真正的开放输出引脚
- 八, 支持 20 mA 源/汇电流的超高电流汇引脚
- 软件包选项
 - 64 针 LQFP; 64 针 QFP
 - 48 针 LQFP
 - 44 针 LQFP
 - 32 针 LQFP

深圳南天星

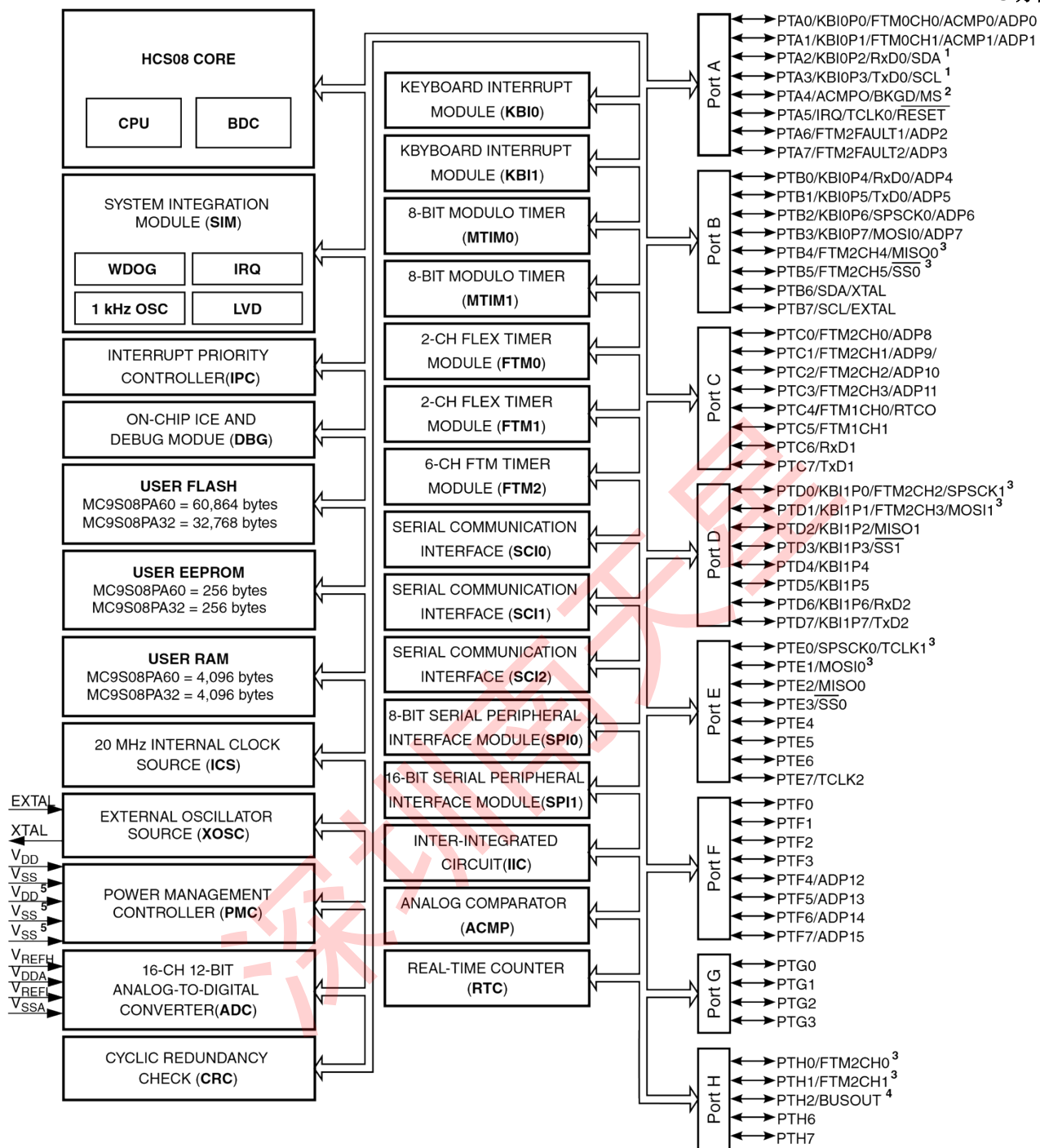
目录

1 MCU 方框图.....	4
2 可订购的部件号.....	6
3 零件识别.....	7
3.1 描述.....	7
3.2 格式.....	7
3.3 字段.....	7
3.4 示例.....	7
4 参数分类.....	8
5 个评分.....	8
5.1 热处理额定值.....	8
5.2 水分处理等级.....	8
5.3 ESD 处理等级.....	9
5.4 电压和电流工作额定值.....	9
6 一般.....	10
6.1 非开关电气规格.....	10
6.1.1 直流特性.....	10
6.1.2 供应电流特性.....	16
6.1.3 开关规格.....	17
6.2.1 控制时间.....	18
6.2.2 调试跟踪定时规范.....	19
6.2.3 FTM 模块定时.....	20
6.3 热规格.....	21
6.3.1 热操作要求.....	21
6.3.2 热特性.....	21
7 外围操作要求和行为.....	22
7.1 外部振荡器 (XOSC) 和 ICS 特性.....	22
7.2 NVM 规格.....	24
7.3 模拟.....	25
7.3.1 ADC 特性.....	25
7.3.2 模拟比较器 (ACMP) 电气.....	28
7.4 通信接口.....	29
7.4.1 SPI 切换规格.....	29
8 尺寸.....	32
8.1 获取包装尺寸.....	32
9 引脚.....	33
9.1 信号多路复用和引脚分配.....	33
9.2 设备引脚分配.....	35
10 修订历史.....	39

1 MCU 方框图

下面的框图显示了 MCU 的结构。





1. PTA2 and PTA3 operate as true open drain when working as output .
2. PTA4/ACMP0/BKGD/MS is an output-only pin when used as port pin.
3. PTB4、PTB5、PTD0、PTD1、PTE0、PTE1、PTH0 和 PTH1 可以提供高汇/源电流驱动器。
4. BUSOUT 的时钟频率必须等于或小于 10 MHz，PAD 时负载为 25pF。
5. V 和 V (64 针封装中的引脚 41 和引脚 40) 和第三个 V (64 引脚封装中的引脚 13) 的次级电源对没有粘合 女儿 纳粹党卫军 纳粹党卫军 在 32 针封装中。

图 1. MCU 方框图

可订购部件号

2 可订购部件号

下表总结了本文档所涵盖设备的部件号。

表 1. 订购信息

特征	MC9S08PA60 (A)					MC9S08PA32 (A)				
	VLH	VQH	VLF	VLD	VLC	VLH	VQH	VLF	VLD	VLC
最大频率 (MHz)	20	20	20	20	20	20	20	20	20	20
闪存 (KB)	60	60	60	60	60	32	32	32	32	32
内存 (KB)	4	4	4	4	4	4	4	4	4	4
EEPROM (B)	256	256	256	256	256	256	256	256	256	256
12 位 ADC	16ch	16ch	12ch	12ch	12ch	16ch	16ch	12ch	12ch	12ch
16 位 FlexTimer	6ch+2ch+2ch	6ch+2ch+2ch	6ch+2ch+2ch	6ch+2ch+2ch	6ch+2ch+2ch	6ch+2ch+2ch	6ch+2ch+2ch	6ch+2ch+2ch	6ch+2ch+2ch	6ch+2ch+2ch
8 位 模数计时器	2	2	2	2	2	2	2	2	2	2
ACMP	1	1	1	1	1	1	1	1	1	1
RTC	是	是	是	是	是	是	是	是	是	是
16 位 SPI	1	1	1	1	1	1	1	1	1	1
8 位 SPI	1	1	1	1	1	1	1	1	1	1
I2C	1	1	1	1	1	1	1	1	1	1
SCI (LIN 能力)	3	3	3	3	2	3	3	3	3	2
看门狗	是	是	是	是	是	是	是	是	是	是
CRC	是	是	是	是	是	是	是	是	是	是
20mA 高驱动引脚	8	8	6	6	4	8	8	6	6	4
KBI 引脚	16	16	16	12	12	16	16	16	12	12
GPIO	57	57	41	37	28	57	57	41	37	28
包裹	64-LQFP	64-QFP	48-LQFP	44-LQFP	32-LQFP	64-LQFP	64-QFP	48-LQFP	44-LQFP	32-LQFP

零件识别

3 零件识别

3.1 描述

芯片的部件号有标识特定部件的字段。您可以使用这些字段的值来确定您收到的特定部分。

3.2 格式化

此设备的部件号具有以下格式：

MC 9 S08 PA AA (V) B CC

3.3 字段

此表列出了部件号中每个字段的可能值（并非所有组合都有效）：

字段	描述	评价
MC	资格状态	<ul style="list-style-type: none">• MC = 完全合格，一般市场流量
9	记忆	<ul style="list-style-type: none">• 9 = 基于闪存
S08	核心	<ul style="list-style-type: none">• S08 = 8 位 CPU
爸爸	设备系列	<ul style="list-style-type: none">• PA
嗜酒者互诚协会	以 KB 为基数的近似闪光灯大小	<ul style="list-style-type: none">• 60 = 60 KB• 32 = 32 KB
(五)	面具套装版本	<ul style="list-style-type: none">• (空白) = 任何版本• A = Rev. 2 或更高版本，这是新设计推荐的
字母 b	工作温度范围 (°C)	<ul style="list-style-type: none">• V = -40 到 105
立方厘米	包装指示符	<ul style="list-style-type: none">• QH = 64 针 QFP• LH = 64 针 LQFP• LF = 48 针 LQFP• LD = 44 针 LQFP• LC = 32 针 LQFP

3.4 事例

这是一个部件号示例：

参数分类

MC9S08PA60VQH

4 参数分类

本补编中显示的电气参数通过各种方法得到保证。为了让客户更好地理解，使用以下分类，并酌情在表格中相应地标记参数：

表 2。参数分类

P	这些参数在每个单独的设备的生产测试中得到保证。
字母 C	这些参数是通过测量跨过程变化的统计相关样本大小来实现的。
字母 T	除非另有说明，否则这些参数是通过在典型条件下对典型设备的小样本量进行设计表征来实现的。典型列中显示的所有值都属于此类别。
D	这些参数主要来自模拟。

笔记

分类酌情显示在参数表中标有“C”的列中。

5 评级

5.1 热处理等级

标志	描述	分钟。	最大。	单位	笔记
字母 TSTG	储存温度	-55	150	°C	1
字母 TSDR	焊接温度，无铅	—	260	°C	2

1. 根据 JEDEC 标准 JESD22-A103 确定，*高温存储寿命*。
2. 根据 IPC/JEDEC 标准 J-STD-020 确定，*非密封固态表面贴装设备的水分/回流灵敏度分类*。

5.2 水分处理评级

标志	描述	分钟。	最大。	单位	笔记
MSL	水分敏感度	—	3	—	1

1. 根据 IPC/JEDEC 标准 J-STD-020 确定，*非密封固态表面贴装设备的水分/回流灵敏度分类*。

评级

5.3 ESD 处理评级

标志	描述	分钟。	最大。	单位	笔记
VHBM	静电放电电压，人体模型	-6000	+6000	V	1
VCDM	静电放电电压，带电设备模型	-500	+500	V	2
我 LAT	环境温度为 105°C 的门锁电流	-100	+100	妈	

1. 根据 JEDEC 标准 JESD22-A114 确定，静电放电 (ESD) 灵敏度测试人体模型 (HBM)。
2. 根据 JEDEC 标准 JESD22-C101 确定，微电子元件静电放电耐阈值的现场感应带电设备模型测试方法。

5.4 电压和电流工作额定值

绝对最大额定值仅为应力额定值，不能保证最大值的操作。超过下表规定的极限的应力可能会影响设备可靠性或对设备造成永久性损坏。对于功能性操作公司 Nditions，请参阅本文档中的其余表格。

该设备包含防止高静电或电场损坏的电路；但是，建议采取正常的预防措施，以避免对该高阻抗电路施加任何高于最大额定电压的电压。如果未使用的输入绑定到适当的逻辑电压电平（例如， $V_{\text{纳粹党卫军}}$ 或 $V_{\text{女儿}}$ ）或启用与引脚关联的可编程上拉电阻。

标志	描述	分钟。	最大。	单位
$V_{\text{女儿}}$	电源电压	-0.3	6.0	V
我女儿	最大电流进入 $V_{\text{女儿}}$	—	120	妈
$V_{\text{迪奥}}$	数字输入电压 (RESET、EXTAL、XTAL 或真开漏引脚 PTA2 和 PTA3 除外)	-0.3	$V_{\text{女儿}} + 0.3$	V
	数字输入电压 (真正的开漏引脚 PTA2 和 PTA3)	-0.3	6	V
VAIO	模拟 ¹ ，重置、EXTAL 和 XTAL 输入电压	-0.3	$V_{\text{女儿}} + 0.3$	V
我 D	瞬时最大当前单引脚限制 (适用于所有端口引脚)	-25	25	妈
VDDA	模拟电源电压	$V_{\text{女儿}} - 0.3$	$V_{\text{女儿}} + 0.3$	V

1.除开放引脚 PTA2 和 PTA3 外，所有数字 I/O 引脚都内部夹紧到 $V_{\text{纳粹党卫军}}$ 和 $V_{\text{女儿}}$ 。PTA2 和 PTA3 仅夹紧到 $V_{\text{纳粹党卫军}}$ 。

将军

6 将军

6.1 非开关电气规格

6.1.1 直流特性

本节包括有关电源要求和 I/O 引脚特性的信息。

表 3。直流特性

标志	字母 C	描述		分钟	典型的 ¹	麦克斯	单位
—	—	工作电压		—	2.7	—	V
V _{OH}	P	输出高压	所有 I/O 引脚, 标准驱动强度	5 V, I _{供电量} = -5 毫安	V _{女儿} - 0.8	—	V
	字母 C			3 V, I _{供电量} = -2.5 毫安	V _{女儿} - 0.8	—	V
	P	高电流驱动销, 高驱动强度 ²	5 V, I _{供电量} = -20 毫安	V _{女儿} - 0.8	—	V	
	字母 C		3 V, I _{供电量} = -10 毫安	V _{女儿} - 0.8	—	V	
I _{OHT}	D	输出大电流	最大总计 I _{OH} 对于所有港口	5 伏	—	-100	妈
				3 伏	—	-50	
V _{OL}	P	输出低电压	所有 I/O 引脚, 标准驱动强度	5 V, I _{供电量} = 5 毫安	—	0.8	V
	字母 C			3 V, I _{供电量} = 2.5 毫安	—	0.8	V
	P	高电流驱动销, 高驱动强度 ²	5 V, I _{供电量} = 20 毫安	—	0.8	V	
	字母 C		3 V, I _{供电量} = 10 毫安	—	0.8	V	
I _{OL}	D	输出低电流	最大总计 I _{OL} 对于所有港口	5 伏	—	100	妈
				3 伏	—	50	
V _{IH}	P	输入高压	所有数字输入	V _{女儿} > 4.5V	0.70 × V _{女儿}	—	V
	字母 C			V _{女儿} > 2.7V	0.75 × V _{女儿}	—	V
V _{IL}	P	输入低电压	所有数字输入	V _{女儿} > 4.5V	—	0.30 × V _{女儿}	V

	字母 C			$V_{\text{女儿}} > 2.7V$	—	—	$0.35 \times V_{\text{女儿}}$	
V_{Hys}	字母 C	输入滞后	所有数字输入	—	$0.06 \times V_{\text{女儿}}$	—	—	毫伏
I_{leak}	P	输入泄漏电流	所有仅输入引脚（每个引脚）	$V_{\text{leak}} = V_{\text{女儿}}$ 或 $V_{\text{纳粹党卫军}}$	—	0.1	1	μA

表格在下一页继续...

深圳南天星

表 3. 直流特性 (续)

标志	字母 C	描述		分钟	典型的 ¹	麦克斯	单位
我盎司	P	Hi-Z (非状态) 泄漏电流	所有输入/输出 (每个引脚)	$V_{\text{栅}} = V_{\text{女儿}}$ 或 $V_{\text{纳粹党卫军}}$	—	0.1	1 μA
我奥兹托特	字母 C	总泄漏组合为所有输入和 Hi-Z 别针	仅限所有输入和 I/O	$V_{\text{栅}} = V_{\text{女儿}}$ 或 $V_{\text{纳粹党卫军}}$	—	—	2 μA
字母 Rpu	P	上拉电阻	启用时, 所有数字输入 (所有 I/O PTA2 和 PTA3 以外的别针)	—	30.0	—	50.0 k Ω
字母 Rpu3	P	上拉电阻	PTA2 和 PTA3 引脚	—	30.0	—	60.0 k Ω
我 IC	D	直流注入电流 ^{4, 5, 6}	单针限制	$V_{\text{栅}} < V_{\text{纳粹党卫军}}$, $V_{\text{栅}} > V_{\text{女儿}}$	-0.2	—	2 妈
			总 MCU 限制, 包括所有应力引脚的总和		-5	—	25
字母 C 栅	字母 C	输入电容, 所有引脚		—	—	—	7 pF
$V_{\text{公羊}}$	字母 C	RAM 保留电压		—	2.0	—	V

1. 典型值在 25°C 下测量。表征, 而不是测试。
2. 只有 PTB4、PTB5、PTD0、PTD1、PTE0、PTE1、PTH0 和 PTH1 支持超高电流输出。
3. 指定的电阻值是设备内部的实际值。在引脚上外部测量时, 上拉值可能会显示更高。
4. 除 PTA2 和 PTA3 外, 所有功能性非供应销都内部夹紧到 $V_{\text{纳粹党卫军}}$ 和 $V_{\text{女儿}}$ 。
5. 输入必须受电流限制为指定的值。要确定所需限流电阻的值, 请计算正负钳电压的电阻值, 然后使用大电压。
6. 电源必须在运行 V 中保持监管^{女儿}在瞬时和运行最大电流条件下的范围。如果正注入电流 ($V_{\text{栅}} > V_{\text{女儿}}$) 比我高^{女儿}, 注入电流可能会从 V 流出^{女儿}并可能导致外部电源脱离监管。确保外部 $V_{\text{女儿}}$ 当 MCU 不消耗电力时, 负载将分流电流高于最大注入电流, 例如没有系统时钟, 或时钟速率非常低 (这将降低整体功耗)。

表 4. LVD 和 POR 规范

标志	字母 C	描述		分钟	类型	麦克斯	单位
$V_{\text{波尔}}$	D	POR 重新武装电压 ^{1, 2}		1.5	1.75	2.0	V
VLVDH	字母 C	降低电压检测阈值-高范围 (LVDV = 1) ³		4.2	4.3	4.4	V
VLVW1H	字母 C	低压下降警告 阈值高范围	1 级下降 (LVWV = 00)	4.3	4.4	4.5	V
VLVW2H	字母 C		2 级下降 (LVWV = 01)	4.5	4.5	4.6	V

VLVW3H	字母 C		3 级下降 (LVWV = 10)	4.6	4.6	4.7	V
VLVW4H	字母 C		4 级下降 (LVWV = 11)	4.7	4.7	4.8	V

表格在下一页继续...

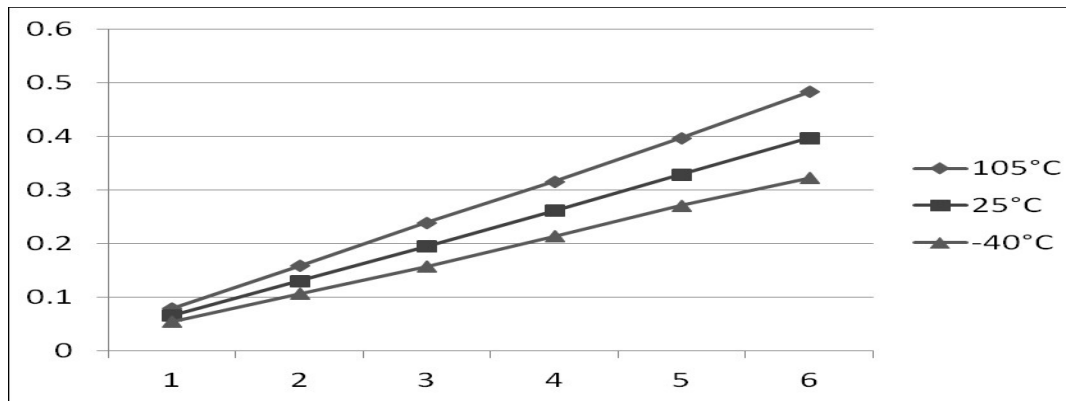
非开关电气规格

表 4. LVD 和 POR 规范 (续)

标志	字母 C	描述		分钟	类型	麦克斯	单位
VHYSH	字母 C	高范围低压检测/警告滞后		—	100	—	毫伏
VLVDL	字母 C	下降低压检测阈值-低范围 (LVDV = 0)		2.56	2.61	2.66	V
VLVDW1L	字母 C	低压下降 警告 阈值低范围	1 级下降 (LVWV = 00)	2.62	2.7	2.78	V
VLVDW2L	字母 C		2 级下降 (LVWV = 01)	2.72	2.8	2.88	V
VLVDW3L	字母 C		3 级下降 (LVWV = 10)	2.82	2.9	2.98	V
VLVDW4L	字母 C		4 级下降 (LVWV = 11)	2.92	3.0	3.08	V
VHYSDL	字母 C	低范围低压检测滞后		—	40	—	毫伏
VHYSWL	字母 C	低范围低压警告滞后		—	80	—	毫伏
VBG	P	缓冲带差距输出 ⁴		1.14	1.16	1.18	V

1. 最大值是 POR 保证的最高电压。
2. POR 坡道时间必须长于 20us/V 才能获得稳定的启动。
3. 上升阈值是下降阈值+滞后。
4. 电压工厂在 V 处修剪_{女儿} = 5.0 V, 温度 = 25°C

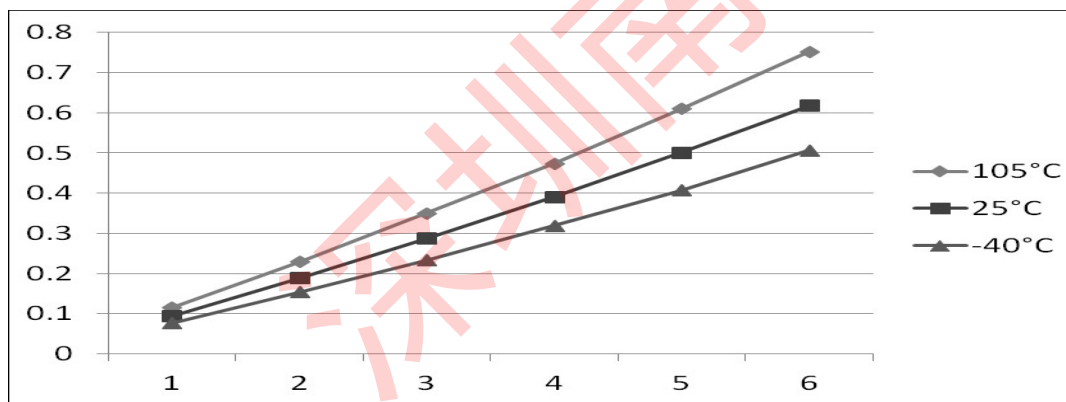
V_{女儿}-V_啊 (五)



我啊 (毫安)

图 2。典型的我啊对。V_{女儿}-V_啊 (标准驱动强度) (V_{女儿} = 5 V)

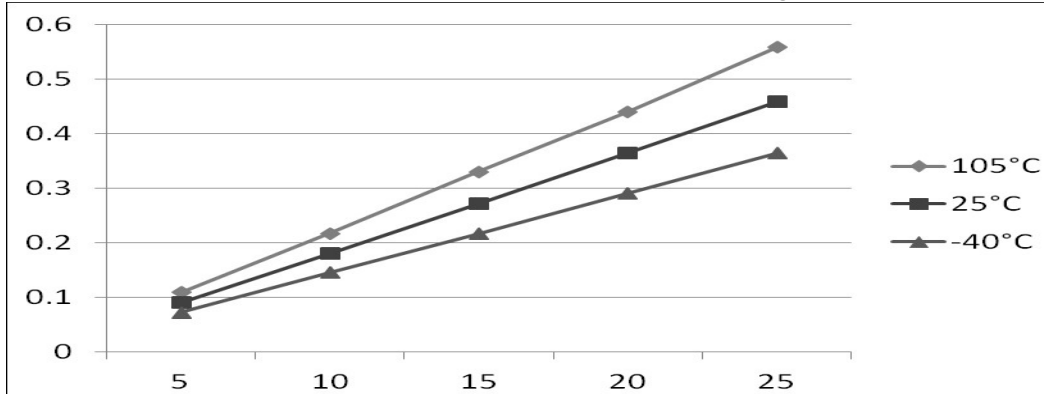
V_{女儿}-V_啊 (五)



我啊 (毫安)

图 3。典型的我啊对。V_{女儿}-V_啊 (标准驱动强度) (V_{女儿} = 3 V)

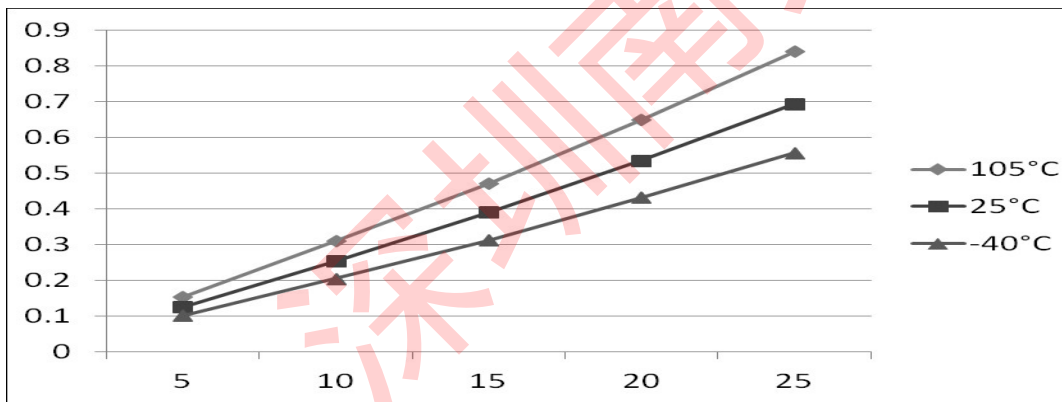
$V_{DS} - V_{GS} (V)$



I_{DS} (毫安)

图 4. 典型的 I_{DS} 对 $V_{GS} - V_{GS}$ (高驱动强度) ($V_{DS} = 5V$)
非开关电气规格

$V_{DS} - V_{GS} (V)$



I_{DS} (毫安)

图 5. 典型的 I_{DS} 对 $V_{GS} - V_{GS}$ (高驱动强度) ($V_{DS} = 3V$)

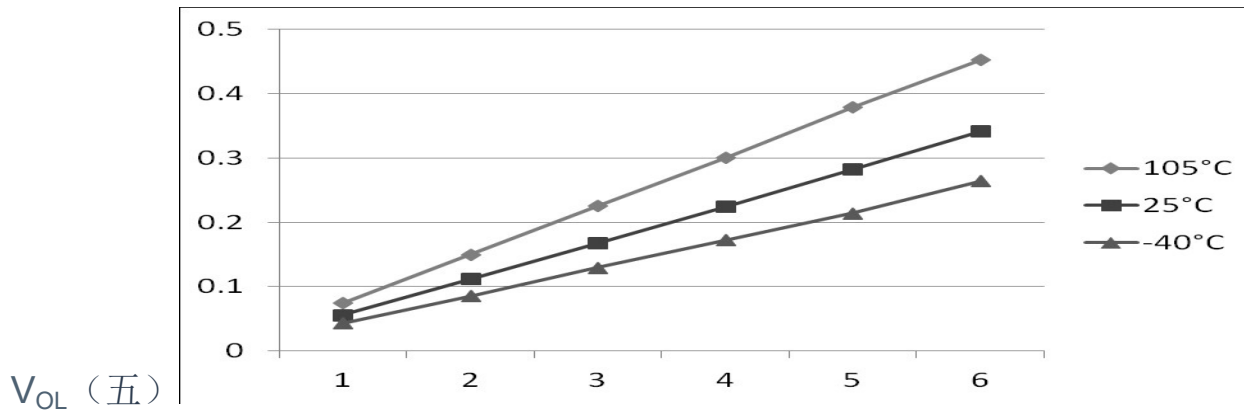


图 6。典型的 I_{OL} 对 V_{OL} (标准驱动强度) ($V_{DS} = 5V$)

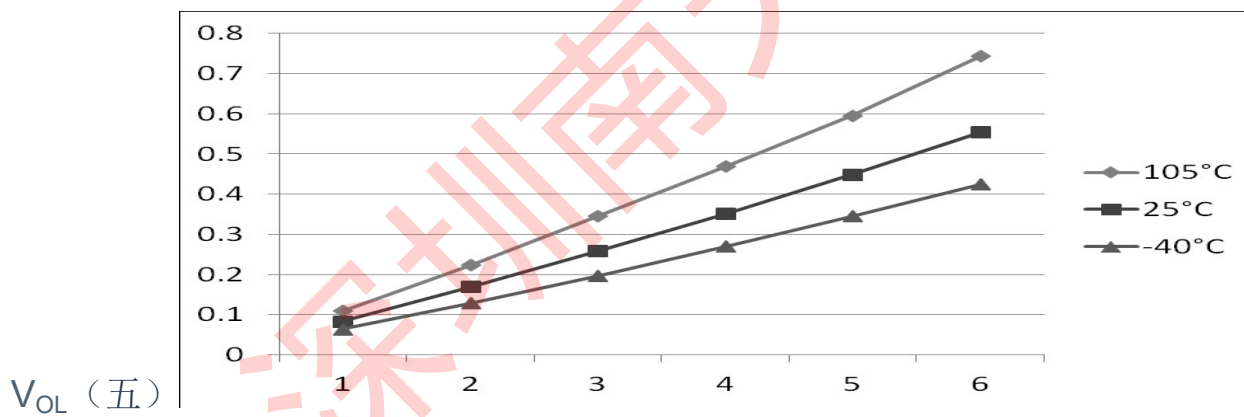
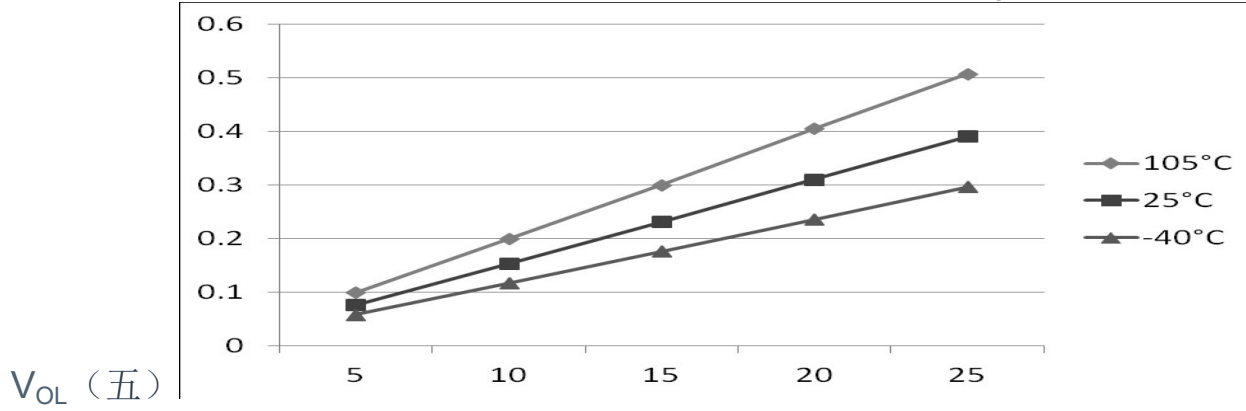


图 7。典型的 I_{OL} 对 V_{OL} (标准驱动强度) ($V_{DS} = 3V$)



I_{OL} (毫安)

图 8。典型的 I_{OL} 对 V_{OL} (高驱动强度) ($V_{VDD} = 5V$)

深圳南天电子

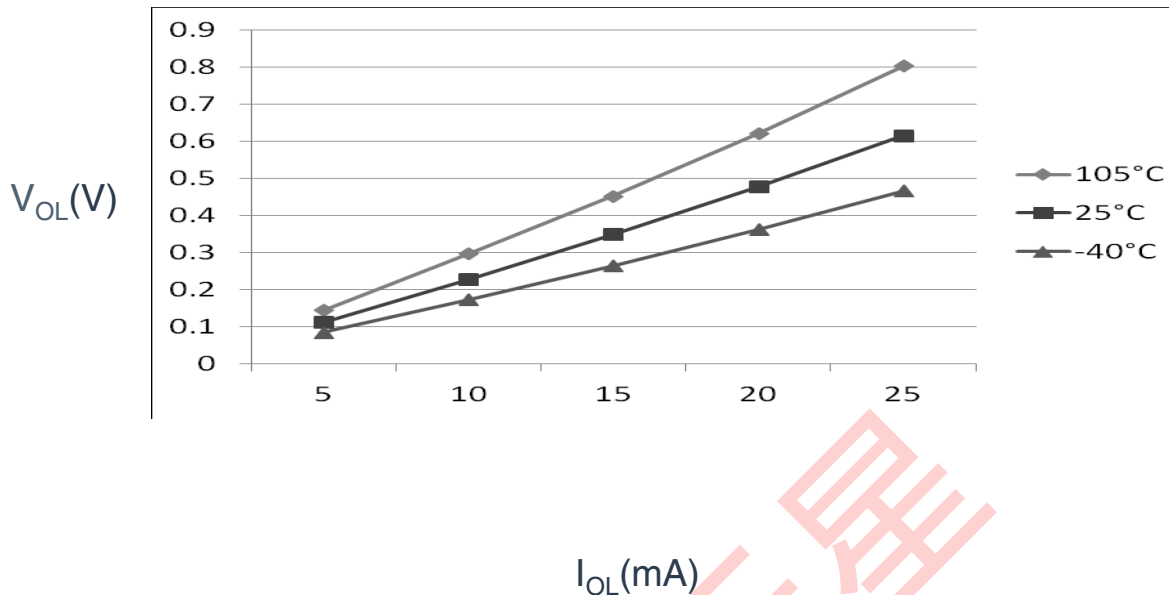


Figure 9. Typical I_{OL} Vs. V_{OL} (high drive strength) (V_{DD} = 3 V)

6.1.2 Supply current characteristics

This section includes information about power supply current in various operating modes.

Table 5. Supply current characteristics

Num	C	Parameter	Symbol	Bus Freq	V _{DD} (V)	Typical ¹	Max	Unit	Temp
1	C	Run supply current FEI mode, all modules on; run from flash	R _I DD	20 MHz	5	12.6	—	mA	-40 to 105 °C
	C			10 MHz		7.2	—		
	C			1 MHz		2.4	—		
	C			20 MHz	3	9.6	—		
	C			10 MHz		6.1	—		
	C			1 MHz		2.1	—		
2	C	Run supply current FEI mode, all modules off & gated; run from flash	R _I DD	20 MHz	5	10.5	—	mA	-40 to 105 °C
	C			10 MHz		6.2	—		
	C			1 MHz		2.3	—		
	C			20 MHz	3	7.4	—		
	C			10 MHz		5.0	—		
	C			1 MHz		2.0	—		
3	P	Run supply current FBE mode, all modules on; run from RAM	R _I DD	20 MHz	5	12.1	14.8	mA	-40 to 105 °C
	C			10 MHz		6.5	—		
	C			1 MHz		1.8	—		

Table continues on the next page...

Table 5. Supply current characteristics (continued)

Num	C	Parameter	Symbol	Bus Freq	V _{DD} (V)	Typical ¹	Max	Unit	Temp	
	P			20 MHz	3	9.1	11.8			
	C			10 MHz		5.5	—			
				1 MHz		1.5	—			
4	P	Run supply current FBE mode, all modules off & gated; run from RAM	R _I DD	20 MHz	5	9.8	12.3	mA	-40 to 105 °C	
	C			10 MHz		5.4	—			
				1 MHz		1.6	—			
	P			20 MHz	3	6.9	9.2			
				C		10 MHz	4.4			—
						1 MHz	1.4			—
5	C	Wait mode current FEI mode, all modules on	W _I DD	20 MHz	5	7.8	—	mA	-40 to 105 °C	
	C			10 MHz		4.5	—			
				1 MHz		1.3	—			
	C			20 MHz	3	5.1	—			
				10 MHz		3.5	—			
				1 MHz		1.2	—			
6	C	Stop3 mode supply current no clocks active (except 1 kHz LPO clock) ^{2, 3}	S3I _{DD}	—	5	1.45	—	μA	-40 to 105 °C	
	C			—	3	1.4	—		-40 to 105 °C	
7	C	ADC adder to stop3	—	—	5	44	—	μA	-40 to 105 °C	
	C	ADLPC = 1 ADLSMP = 1 ADCO = 1 MODE = 10B ADICLK = 11B	—	—	3	40	—			
8	C	LVD adder to stop3 ⁴	—	—	5	130	—	μA	-40 to 105 °C	
	C				3	125	—			

1. Data in Typical column was characterized at 5.0 V, 25 °C or is typical recommended value.
2. RTC adder cause <1 μA I_{DD} increase typically, RTC clock source is 1 kHz LPO clock.
3. ACMP adder cause <10 μA I_{DD} increase typically.
4. LVD is periodically woken up from stop3 by 5% duty cycle. The period is equal to or less than 2 ms.

6.1.3 EMC performance

Electromagnetic compatibility (EMC) performance is highly dependent on the environment in which the MCU resides. Board design and layout, circuit topology choices, location and characteristics of external components as well as MCU software operation all play a significant role in EMC performance. The system designer should consult NXP applications notes such as [AN2321](#), [AN1050](#), [AN1263](#), [AN2764](#), and [AN1259](#) for advice and guidance specifically targeted at optimizing EMC performance.

6.1.3.1 EMC radiated emissions operating behaviors

Table 6. EMC radiated emissions operating behaviors for 64-pin SOIC package

Symbol	Description	Frequency band (MHz)	Typ.	Unit	Notes
V _{RE1}	Radiated emissions voltage, band 1	0.15–50	12	dBμV	1, 2
V _{RE2}	Radiated emissions voltage, band 2	50–150	10	dBμV	
V _{RE3}	Radiated emissions voltage, band 3	150–500	4	dBμV	
V _{RE4}	Radiated emissions voltage, band 4	500–1000	5	dBμV	
V _{RE_IEC}	IEC level	0.15–1000	N	—	2, 3

1. Determined according to IEC Standard 61967-1, *Integrated Circuits - Measurement of Electromagnetic Emissions, 150 kHz to 1 GHz Part 1: General Conditions and Definitions* and IEC Standard 61967-2, *Integrated Circuits - Measurement of Electromagnetic Emissions, 150 kHz to 1 GHz Part 2: Measurement of Radiated Emissions—TEM Cell and Wideband TEM Cell Method*. Measurements were made while the microcontroller was running basic application code. The reported emission level is the value of the maximum measured emission, rounded up to the next whole number, from among the measured orientations in each frequency range.
2. V_{DD} = 5.0 V, T_A = 25 °C, f_{OSC} = 10 MHz (crystal), f_{SYS} = 20 MHz, f_{BUS} = 20 MHz
3. Specified according to Annex D of IEC Standard 61967-2, *Measurement of Radiated Emissions—TEM Cell and Wideband TEM Cell Method*

6.2 Switching specifications

6.2.1 Control timing

Table 7. Control timing

Num	C	Rating	Symbol	Min	Typical ¹	Max	Unit
1	P	Bus frequency (t _{cyc} = 1/f _{Bus})	f _{Bus}	DC	—	20	MHz
2	P	Internal low power oscillator frequency	f _{LPO}	0.67	1.0	1.25	KHz
3	D	External reset pulse width ²	t _{extrst}	1.5 × t _{cyc}	—	—	ns
4	D	Reset low drive	t _{rstdrv}	34 × t _{cyc}	—	—	ns
5	D	BKGD/MS setup time after issuing background debug force reset to enter user or BDM modes	t _{MSSU}	500	—	—	ns
6	D	BKGD/MS hold time after issuing background debug force reset to enter user or BDM modes ³	t _{MSH}	100	—	—	ns
7	D	IRQ pulse width	Asynchronous path ²	t _{LIH}	100	—	ns
	D		Synchronous path ⁴	t _{HIL}	1.5 × t _{cyc}	—	ns
8	D	Keyboard interrupt pulse width	Asynchronous path ²	t _{LIH}	100	—	ns
	D		Synchronous path	t _{HIL}	1.5 × t _{cyc}	—	ns

Table continues on the next page...

Table 7. Control timing (continued)

Num	C	Rating	Symbol	Min	Typical ¹	Max	Unit
9	C	Port rise and fall time - standard drive strength (load = 50 pF) ⁵	t_{Rise}	—	10.2	—	ns
	C		t_{Fall}	—	9.5	—	ns
	C	Port rise and fall time - high drive strength (load = 50 pF) ⁵	t_{Rise}	—	5.4	—	ns
	C		t_{Fall}	—	4.6	—	ns

- Typical values are based on characterization data at $V_{\text{DD}} = 5.0 \text{ V}$, $25 \text{ }^\circ\text{C}$ unless otherwise stated.
- This is the shortest pulse that is guaranteed to be recognized as a reset pin request.
- To enter BDM mode following a POR, BKGD/MS must be held low during the powerup and for a hold time of t_{MSH} after V_{DD} rises above V_{LVD} .
- This is the minimum pulse width that is guaranteed to pass through the pin synchronization circuitry. Shorter pulses may or may not be recognized. In stop mode, the synchronizer is bypassed so shorter pulses can be recognized.
- Timing is shown with respect to 20% V_{DD} and 80% V_{DD} levels in operating temperature range.

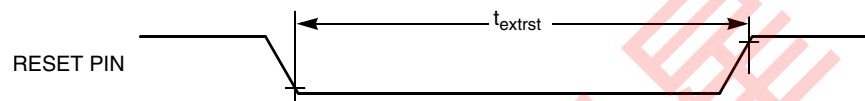


Figure 10. Reset timing

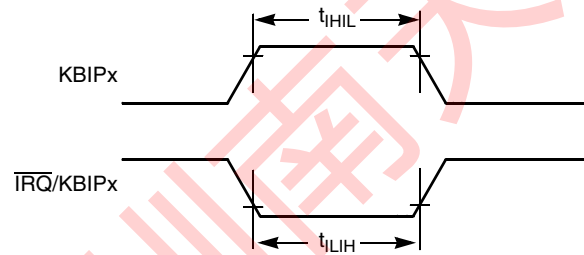


Figure 11. IRQ/KBIPx timing

6.2.2 Debug trace timing specifications

Table 8. Debug trace operating behaviors

Symbol	Description	Min.	Max.	Unit
t_{cyc}	Clock period	Frequency dependent		MHz
t_{wl}	Low pulse width	2	—	ns
t_{wh}	High pulse width	2	—	ns
t_{r}	Clock and data rise time	—	3	ns
t_{f}	Clock and data fall time	—	3	ns
t_{s}	Data setup	3	—	ns
t_{h}	Data hold	2	—	ns

Switching specifications

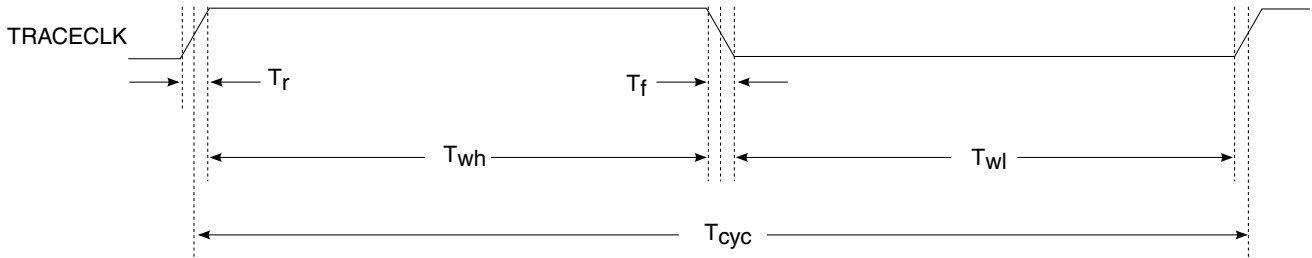


Figure 12. TRACE_CLKOUT specifications

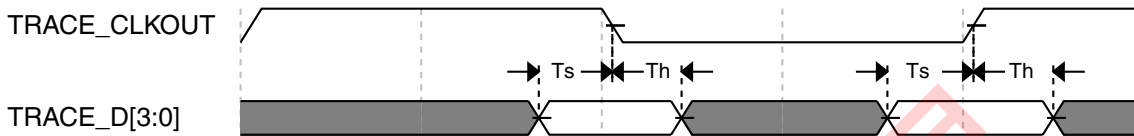


Figure 13. Trace data specifications

6.2.3 FTM module timing

Synchronizer circuits determine the shortest input pulses that can be recognized or the fastest clock that can be used as the optional external source to the timer counter. These synchronizers operate from the current bus rate clock.

Table 9. FTM input timing

No.	C	Function	Symbol	Min	Max	Unit
1	D	External clock frequency	f_{TCLK}	0	$f_{Bus}/4$	Hz
2	D	External clock period	t_{TCLK}	4	—	t_{cyc}
3	D	External clock high time	t_{clkh}	1.5	—	t_{cyc}
4	D	External clock low time	t_{clkl}	1.5	—	t_{cyc}
5	D	Input capture pulse width	t_{iCPW}	1.5	—	t_{cyc}

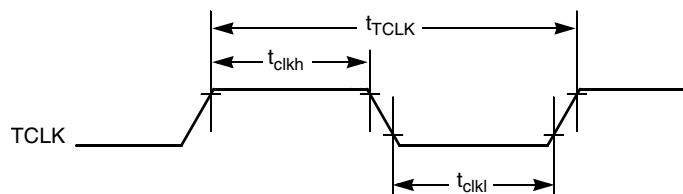


Figure 14. Timer external clock

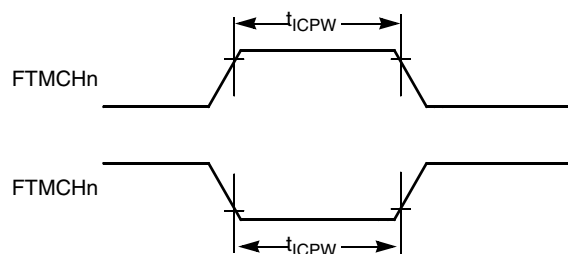


Figure 15. Timer input capture pulse

6.3 Thermal specifications

6.3.1 Thermal operating requirements

Table 10. Thermal operating requirements

Symbol	Description	Min.	Max.	Unit
T_J	Die junction temperature	-40	125	°C
T_A	Ambient temperature	-40	105	°C

NOTE

Maximum T_A can be exceeded only if the user ensures that T_J does not exceed the maximum. The simplest method to determine T_J is: $T_J = T_A + R_{\theta JA} \times \text{chip power dissipation}$.

6.3.2 Thermal characteristics

This section provides information about operating temperature range, power dissipation, and package thermal resistance. Power dissipation on I/O pins is usually small compared to the power dissipation in on-chip logic and voltage regulator circuits, and it is user-determined rather than being controlled by the MCU design. To take $P_{I/O}$ into account in power calculations, determine the difference between actual pin voltage and V_{SS} or V_{DD} and multiply by the pin current for each I/O pin. Except in cases of unusually high pin current (heavy loads), the difference between pin voltage and V_{SS} or V_{DD} will be very small.

Table 11. Thermal attributes

Board type	Symbo l	Description	64 LQFP	64 QFP	48 LQFP	44 LQFP	32 LQFP	Unit	Notes
Single-layer (1S)	$R_{\theta JA}$	Thermal resistance, junction to ambient (natural convection)	71	61	81	75	86	°C/W	1, 2
Four-layer (2s2p)	$R_{\theta JA}$	Thermal resistance, junction to ambient (natural convection)	53	47	57	53	57	°C/W	1, 3
Single-layer (1S)	$R_{\theta JMA}$	Thermal resistance, junction to ambient (200 ft./min. air speed)	59	50	68	62	72	°C/W	1, 3
Four-layer (2s2p)	$R_{\theta JMA}$	Thermal resistance, junction to ambient (200 ft./min. air speed)	46	41	50	47	51	°C/W	1, 3
—	$R_{\theta JB}$	Thermal resistance, junction to board	35	32	34	34	33	°C/W	4
—	$R_{\theta JC}$	Thermal resistance, junction to case	20	23	24	20	24	°C/W	5
—	Ψ_{JT}	Thermal characterization parameter, junction to package top outside center (natural convection)	5	8	6	5	6	°C/W	6

1. Junction temperature is a function of die size, on-chip power dissipation, package thermal resistance, mounting site (board) temperature, ambient temperature, air flow, power dissipation of other components on the board, and board thermal resistance.
2. Per JEDEC JESD51-2 with the single layer board (JESD51-3) horizontal.
3. Per JEDEC JESD51-6 with the board (JESD51-7) horizontal.
4. Thermal resistance between the die and the printed circuit board per JEDEC JESD51-8. Board temperature is measured on the top surface of the board near the package.
5. Thermal resistance between the die and the solder pad on the bottom of the package. Interface resistance is ignored.
6. Thermal characterization parameter indicating the temperature difference between package top and the junction temperature per JEDEC JESD51-2. When Greek letters are not available, the thermal characterization.

7 Peripheral operating requirements and behaviors

7.1 External oscillator (XOSC) and ICS characteristics

Table 12. XOSC and ICS specifications (temperature range = -40 to 105 °C ambient)

Num	C	Characteristic	Symbol	Min	Typical ¹	Max	Unit	
1	C	Oscillator crystal or resonator	Low range (RANGE = 0)	f_{lo}	31.25	32.768	39.0625	kHz
	C		High range (RANGE = 1) FEE or FBE mode ²	f_{hi}	4	—	20	MHz
	C		High range (RANGE = 1), high gain (HGO = 1), FBELP mode	f_{hi}	4	—	20	MHz

Table continues on the next page...

**Table 12. XOSC and ICS specifications (temperature range = -40 to 105 °C ambient)
(continued)**

Num	C	Characteristic		Symbol	Min	Typical ¹	Max	Unit
	C		High range (RANGE = 1), low power (HGO = 0), FBELP mode	f_{hi}	4	—	20	MHz
2	D	Load capacitors		C1, C2	See Note ³			
3	D	Feedback resistor	Low Frequency, Low-Power Mode ⁴	R_F	—	—	—	MΩ
			Low Frequency, High-Gain Mode		—	10	—	MΩ
			High Frequency, Low-Power Mode		—	1	—	MΩ
			High Frequency, High-Gain Mode		—	1	—	MΩ
4	D	Series resistor - Low Frequency	Low-Power Mode ⁴	R_S	—	—	—	kΩ
			High-Gain Mode		—	200	—	kΩ
5	D	Series resistor - High Frequency	Low-Power Mode ⁴	R_S	—	—	—	kΩ
	D	Series resistor - High Frequency, High-Gain Mode	4 MHz		—	0	—	kΩ
	D		8 MHz		—	0	—	kΩ
	D		16 MHz		—	0	—	kΩ
6	C	Crystal start-up time Low range = 32.768 kHz crystal; High range = 20 MHz crystal ^{5, 6}	Low range, low power	t_{CSTL}	—	1000	—	ms
	Low range, high power		—		800	—	ms	
	C		High range, low power	t_{CSTH}	—	3	—	ms
	C		High range, high power		—	1.5	—	ms
7	T	Internal reference start-up time		t_{IRST}	—	20	50	μs
8	D	Square wave input clock frequency	FEE or FBE mode ²	f_{extal}	0.03125	—	5	MHz
	D		FBELP mode		0	—	20	MHz
9	P	Average internal reference frequency - trimmed		f_{int_t}	—	32.768	—	kHz
10	P	DCO output frequency range - trimmed		f_{dco_t}	16	—	20	MHz
11	P	Total deviation of DCO output from trimmed frequency ⁵	Over full voltage and temperature range	Δf_{dco_t}	—	—	±2.0	% f_{dco}
	C		Over fixed voltage and temperature range of 0 to 70 °C		—	—	±1.0	
12	C	FLL acquisition time ^{5, 7}		$t_{Acquire}$	—	—	2	ms
13	C	Long term jitter of DCO output clock (averaged over 2 ms interval) ⁸		C_{Jitter}	—	0.02	0.2	% f_{dco}

1. Data in Typical column was characterized at 5.0 V, 25 °C or is typical recommended value.
2. When ICS is configured for FEE or FBE mode, input clock source must be divisible using RDIV to within the range of 31.25 kHz to 39.0625 kHz.
3. See crystal or resonator manufacturer's recommendation.
4. Load capacitors (C₁, C₂), feedback resistor (R_F) and series resistor (R_S) are incorporated internally when RANGE = HGO = 0.

Peripheral operating requirements and behaviors

5. This parameter is characterized and not tested on each device.
6. Proper PC board layout procedures must be followed to achieve specifications.
7. This specification applies to any time the FLL reference source or reference divider is changed, trim value changed, or changing from FLL disabled (FBELP, FBILP) to FLL enabled (FEI, FEE, FBE, FBI). If a crystal/resonator is being used as the reference, this specification assumes it is already running.
8. Jitter is the average deviation from the programmed frequency measured over the specified interval at maximum f_{Bus} . Measurements are made with the device powered by filtered supplies and clocked by a stable external clock signal. Noise injected into the FLL circuitry via V_{DD} and V_{SS} and variation in crystal oscillator frequency increase the C_{Jitter} percentage for a given interval.

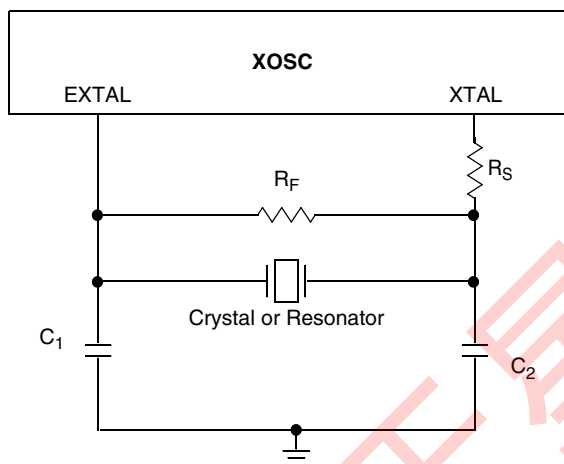


Figure 16. Typical crystal or resonator circuit

7.2 NVM specifications

This section provides details about program/erase times and program/erase endurance for the flash and EEPROM memories.

Table 13. Flash clock characteristics

C	Characteristic	Symbol	Min	Typical	Max	Unit
D	Supply voltage for program/erase across the operating temperature range	$V_{prog/erase}$	2.7	—	5.5	V
D	Supply voltage for read operation	V_{Read}	2.7	—	5.5	V
D	NVM Bus frequency	f_{NVMBUS}	1	—	20	MHz
D	NVM operating frequency	f_{NVMOP}	0.8	1.0	1.05	MHz
C	FLASH Program/erase endurance T_L to T_H in the operating temperature range	n_{FLPE}	10 k	100 k	—	Cycles
C	EEPROM Program/erase endurance T_L to T_H in the operating temperature range	n_{FLPE}	50 k	500 k	—	Cycles
C	Data retention at an average junction temperature of $T_{Javg} = 85^\circ\text{C}$ after up to 10,000 program/erase cycles	t_{D-ret}	15	100	—	years

All timing parameters are a function of the bus clock frequency, f_{NVMBUS} . All program and erase times are also a function of the NVM operating frequency, f_{NVMOP} .

Each command timing is given by:

$$t_{\text{command}} = f_{\text{NVMOP}} \text{ cycle} \times 1/f_{\text{NVMOP}} + f_{\text{NVMBUS}} \text{ cycle} \times 1/f_{\text{NVMBUS}}$$

Table 14. Flash timing characteristics

C	Characteristic	Symbol	f_{NVMOP} cycle	f_{NVMBUS} cycle
D	Erase Verify All Blocks	t_{VFYALL}	—	17338
D	Erase Verify Flash Block	t_{RD1BLK}	—	16913
D	Erase Verify EEPROM Block	t_{RD1BLK}	—	810
D	Erase Verify Flash Section	t_{RD1SEC}	—	484
D	Erase Verify EEPROM Section	t_{DRD1SEC}	—	555
D	Read Once	t_{RDONCE}	—	450
D	Program Flash (2 word)	t_{PGM2}	68	1397
D	Program Flash (4 word)	t_{PGM4}	122	2128
D	Program Once	t_{PGMONCE}	122	2090
D	Program EEPROM (1 Byte)	t_{DPGM1}	47	1371
D	Program EEPROM (2 Byte)	t_{DPGM2}	94	2120
D	Program EEPROM (3 Byte)	t_{DPGM3}	141	2869
D	Program EEPROM (4 Byte)	t_{DPGM4}	188	3618
D	Erase All Blocks	t_{ERSALL}	100066	17743
D	Erase Flash Block	t_{ERSBLK}	100060	17236
D	Erase Flash Sector	t_{ERSPG}	20015	868
D	Erase EEPROM Sector	t_{DERSPG}	5015	756
D	Unsecure Flash	t_{UNSECU}	100066	17730
D	Verify Backdoor Access Key	t_{VFYKEY}	—	464
D	Set User Margin Level	t_{MLOADU}	—	407

Program and erase operations do not require any special power sources other than the normal V_{DD} supply. For more detailed information about program/erase operations, see the Memory section.

7.3 Analog

7.3.1 ADC characteristics

Table 15. 5 V 12-bit ADC operating conditions

Characteristic	Conditions	Symb	Min	Typ ¹	Max	Unit	Comment
Supply voltage	Absolute	V_{DDA}	2.7	—	5.5	V	—
	Delta to V_{DD} ($V_{DD}-V_{DDAD}$)	ΔV_{DDA}	-100	0	+100	mV	
Ground voltage	Delta to V_{SS} ($V_{SS}-V_{SSA}$) ²	ΔV_{SSA}	-100	0	+100	mV	
Input voltage		V_{ADIN}	V_{REFL}	—	V_{REFH}	V	
Input capacitance		C_{ADIN}	—	4.5	5.5	pF	
Input resistance		R_{ADIN}	—	3	5	k Ω	—
Analog source resistance	12-bit mode	R_{AS}	—	—	2	k Ω	External to MCU
	• $f_{ADCK} > 4$ MHz		—	—	5		
	• $f_{ADCK} < 4$ MHz		—	—	5		
10-bit mode	—	—	5	k Ω	External to MCU		
• $f_{ADCK} > 4$ MHz	—	—	10				
• $f_{ADCK} < 4$ MHz	—	—	10				
8-bit mode (all valid f_{ADCK})	—	—	10				
ADC conversion clock frequency	High speed (ADLPC=0)	f_{ADCK}	0.4	—	8.0	MHz	—
	Low power (ADLPC=1)		0.4	—	4.0		

1. Typical values assume $V_{DDA} = 5.0$ V, Temp = 25°C, $f_{ADCK} = 1.0$ MHz unless otherwise stated. Typical values are for reference only and are not tested in production.
2. DC potential difference.

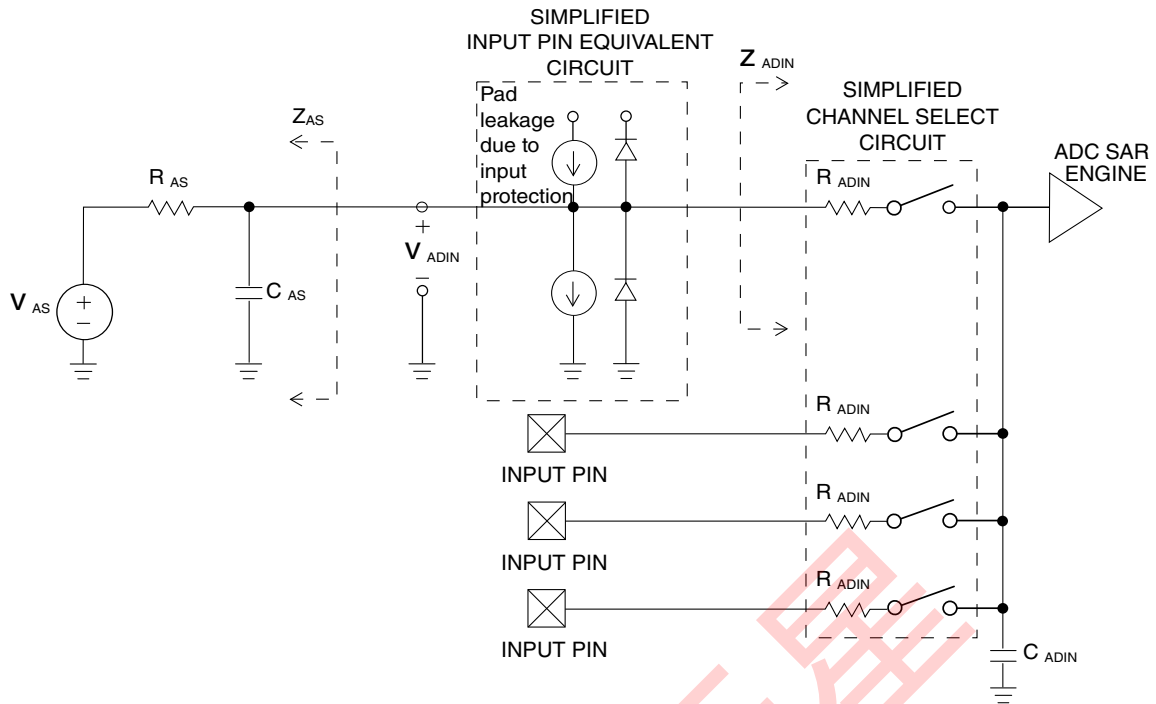


Figure 17. ADC input impedance equivalency diagram

Table 16. 12-bit ADC Characteristics ($V_{REFH} = V_{DDA}$, $V_{REFL} = V_{SSA}$)

Characteristic	Conditions	C	Symb	Min	Typ ¹	Max	Unit
Supply current ADLPC = 1 ADLSMP = 1 ADCO = 1		T	I_{DDA}	—	133	—	μA
Supply current ADLPC = 1 ADLSMP = 0 ADCO = 1		T	I_{DDA}	—	218	—	μA
Supply current ADLPC = 0 ADLSMP = 1 ADCO = 1		T	I_{DDA}	—	327	—	μA
Supply current ADLPC = 0 ADLSMP = 0 ADCO = 1		T	I_{DDAD}	—	582	990	μA
Supply current	Stop, reset, module off	T	I_{DDA}	—	0.011	1	μA
ADC asynchronous clock source	High speed (ADLPC = 0)	P	f_{ADACK}	2	3.3	5	MHz

Table continues on the next page...

Table 16. 12-bit ADC Characteristics ($V_{REFH} = V_{DDA}$, $V_{REFL} = V_{SSA}$) (continued)

Characteristic	Conditions	C	Symb	Min	Typ ¹	Max	Unit
	Low power (ADLPC = 1)			1.25	2	3.3	
Conversion time (including sample time)	Short sample (ADLSMP = 0)	T	t_{ADC}	—	20	—	ADCK cycles
	Long sample (ADLSMP = 1)			—	40	—	
Sample time	Short sample (ADLSMP = 0)	T	t_{ADS}	—	3.5	—	ADCK cycles
	Long sample (ADLSMP = 1)			—	23.5	—	
Total unadjusted Error ²	12-bit mode	T	E_{TUE}	—	± 5.0	—	LSB ³
	10-bit mode	P		—	± 1.5	± 2.0	
	8-bit mode	P		—	± 0.7	± 1.0	
Differential Non-Linearity	12-bit mode	T	DNL	—	± 1.0	—	LSB ³
	10-bit mode ⁴	P		—	± 0.25	± 0.5	
	8-bit mode ⁴	P		—	± 0.15	± 0.25	
Integral Non-Linearity	12-bit mode	T	INL	—	± 1.0	—	LSB ³
	10-bit mode	T		—	± 0.3	± 0.5	
	8-bit mode	T		—	± 0.15	± 0.25	
Zero-scale error ⁵	12-bit mode	C	E_{ZS}	—	± 2.0	—	LSB ³
	10-bit mode	P		—	± 0.25	± 1.0	
	8-bit mode	P		—	± 0.65	± 1.0	
Full-scale error ⁶	12-bit mode	T	E_{FS}	—	± 2.5	—	LSB ³
	10-bit mode	T		—	± 0.5	± 1.0	
	8-bit mode	T		—	± 0.5	± 1.0	
Quantization error	≤ 12 bit modes	D	E_Q	—	—	± 0.5	LSB ³
Input leakage error ⁷	all modes	D	E_{IL}	$I_{in} * R_{AS}$			mV
Temp sensor slope	-40°C– 25°C	D	m	—	3.266	—	mV/°C
	25°C– 125°C			—	3.638	—	
Temp sensor voltage	25°C	D	V_{TEMP25}	—	1.396	—	V

1. Typical values assume $V_{DDA} = 5.0$ V, Temp = 25°C, $f_{ADCK} = 1.0$ MHz unless otherwise stated. Typical values are for reference only and are not tested in production.
2. Includes quantization.
3. $1 \text{ LSB} = (V_{REFH} - V_{REFL})/2^N$
4. Monotonicity and no-missing-codes guaranteed in 10-bit and 8-bit modes
5. $V_{ADIN} = V_{SSA}$
6. $V_{ADIN} = V_{DDA}$
7. I_{in} = leakage current (refer to DC characteristics)

7.3.2 Analog comparator (ACMP) electricals

Table 17. Comparator electrical specifications

C	Characteristic	Symbol	Min	Typical	Max	Unit
D	Supply voltage	V_{DDA}	2.7	—	5.5	V
T	Supply current (Operation mode)	I_{DDA}	—	10	20	μA
D	Analog input voltage	V_{AIN}	$V_{SS} - 0.3$	—	V_{DDA}	V
P	Analog input offset voltage	V_{AIO}	—	—	40	mV
C	Analog comparator hysteresis (HYST=0)	V_H	—	15	20	mV
C	Analog comparator hysteresis (HYST=1)	V_H	—	20	30	mV
T	Supply current (Off mode)	$I_{DDA\text{OFF}}$	—	60	—	nA
C	Propagation Delay	t_D	—	0.4	1	μs

7.4 Communication interfaces

7.4.1 SPI switching specifications

The serial peripheral interface (SPI) provides a synchronous serial bus with master and slave operations. Many of the transfer attributes are programmable. The following tables provide timing characteristics for classic SPI timing modes. Refer to the SPI chapter of the chip's reference manual for information about the modified transfer formats used for communicating with slower peripheral devices. All timing is shown with respect to 20% V_{DD} and 70% V_{DD} , unless noted, and 100 pF load on all SPI pins. All timing assumes high drive strength is enabled for SPI output pins.

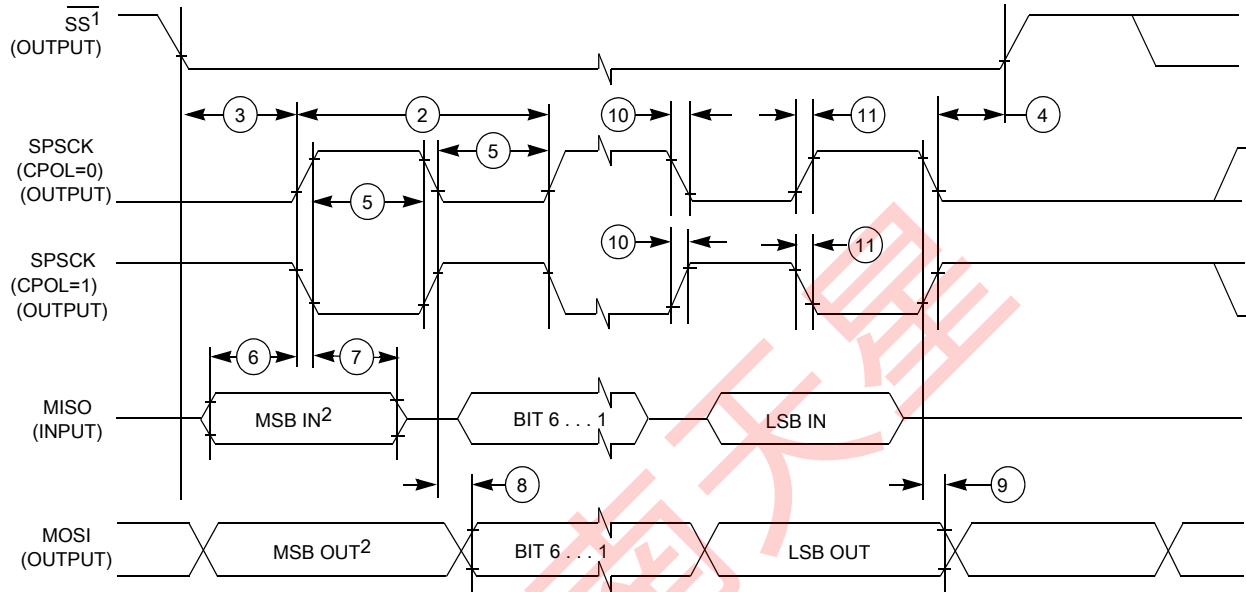
Table 18. SPI master mode timing

Nu m.	Symbol	Description	Min.	Max.	Unit	Comment
1	f_{op}	Frequency of operation	$f_{Bus}/2048$	$f_{Bus}/2$	Hz	f_{Bus} is the bus clock
2	t_{SPSCK}	SPSCK period	$2 \times t_{Bus}$	$2048 \times t_{Bus}$	ns	$t_{Bus} = 1/f_{Bus}$
3	t_{Lead}	Enable lead time	1/2	—	t_{SPSCK}	—
4	t_{Lag}	Enable lag time	1/2	—	t_{SPSCK}	—
5	t_{WSPSCK}	Clock (SPSCK) high or low time	$t_{Bus} - 30$	$1024 \times t_{Bus}$	ns	—
6	t_{SU}	Data setup time (inputs)	15	—	ns	—
7	t_{HI}	Data hold time (inputs)	0	—	ns	—
8	t_v	Data valid (after SPSCK edge)	—	25	ns	—
9	t_{HO}	Data hold time (outputs)	0	—	ns	—
10	t_{RI}	Rise time input	—	$t_{Bus} - 25$	ns	—

Table continues on the next page...

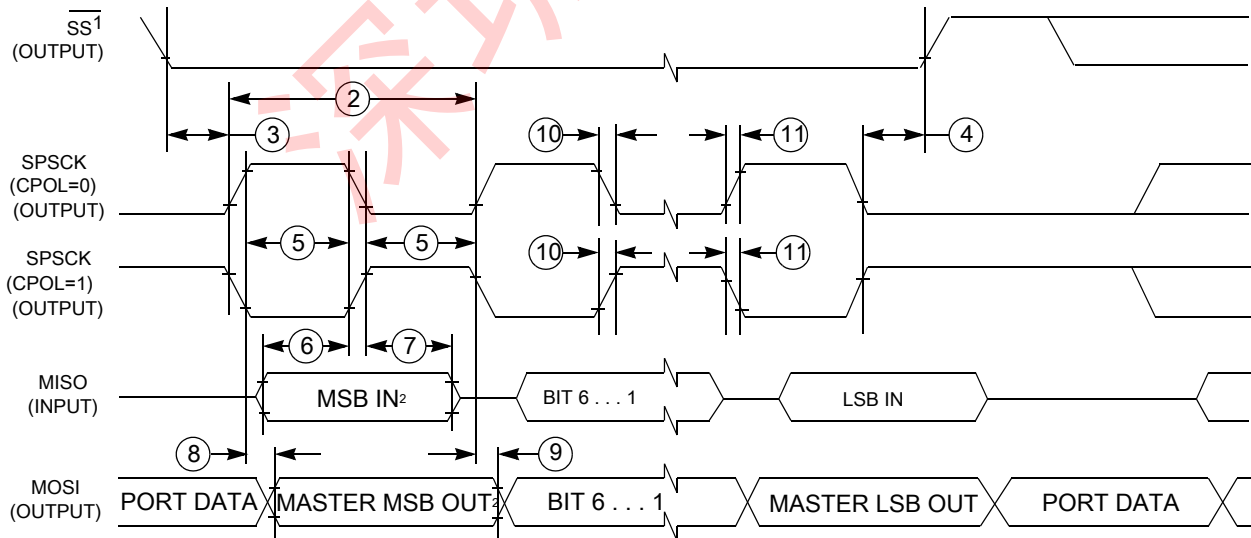
Table 18. SPI master mode timing (continued)

Nu m.	Symbol	Description	Min.	Max.	Unit	Comment
	t_{FI}	Fall time input				
11	t_{RO}	Rise time output	—	25	ns	—
	t_{FO}	Fall time output				



1. If configured as an output.
2. LSBF = 0. For LSBF = 1, bit order is LSB, bit 1, ..., bit 6, MSB.

Figure 18. SPI master mode timing (CPHA=0)



1. If configured as output
2. LSBF = 0. For LSBF = 1, bit order is LSB, bit 1, ..., bit 6, MSB.

Figure 19. SPI master mode timing (CPHA=1)

表 19。SPI 从属模式定时

Num.	标志	描述	分钟。	最大。	单位	评论
1	第六个罗马字母手术	操作频率	0	第六个罗马字母公共汽车/4	赫兹	第六个罗马字母公共汽车是中定义的总线时钟。
2	字母 TSPSCK	SPSCK 时期	$4 \times t_{公共汽车}$	—	Ns	字母 T 公共汽车 = $1/f_{公共汽车}$
3	字母 T 铅	启用交货时间	1	—	字母 T 公共汽车	—
4	字母 T 拖慢	启用滞后时间	1	—	字母 T 公共汽车	—
5	字母 TWSPSCK	时钟 (SPSCK) 高或低时间	字母 T 公共汽车 - 30	—	Ns	—
6	字母 T 苏	数据设置时间 (输入)	15	—	Ns	—
7	字母 T 嘴	数据保留时间 (输入)	25	—	Ns	—
8	字母 T 罗马字母的第一个字母	奴隶访问时间	—	字母 T 公共汽车	Ns	从高阻抗状态激活数据的时间
9	字母 T 对... 无礼	从 MISO 禁用时间	—	字母 T 公共汽车	Ns	保持高阻抗状态的时间
10	字母 TV	数据有效 (在 SPSCK 边缘之后)	—	25	Ns	—
11	字母 THO	数据保留时间 (输出)	0	—	Ns	—
12	字母 TRI	上升时间输入	—	字母 T 公共汽车 - 25	Ns	—
	字母 TFI	秋季时间输入	—			
13	字母 TRO	上升时间输出	—	25	Ns	—
	字母 TFO	秋季时间输出	—			

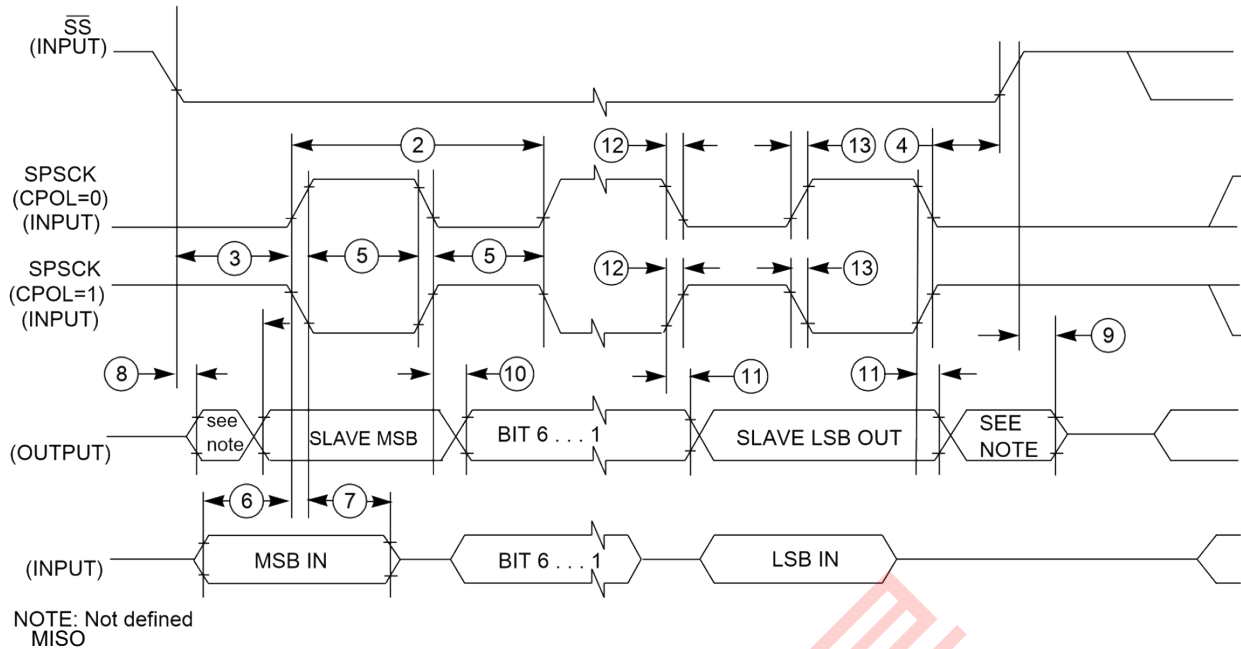


图 20. SPI 从属模式定时 (CPHA = 0)

尺寸

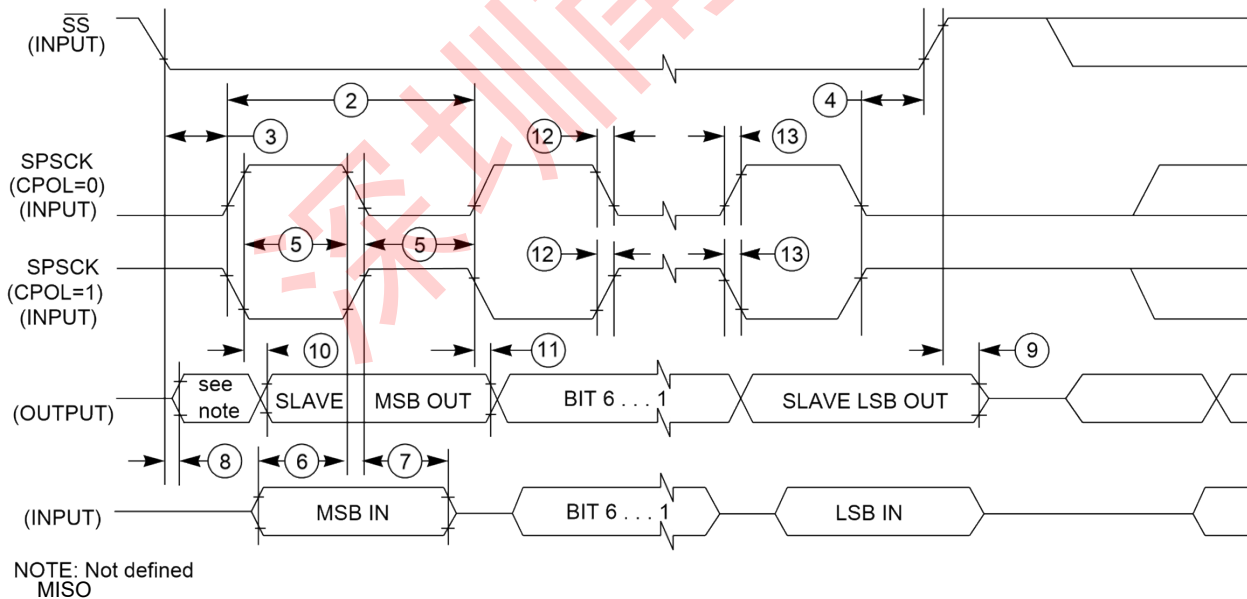


图 21. SPI 从属模式定时 (CPHA=1)

8 尺寸

8.1 获取包装尺寸

包装尺寸在包装图纸中提供。

要查找包装图，请访问 Nxp.com 并对绘图的文档编号进行关键字搜索：

如果你想要这个包裹的图纸	然后使用此文档编号
32 针 LQFP	98ASH70029A
44 针 LQFP	98ASS23225 瓦
48 针 LQFP	98ASH00962A
64 针 QFP	98ASB42844B
64 针 LQFP	98ASS23234W

9 引脚

9.1 信号多路复用和引脚分配

下表显示了每个引脚上的可用信号，以及这些引脚在本文档支持的设备上的位置。端口控制模块负责选择每个引脚上可用的 ALT 功能。

表 20. 按包装引脚计数的引脚可用性

个人识别码				最低优先级 <-- --> 最高				
64-LQFP 64-QFP	48-LQFP	44-LQFP	32-LQFP	端口别针	Alt 1	阿尔特 2	备选 3	备选 4
1	1	1	1	PTD1 ¹	KBI1P1	FTM2CH3	MOSI1	—
2	2	2	2	PTD0 ¹	KBI1P0	FTM2CH2	SPSCK1	—
3	—	—	—	PTH7	—	—	—	—
4	—	—	—	PTH6	—	—	—	—
5	3	3	—	PTE7	—	TCLK2	—	—
6	4	4	—	PTH2	—	BUSOUT	—	—
7	5	5	3	—	—	—	—	V 女儿
8	6	6	4	—	—	—	VDDA	VREFH
9	7	7	5	—	—	—	VSSA	VREFL
10	8	8	6	—	—	—	—	V 纳粹党卫军
11	9	9	7	PTB7	—	SCL	—	极端的

12	10	10	8	PTB6	—	SDA	—	XTAL
13	11	11	—	—	—	—	—	V 纳粹党卫军
14	—	—	—	PTH1 ¹	—	FTM2CH1	—	—
15	—	—	—	PTH0 ¹	—	FTM2CH0	—	—
16	12	—	—	PTE6	—	—	—	—
17	13	—	—	PTE5	—	—	—	—
18	14	12	9	PTB5 ¹	FTM2CH5	SS0	—	—
19	15	13	10	PTB4 ¹	FTM2CH4	MISO0	—	—
20	16	14	11	PTC3	FTM2CH3	—	ADP11	—
21	17	15	12	PTC2	FTM2CH2	—	ADP10	—
22	18	16	—	PTD7	KBI1P7	TXD2	—	—
23	19	17	—	PTD6	KBI1P6	RXD2	—	—
24	20	18	—	PTD5	KBI1P5	—	—	—
25	21	19	13	PTC1	—	FTM2CH1	ADP9	—
26	22	20	14	PTC0	—	FTM2CH0	ADP8	—
27	—	—	—	PTF7	—	—	ADP15	—

表格在下一页继续...

深圳南天电子

表 20。按包装引脚计数的引脚可用性（续）

个人识别码				最低优先级 <-- --> 最高				
64-LQFP 64-QFP	48-LQFP	44-LQFP	32-LQFP	端口别针	Alt 1	阿尔特 2	备选 3	备选 4
28	—	—	—	PTF6	—	—	ADP14	—
29	—	—	—	PTF5	—	—	ADP13	—
30	—	—	—	PTF4	—	—	ADP12	—
31	23	21	15	PTB3	KBI0P7	MOSI0	ADP7	—
32	24	22	16	PTB2	KBI0P6	SPSCK0	ADP6	—
33	25	23	17	PTB1	KBI0P5	TXD0	ADP5	—
34	26	24	18	PTB0	KBI0P4	RXD0	ADP4	—
35	—	—	—	PTF3	—	—	—	—
36	—	—	—	PTF2	—	—	—	—
37	27	25	19	PTA7	FTM2FAULT2	—	ADP3	—
38	28	26	20	PTA6	FTM2FAULT1	—	ADP2	—
39	29	—	—	PTE4	—	—	—	—
40	30	27	—	—	—	—	—	V 纳粹党卫军
41	31	28	—	—	—	—	—	V 女儿
42	—	—	—	PTF1	—	—	—	—
43	—	—	—	PTF0	—	—	—	—
44	32	29	—	PTD4	KBI1P4	—	—	—
45	33	30	21	PTD3	KBI1P3	SS1	—	—
46	34	31	22	PTD2	KBI1P2	MISO1	—	—
47	35	32	23	PTA3 ²	KBI0P3	TXD0	SCL	—
48	36	33	24	PTA2 ²	KBI0P2	RXD0	SDA	—
49	37	34	25	PTA1	KBI0P1	FTM0CH1	ACMP1	ADP1
50	38	35	26	PTA0	KBI0P0	FTM0CH0	ACMP0	ADP0
51	39	36	27	PTC7	—	TxD1	—	—
52	40	37	28	PTC6	—	RxD1	—	—
53	41	—	—	PTE3	—	SS0	—	—
54	42	38	—	PTE2	—	MISO0	—	—
55	—	—	—	PTG3	—	—	—	—
56	—	—	—	PTG2	—	—	—	—
57	—	—	—	PTG1	—	—	—	—
58	—	—	—	PTG0	—	—	—	—
59	43	39	—	PTE1 ¹	—	MOSI0	—	—
60	44	40	—	PTE0 ¹	—	SPSCK0	TCLK1	—
61	45	41	29	PTC5	—	FTM1CH1	—	—

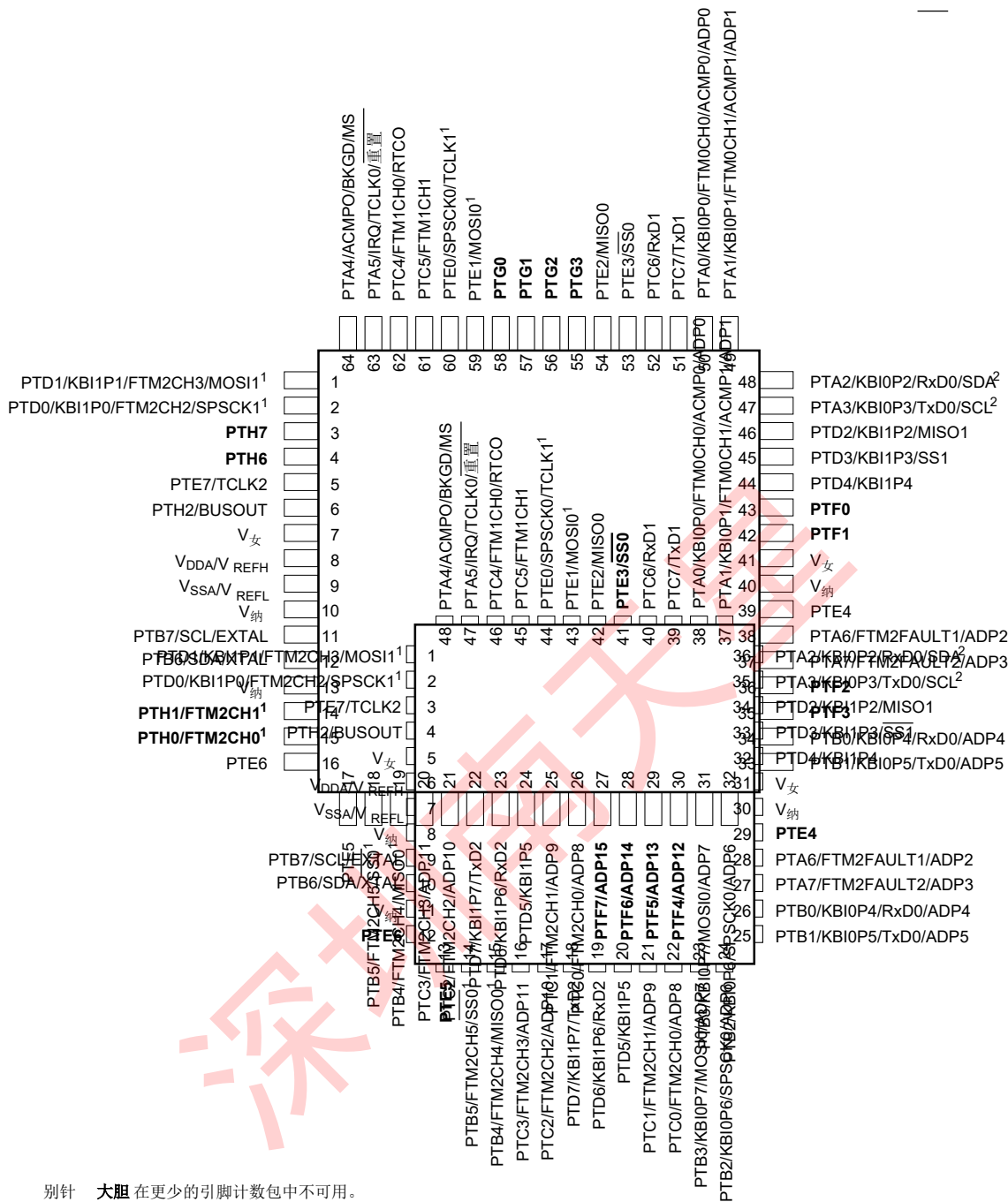
62	46	42	30	PTC4	—	FTM1CH0	RTCO	—
63	47	43	31	PTA5	IRQ	TCLK0	—	调整
64	48	44	32	PTA4	—	ACMPO	BKGD	女士

1. 当作为输出操作时，这是一个大电流驱动引脚。
2. 当作为输出操作时，这是一个真正的开放引脚。

笔记

当首次启用替代功能时，有可能获得模块的虚假边缘。在启用中断之前，用户软件必须清除任何相关标志。上表说明了启用多个模块时的优先级。H 最高优先级模块将控制引脚。选择已启用了低优先级函数的高优先级引脚函数可能会导致低优先级模块的虚假边缘。在启用 **another** 之前，禁用所有共享引脚的模块 Er 模块。

9.2 设备引脚分配

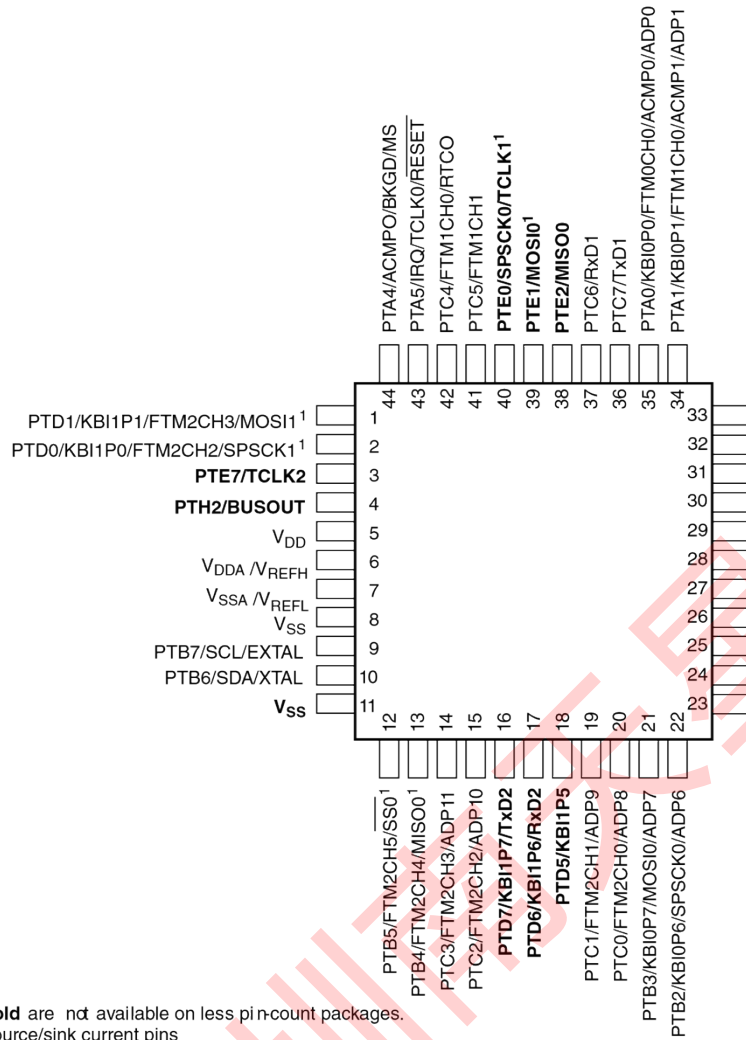


别针 **大胆** 在更少的引脚计数包中不可用。
 别针 **大胆** 在更少的引脚计数包中不可用。
 1. 高源/汇电流引脚
 2. 真正的开放式排水销

图 22. MC9S08PA60 64 针 QFP 和 LQFP 包

- 1. 高源/汇电流引脚
- 2. 真正的开放式排水销

图 23。



Pins in **bold** are not available on less pin-count packages.
 1. High source/sink current pins

MC9S08PA60 48 针 LQFP 封装

PTA2/KBI0P2/RxD0/SDA²
 PTA3/KBI0P3/TxD0/SCL₂
 PTD2/KBI1P2/MISO1
PTD3/KBI1P3/SS1
PTD4/KBI1P4

V 女儿

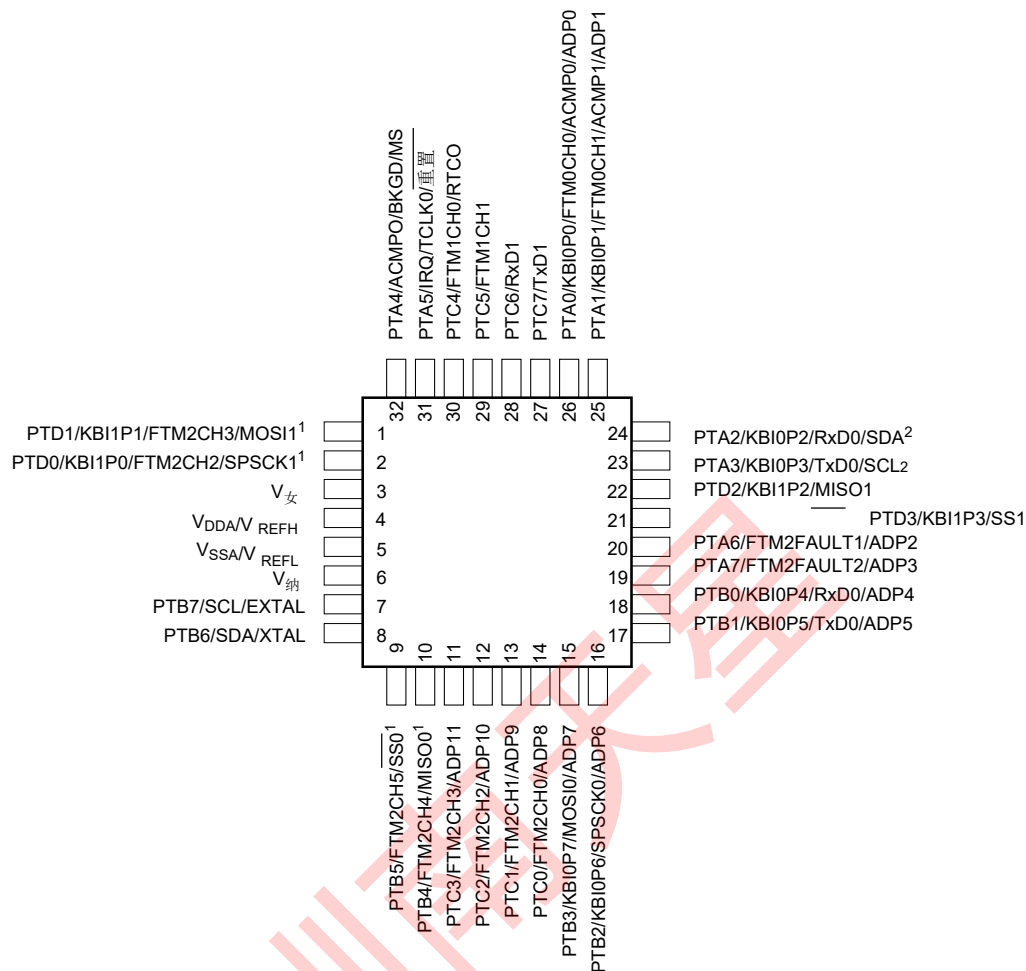
V 纳粹党卫军

PTA6/FTM2FAULT1/ADP2
 PTA7/FTM2FAULT2/ADP3
 PTB0/KBI0P4/RxD0/ADP4
 PTB1/KBI0P5/TxD0/ADP5

2.真正的开放式排水销

图 24。MC9S08PA60 44 针 LQFP 封装





- 1. 高源/汇电流引脚
- 2. 真正的开放式排水销

图 25。MC9S08PA60 32 针 LQFP 封装

10 修订历史

下表提供了本文档的修订历史记录。

表 21。修订历史

修订号	日期	实质性变化
1	2012 年 10 月	首次公开发布

2	2014 年 9 月	<ul style="list-style-type: none"> 更新的 $V_{\text{啊}}$ 和 V_{OL} 钢直流特性 关于 S3I 的脚注_{女儿}钢供应电流特性 额外的 EMC 辐射排放操作行为 更新了 f 的典型 $I_{\text{nt,t}}$ 到 31.25 kHz, 并将脚注更新为 $t_{\text{获得}}$ 钢外部振荡器 (XOSC) 和 ICS 特性 更新了所有时序值的假设 SPI 开关规格 <p>表格在下一页继续...</p>
---	------------	--

修订历史

表 21。修订历史 (续)

修订号	日期	实质性变化
		<ul style="list-style-type: none"> 更新了 t 的评级描述_{增强}和 $t_{\text{秋天}}$ 钢控制时间 更新了部件号格式, 以添加新部件号的新字段_{字段}
3	2015 年 6 月	<ul style="list-style-type: none"> 更正了 t 的最小 E_{extrst} 钢控制时间 添加了新部分_{热操作要求}, 已更新_{热特性}删除冗余信息。
4	2019 年 9 月	<ul style="list-style-type: none"> 额外的 MCU 方框图。 添加了新部分_{可订购部件号} 更新了闪光特性 NVM 规格 更新的 S3I_{女儿}值在_{供应电流特性}

如何联系我们:

主页: Nxp.com

网络支持:

Nxp.com/support 本文档中的信息仅用于使系统和软件实施者能够使用 NXP 产品。本协议不授予任何明示或暗示的版权许可, 以根据本文件中的信息设计或制造任何集成电路。

NXP 保留对此处任何产品进行更改的权利, 恕不另行通知。

NXP 对其产品适合任何特定用途不作任何保证、陈述或保证, NXP 也不承担因应用或使用任何产品或电路而产生的任何责任, 并特别否认任何和所有责任, 包括但不限于间接或附带损害。NXP 数据表和/或规格中可能提供的“典型”参数可以而且确实在不同的应用中有所不同, 实际性能可能会随着时间的推移而变化。所有操作包括“典型”在内的参数必须由客户的技术专家为每个客户应用程序进行验证。NXP 不根据其专利权或他人权利转让任何许可。NXP 根据标准条款和 c 销售产品销售条件, 可在以下地址找到: nxp.com/SalesTermsandConditions。

虽然 NXP 已经实现了高级安全功能, 但所有产品都可能受到

不明漏洞的影响。客户负责其应用程序和产品的设计和操作, 以减少这些漏洞对 cu 的影响 stomer 的应用程序和产品, 以及 NXP 对发现的任何漏洞不承担任何责任。客户应实施适当的设计和操作系统保障措

施, 以减少与其应用程序和产品相关的风险。
NXP, NXP 徽标, NXP 安全连接更智能的世界, COOLFLUX, 拥抱, GREENCHIP, HITAG, ICODE, JCOP, 生活氛围, MIFARE, MIFARE CLASSIC, MIFARE DESFire, MIFARE PLUS, MIFARE FLEX, MANTIS, MIFARE ULTRALIGHT, MIFARE4MOBILE, MIGLO, NTAG, ROADLINK, SMARTLX, SMARTMX, STARPLUG, TOPFET, TRENCHMOS, UCODE, Freescale, the Freescale logo, AltiVec, CodeWarrior, ColdFire, ColdFire+, the Energy Efficient Solutions logo, Kinetis, Layerscape, MagniV, mobileGT, PEG, PowerQUICC, 处理器专家, QorIQ, QorIQ Qonverge, SafeAssure, SafeAssure 徽标, StarCore, Symphony, VortiQa, Vybrid, Airfast, BeeKit, BeeStack, CoreNet, Flexis, MXC, Platform in a Package, QUICC Engine, Tower, TurboLink, EdgeScale, EdgeLock, eIQ 和 Immersive3D 是 NXP 的商标 B.V.所有其他产品或服务名称均为其各自所有者的财产。AMBA, 手臂, Arm7, Arm7TDMI, Arm9, Arm11, Artisan, big.LITTLE, Cordio, CoreLink, CoreSight, Cortex, DesignStart, DynamIQ, Jazelle, Keil, Mali, Mbed, Mbed Enabled, NEON, POP, RealView, SecurCore, 苏格拉底, 拇指, TrustZone, ULINK, ULINK2, ULINK-ME, ULINK-PLUS, ULINKpro, µVision, Versatile 是 Arm Limited (或其子公司) 在美国和/或其他地方的商标或注册商标。相关技术可能受到任何或所有专利、版权、设计和商业秘密的保护。保留所有权利。甲骨文和 Java 是甲骨文和/或其附属公司的注册商标。Power Architecture 和 Power.org 文字标记以及 Power 和 Power.org 徽标和相关标记是 Power.org 许可的商标和服务标记。

© 2011-2020 NXP B.V.

文件编号 MC9S08PA60 修订版
4, 2019年9月

