

# i.MX25 应用程序处理器

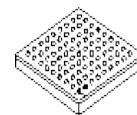
## 消费者和 工业产品

### 硅版本 1.2

© 2009-2013 Freescale Semiconductor, Inc.保留所有权利。



## MCIMX25



### 包裹信息

塑料包装

外壳 5284 17 x 17 毫米, 0.8 毫米间距

案例 2107 12 x 12 毫米, 0.5 毫米间距

## 1 简单介绍

i.MX25 多媒体应用程序处理器具有高性能、低功耗和集成的正确组合, 以支持工业和一般嵌入式市场日益增长的需求。

i.MX25 的核心是飞思卡尔对 ARM® 926EJ-S™ 内核的快速、经过验证、高能效的实现, 速度高达 400 MHz。i.MX25 支持高达 133 MHz 的 DDR2 内存, 集成 10/100 以太网 MAC 和两个片上 USB PHY。该设备适用于广泛的应用, 包括以下内容:

- 图形遥控器
- 人机界面 (HMI)
- 住宅和商业控制面板
- 住宅网关 (智能计量)
- 手持扫描仪和打印机
- 电子销售点终端
- 患者监测设备

### 订购信息

看见表 1 在第 3 页用于订购信息。

1. 简单介绍.....	1
1.1. 订购信息.....	3
1.2. 方框图.....	5
2. 特点.....	6
2.1. 特殊信号注意事项.....	9
3. 电气特性.....	11
3.1. i.MX25 芯片级条件.....	11
3.2. 电源上电/断电要求和限制.....	16
3.3. 功率特征.....	18
3.4. 热特性.....	20
3.5. I/O DC 参数.....	20
3.6. 交流电气特性.....	24
3.7. 模块定时和电气参数.....	41
4. 包裹信息和联系人分配.....	124
4.1. 400 MAPBGA—外壳 17x17 毫米, 0.8 毫米间距.....	124
4.2. 地面、功率、感觉和参考接触分配箱 17x17 毫米, 0.8 毫米间距.....	125
4.3. 信号接触分配—17 x 17 毫米, 0.8 毫米球场.....	127
4.4. i.MX25 17x17 包装球图.....	135
4.5. 347 MAPBGA—外壳 12 x 12 毫米, 0.5 毫米间距.....	138
4.6. 地面、功率、感觉和参考接触作业箱 12x12 毫米, 0.5 毫米间距.....	139
4.7. 信号接触分配—12 x 12 毫米, 0.5 毫米球场.....	140
4.8. i.MX25 12x12 包装球图.....	148



i.MX25 处理器的功能包括以下内容:

- 高级电源管理—设备的核心是整个 IC 的电源管理水平, 使多媒体功能和外围设备能够在有源和各种低功耗模式下实现最低系统功耗。电源管理技术 Niques 允许设计师提供功能丰富的产品, 其功率水平远低于典型的行业预期。
- 多媒体发电厂——i.MX25 处理器的多媒体性能由 16 KB L1 指令和数据缓存系统提高, 并由 LCD 控制器 (具有 alpha 混合)、CMOS 图像传感器接口、A/D 控制器 (集成) 进一步增强 d 触摸屏控制器) 和可编程智能 DMA (SDMA) 控制器。
- 128 Kbytes on-chip SRAM—额外的 128 Kbyte on-chip SRAM 使该设备非常适合在占地面积小的 RTOS 应用程序中消除外部 RAM。片上 SRAM 允许设计器启用超低功耗 LCD 刷新。
- 接口灵活性—设备接口支持连接到所有常见类型的外部存储器: MobileDDR、DDR、DDR2、NOR 闪存、PSRAM、SDRAM 和 SRAM、NAND 闪存和托管 NAND。
- 提高安全性——由于对连接和未连接设备的高级安全性的需求不断增加, i.MX25 处理器提供支持硬件的安全功能, 可实现安全的电子商务、数字版权管理 (DRM)、信息 N 加密、强大的篡改检测、安全启动和安全软件下载。
- 片上 PHY—该设备包括 HS USB OTG PHY 和 FS USB HOST PHY。
- 快速以太网—对于快速外部通信, 包括一个快速以太网控制器 (FEC)。
- i.MX25 仅支持 Little Endian 模式。

## 1.1 订购信息

表 1 提供 i.MX25 的订购信息。

表 1. 订购信息

描述	部件号	硅版本	计划中的温度范围 (°C)	包裹	球图
i.MX253	MCIMX253DVM4	1.1	-20 到+70	17 x 17 毫米, 0.8 毫米间距, MAPBGA-400	表 103
i.MX257	MCIMX257DVM4	1.1	-20 到+70	17 x 17 毫米, 0.8 毫米间距, MAPBGA-400	表 103
i.MX253	MCIMX253CVM4	1.1	-40 到+85	17 x 17 毫米, 0.8 毫米间距, MAPBGA-400	表 103
i.MX257	MCIMX257CVM4	1.1	-40 到+85	17 x 17 毫米, 0.8 毫米间距, MAPBGA-400	表 103
i.MX258	MCIMX258CVM4	1.1	-40 到+85	17 x 17 毫米, 0.8 毫米间距, MAPBGA-400	表 103

i.MX253	MCIMX253DJM4	1.1	-20 到+70	17 x 17 毫米, 0.8 毫米间距, MAPBGA-400	表 103
i.MX257	MCIMX257DJM4	1.1	-20 到+70	17 x 17 毫米, 0.8 毫米间距, MAPBGA-400	表 103
i.MX253	MCIMX253CJM4	1.1	-40 到+85	17 x 17 毫米, 0.8 毫米间距, MAPBGA-400	表 103
i.MX257	MCIMX257CJM4	1.1	-40 到+85	17 x 17 毫米, 0.8 毫米间距, MAPBGA-400	表 103
i.MX258	MCIMX258CJM4	1.1	-40 到+85	17 x 17 毫米, 0.8 毫米间距, MAPBGA-400	表 103
i.MX253	MCIMX253DJM4A	1.2	-20 到+70	17 x 17 毫米, 0.8 毫米间距, MAPBGA-400	表 103
i.MX257	MCIMX257DJM4A	1.2	-20 到+70	17 x 17 毫米, 0.8 毫米间距, MAPBGA-400	表 103
i.MX257	MCIMX257DJM4AR2	1.2	-20 到+70	17 x 17 毫米, 0.8 毫米间距, MAPBGA-400	表 103
i.MX253	MCIMX253CJM4A	1.2	-40 到+85	17 x 17 毫米, 0.8 毫米间距, MAPBGA-400	表 103
i.MX257	MCIMX257CJM4A	1.2	-40 到+85	17 x 17 毫米, 0.8 毫米间距, MAPBGA-400	表 103
i.MX258	MCIMX258CJM4A	1.2	-40 到+85	17 x 17 毫米, 0.8 毫米间距, MAPBGA-400	表 103
i.MX257	MCIMX257CJN4A	1.2	-40 到+85	12 x 12 毫米, 0.5 毫米间距, MAPBGA-347	表 107

表 2 显示了 i.MX25 系列中不同部分之间的功能差异。

表 2.i.MX25 零件功能差异

特点	MCIMX253	MCIMX257	MCIMX258
核心	手臂 926EJ-S	手臂 926EJ-S	手臂 926EJ-S
CPU 速度	400 兆赫	400 兆赫	400 兆赫
L1 I/D 缓存	16K I/D	16K I/D	16K I/D
片上 SRAM	128 KB	128 KB	128 KB
PATA/CE-ATA	是	是	是
液晶控制器	是	是	是

触摸屏	—	是	是
CSI	—	是	是
FlexCAN (2)	—	是	是
ESAI	—	是	是
SIM 卡 (2)	—	是	是
安全	—	—	是
10/100 以太网	是	是	是
HS USB 2.0 OTG + PHY	是	是	是
HS USB 2.0 主机 + PHY	是	是	是
12 位 ADC	是	是	是
SD/SDIO/MMC (2)	是	是	是
外部内存控制器	是	是	是
我 <sup>2</sup> C (3)	是	是	是
SSI/I2S (2)	是	是	是
CSPI (2)	是	是	是
UART (5)	是	是	是

## 1.2 方框图

图 1 显示简化的界面框图。

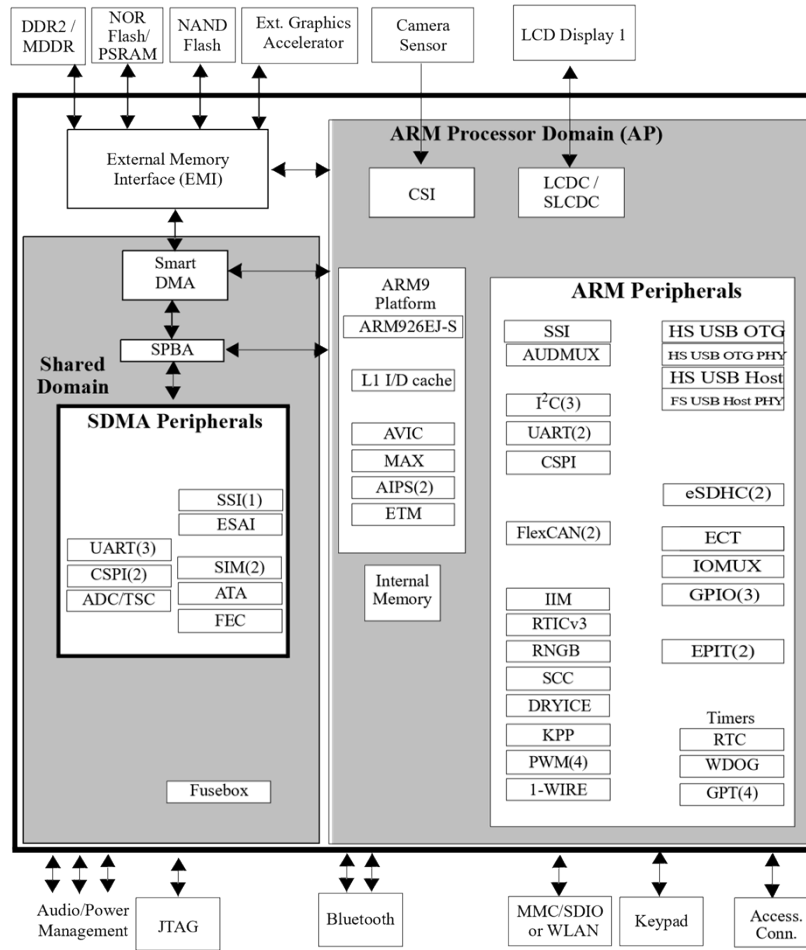


图 1.i.MX25 简化接口框图

## 2 特点

表 3 描述设备的数字和模拟模块。

表 3.i.MX25 数字和模拟模块

块 帮助记忆的词句	块名称	子系统	简要描述
1-电线	1 线 用户界面	连接外围设备	为与板载 EEPROM 和智能电池接口提供 1 线支持，例如：Dallas DS2502。
ARM9 或 ARM926	ARM926 平台和内存	手臂	ARM926 平台由 ARM 926EJ-S 核心、ETM 实时调试模块、5x5 多层 AHB 横杆开关和“主 AHB”复合体组成。它包含 16 Kbyte L1 指令缓存、16 Kbyte L1 数据缓存、32 Kbyte ROM 和 128 Kbyte RAM。

ATA	ATA 模块	连接外围设备	ATA 模块是一个 AT 附件主机接口。它的主要用途是与 IDE 硬盘驱动器和 ATAPI 光盘驱动器接口。它通过多个 ATA 信号与 ATA 设备接口。
AUDMUX	数字音频 Mux	多媒体外围设备	AUDMUX 是主机串行接口 (SSI) 和外围串行接口 (音频编解码器) 之间语音、音频和同步数据路由的可编程互连。AUDMUX 有两套接口: 芯片外围设备的内部端口, 一个 D 离芯片音频设备的外部端口。数据通过配置适当的内部和外部端口进行路由。
CCM	时钟控制模块	时钟	此块为 iMX25 系统生成所有时钟。CCM 还通过适当禁用外围时钟来节省电力来管理 ARM926 平台的低功耗模式 (等待、停止和打瞌睡)。
CSPI (3)	可配置的串行外围接口	连接外围设备	该模块是一个配备数据 FIFO 的串行接口。每个主/从配置的 SPI 模块都能够连接到串行端口接口主和从设备。CSPI 就绪 (SPI_RDY) 和从属选择 (SS) 控制信号启用 faSt 数据通信, 软件中断更少。
干冰	DryIce 模块	安全	DryIce 为销售点 (POS) 终端提供易失性密钥存储, 并为数字版权管理 (DRM) 方案提供可信的时间源。还提供了几个篡改检测电路, 以支持在篡改的情况下进行密钥擦除和时间无效。如果检测到篡改, 警报和/或中断也可以断言。DryIce 还包括一个实时时钟 (RTC), 可用于安全和非安全的应用程序。
EMI	外部内存用户界面	连接外围设备	外部内存接口 (EMI) 模块为 ARM 和其他主机提供对外部内存的访问。它由四个主要子模块组成: <ul style="list-style-type: none"> <li>• M3IF 提供请求访问外部内存的多个主之间的仲裁。</li> <li>• 增强的 SDRAM/LPDDR 内存控制器 (ESDCTL) 接口到 DDR2 和 SDR 接口。</li> <li>• NAND 闪存控制器 (NFC) 为 NAND 闪存提供了一个接口。</li> <li>• 无线外部接口内存控制器 (WEIM) 接口到 NOR Flash 和 PSRAM。</li> </ul>

**Table 3. i.MX25 Digital and Analog Modules (continued)**

块 帮助记忆的词句	块名称	子系统	简要描述
EPIT (2)	增强的周期性中断计时器	计时器外围设备	每个增强的周期性中断计时器 (EPIT) 都是一个 32 位设置和忘记计时器，在软件启用 EPIT 后开始计数。它能够以最少的处理器干预定期提供精确的中断。它有一个 12-b 它预缩放器将输入时钟频率调整到中断所需的时间设置，计数器值可以实时编程。
ESAI	增强串行音频接口	连接外围设备	ESAI 提供了一个全双工串行端口，用于与各种串行设备进行串行通信，包括行业标准编解码器、SPDIF 收发器和其他 DSP。ESAI 由独立的发射器和接收器部分组成，每个部分都有自己的时钟发生器。
eSDHC (2)	增强的多媒体卡/安全数字主机控制器	连接外围设备	<p>作为主机时，eSDHC 模块的功能包括以下内容：</p> <ul style="list-style-type: none"> <li>• 符合 SD 主机控制器标准规范 2.0 版</li> <li>• 与 JEDEC MMC 系统规格版本 4.2 兼容</li> <li>• 与 SD 存储卡规格 2.0 版本兼容</li> <li>• 与 SDIO 规范版本 1.2 兼容</li> <li>• 设计用于 SD 内存、miniSD 内存、SDIO、miniSDIO、SD 组合、MMC 和 MMC RS 卡</li> <li>• 可配置为在以下模式之一下工作： <ul style="list-style-type: none"> <li>—SD/SDIO 1 位，4 位</li> <li>—MMC 1 位，4 位，8 位</li> </ul> </li> <li>• 全速/高速模式</li> <li>• 主机时钟频率变量在 32 kHz 和 52 MHz 之间</li> <li>• 使用四条并行数据线的 SD/SDIO 卡的数据传输高达 200Mbps</li> <li>• 使用八条并行数据线为 MMC 卡进行高达 416Mbps 的数据传输</li> </ul>
FEC	快速以太网控制器	连接外围设备	以太网媒体访问控制器 (MAC) 旨在支持符合 IEEE 802.3 的 10Mbps 和 100Mbps 以太网网络 <sup>®</sup> 标准。需要外部收发器接口和收发器功能来完成与媒体的接口
FlexCAN (2)	控制器区域网络模块	连接外围设备	控制器区域网络 (CAN) 协议主要设计为以 1 Mbps 运行的车辆串行数据总线。
GPIO (4)	通用 I/O 模块	系统控制外围设备	用于外部 IC 的通用输入/输出。每个 GPIO 模块支持 32 位 I/O。
GPT (4)	通用计时器	计时器外围设备	每个 GPT 都是一个 32 位自由运行或设置和忘记模式计时器，带有可编程预缩放器以及比较和捕获寄存器。计时器计数器值可以使用外部事件捕获，并且可以配置为在 leadin 上触发捕获事件 G 或输入脉冲的尾缘。当计时器配置为在设置和忘记模式下运行时，它能够以最小的处理器干预定期提供精确的中断。计数器有输出比较逻辑来提供 t 他的地位和比较时的中断。此计时器可以配置为在外部时钟或内部时钟上运行。

**Table 3. i.MX25 Digital and Analog Modules (continued)**

块 帮助记忆的词句	块名称	子系统	简要描述
我 <sup>2</sup> C (3)	我 <sup>2</sup> C 模块	连接外围设备	<p>IC 间通信 (I<sup>2</sup>C) 是行业标准的双向串行总线, 提供简单、高效的数据交换方法, 最大限度地减少设备之间的互联。我<sup>2</sup>C 适用于需要在许多设备之间短距离偶尔进行通信的应用。</p> <p>该接口运行高达 100 kbps, 具有最大的总线加载和时序。我<sup>2</sup>C 系统是一个真正的多主总线, 包括仲裁和碰撞检测, 如果多个设备试图同时控制总线, 可以防止数据损坏。此功能支持具有多处理器控制和 ca 的复杂应用程序 N 用于通过与装配线计算机的外部连接对最终产品进行快速测试和对齐。</p>
IIM	IC 识别模块	安全	IIM 为与片上保险丝元件接口提供了用户可见的主要机制。保险丝的用途包括唯一的芯片标识符、掩码修订号、加密密钥和需要固定值的各种控制信号。
IOMUX	I/O 多路复用器	别针	<p>每个 I/O 多路复用器都提供了一个灵活、可扩展的多路复用解决方案:</p> <ul style="list-style-type: none"> <li>• 每个引脚最多多路复用八个输出源</li> <li>• 每个输入引脚最多四个目的地</li> <li>• 未选择的输入路径保持在恒定水平, 以降低功耗</li> </ul>
KPP	键盘端口	连接外围设备	KPP 可用于键盘矩阵扫描或通用 I/O。
LCDC	液晶显示器控制器	多媒体外围设备	LCDC 为外部灰度或彩色液晶面板提供显示数据。LCDC 能够支持黑白、灰度、无源矩阵颜色 (被动颜色或 CSTN) 和有源矩阵颜色 (有源颜色或 TFT) 液晶面板。
最大值	ARM 平台多层 AHB 横杆开关	ARM 平台	MAX 同时支持主端口和从端口之间最多五个同时连接。MAX 允许从任何主端口到任何从属端口进行并发事务。
PWM (4)	脉冲宽度调制	连接外围设备	脉冲宽度调制器 (PWM) 有一个 16 位计数器, 并经过优化, 可从存储的样本音频图像中生成声音。它也可以产生音调。PWM 使用 16 位分辨率和 4x16 数据 FIFO 来生成声音。
SDMA	智能 DMA 引擎	系统控制	SDMA 在处理器内部提供 DMA 功能。这是一个实现 32 个 DMA 通道的共享模块。
SIM 卡 (2)	订阅者身份模块接口	连接外围设备	<p>SIM 卡是一个异步接口, 旨在促进与 SIM 卡或预付费电话卡的通信。该模块是根据 ISO7816 标准设计的; 然而, 该模块确实需要一个外部配套控制器来允许通信使用某些智能卡或通过某些认证, 如 EMV。</p> <p>SIM 卡仅支持 11 和 12ETU 卡, 并可以以默认速率进行通信, 默认速率以 Fi/Di=372/1 获得。需要一个外部配套控制器来支持在 10.8 或 11.8ETU 上对齐的卡, 并支持其他速率, 例如在 Fi/Di=372/2 和 Fi/Di=372/4 获得的速率。</p>

**Table 3. i.MX25 Digital and Analog Modules (continued)**

SJC	安全的 JTAG 接口	系统控制外围设备	系统 JTAG 控制器 (SJC) 提供具有最大安全性的调试和测试控制。
<b>块帮助记忆的词句</b>	<b>块名称</b>	<b>子系统</b>	<b>简要描述</b>
SLCD	智能液晶控制器	多媒体外围设备	SLCDC 模块将数据从显示内存缓冲区传输到外部显示设备。
SPBA	共享外围总线仲裁员	系统控制	SPBA 控制对共享外围设备的访问。它支持共享外围设备所有权和自有外围设备的访问权限。
SSI (2)	I2S/SSI/AC97 接口	连接外围设备	SSI 是一个全双工串行端口, 允许处理器与各种串行协议通信, 包括 Freescale Semiconductor SPI 标准和 IC 间声音总线标准 (I2S)。SSIs 接口到 AUDMUX, 用于灵活的音频路由。
TSC (和 ADC)	触摸屏控制器 (和 A/D 转换器)	多媒体外围设备	触摸屏控制器和相关的模拟数字转换器 (ADC) 一起提供了一个电阻式触摸屏解决方案。该模块为温度、电压和其他测量功能实现同步触摸屏控制和辅助 ADC 操作。
UART (5)	UART 用户界面	连接外围设备	每个 UART 模块都支持以下串行数据传输/接收协议和配置: <ul style="list-style-type: none"> <li>• 7 位或 8 位数据字, 一个或两个停止位, 可编程奇偶校验 (偶数、奇数或无)</li> <li>• 可编程波特率高达 4 MHz。这比 TIA/EIA-232-F 标准和以前的 Freescale UART 模块指定的 1.875 MHz 更高的最大波特率。Tx 上的 32 字节 FIFO 和 Rx 上的 32 个半字 FIFO 支持自动波特</li> <li>• IrDA-1.0 支持 (高达 115200 bps 的 SIR 速度)</li> <li>• 可选作 8 针全 UART、DCE 或 DTE 操作</li> </ul>
USBOTG USB 主机	高速 USB 在旅途中	连接外围设备	USB 模块提供高性能 USB On-The-Go (OTG) 和主机功能 (高达 480 Mbps), 符合 USB 2.0 规范、OTG 补充和 ULPI 1.0 低引脚计数规范。该模块具有处理 DMA 功能在内部缓冲区和系统内存之间传输。OTG HS PHY 和 HOST FS PHY 也集成了。

## 2.1 特殊信号注意事项

特殊信号考虑因素列在表 4。软件包联系人分配位于第 4 节“包裹信息和联系人分配。”参考手册中提供了信号描述。

**表 4. 信号考虑**

信号	描述
BAT_VDD	DryIce 备用电源输入。
CLK0	时钟输出引脚; 使内部时钟对用户可见进行调试。时钟源可以通过 CRM 寄存器进行控制。此引脚也可以 (通过混合) 配置为正常工作的 GPIO。
CLK_SEL	用于从 MPLL 出局或外部 EXT_ARMCLK 选择 ARM 时钟源。在正常运行中, CLK_SEL 应连接到 GND。

**Table 3. i.MX25 Digital and Analog Modules (continued)**

EXT_ARMCLK	<p>主要用于 Freescale 工厂使用。此引脚上没有内部片上拉/下拉，因此它必须外部连接到 GND 或 VDD。除了出厂使用外，此引脚还可以（通过粘化）配置为正常工作的 GPIO。</p>
------------	---

表 4. 信号注意事项 (续)

信号	描述
MESH_C MESH_D	线网篡改器检测可以在 PCB 板上路由的引脚，以检测受保护电线的篡改企图。实施安全措施时，MESH_C 应拉起或连接到 NVCC_DRYICE，并在浮动或连接到 MESH_D 时触发篡改事件。MESH_D 应向下拉或连接到 GND，并在浮动或连接到 MESH_C 时触发事件。如果不使用 DryIce 安全功能，这些引脚可以保持不连接。
NVCC_DRYICE	这是 DryIce 电源输出。当 i.MX25 处于运行模式时，供应源为 QVDD。当 i.MX25 处于降低功率模式时，DryIce 电源是 BATT_VDD 电源。此销可用于为外部 DryIce 组件（外部 tamp）供电 Er 检测，线网篡改检测）。为了保证功率损耗保护功能，保证在断电后保持 RTC 和/或安全键，必须将不少于 4μF 的外部电容器连接到此电源输出引脚。A 4 建议使用 .7 μF 电容器。
OSC_BYP	32 kHz 振荡器旁路控制引脚。如果此信号被拉下，那么 OSC32K_EXTAL 和 OSC32K_XTAL 模拟引脚应绑定到外部 32.768 kHz 晶体电路。另一方面，如果信号被拉上，那么外部 32 kHz 振荡器输出时钟必须连接到 OSC32K_EXTAL 模拟引脚，OSC32K_XTAL 可以不连接 (NC)。
OSC32K_EXTAL OSC32K_XTAL	这些模拟引脚连接到外部 32 kHz CLK 电路，具体取决于 OSC_BYP 引脚的状态（请参阅前一个项目符号下的 OSC_BYP 描述）。正常运行需要 32 kHz 参考 CLK。
力量_失败	PMIC 的中断，应连接到低电池电量检测电路。该信号内部连接到片上 100kΩ 下拉装置。如果没有低电池检测，那么用户可以通过下拉电阻将此引脚与 GND 绑定，或将信号保留为 NC。这个引脚也可以配置为正常工作的 GPIO。
文件编号	外部 ADC 参考电压。如果用户计划仅使用内部生成的 2.5 V 参考电源，则 REF 可能与 GND 绑定。
SJC_MOD	必须从外部连接到 GND 才能正常运行。通过外部下拉电阻（如 1 k）终止到 GNDΩ 是允许的，但值应该比片上 100k 小得多 Ω 引体向上。
TAMPER_A, 篡改_B	DryIce 外部篡改器检测引脚，活动高。如果 TAMPER_A 或 TAMPER_B 连接到 NVCC_DRYICE，然后检测到外部篡改。如果不使用 DryIce 安全功能，这些引脚可以保持不连接。
测试模式	仅供 Freescale 工厂使用。此信号内部连接到片上下拉设备。用户必须浮动此信号或将其绑定到 GND。
UPLL_BYPCLK	主要用于 Freescale 工厂使用。此引脚上没有内部片上拉/下拉，因此它必须外部连接到 GND 或 VDD。除了出厂使用外，此引脚还可以（通过粘化）配置为正常工作的 GPIO。
USBPHY1_RREF	确定 USB PHY1 带隔参考的参考电流。外部 10kΩ 需要 1% 的 GND 电阻。
USBPHY2_DM USBPHY2_DP	这些信号的输出阻抗预计为 10Ω。建议也有船上 33Ω 串联电阻器（靠近引脚）。

### 3 电气特性

本节提供了 i.MX25 的设备级和模块级电气特性。

### 3.1 i.MX25 芯片级条件

本节提供了 IC 的芯片级电气特性。

#### 3.1.1 DC 绝对最大额定值

表 5 提供直流绝对最大运行条件。

#### 谨慎

- 超出下面列出的重音表 5 可能会对设备造成永久性损坏。
- 长时间暴露在绝对最大额定条件下可能会影响设备的可靠性。
- 表 5 仅提供应力额定值——设备的功能操作并不意味着超出所述条件表 6。

表 5. DC 绝对最大额定值

参数	标志	分钟。	最大。	单位
电源电压	参见该条女儿	-0.5	1.52	V
电源电压（电平移位 i/o）	VDDIOmax	-0.5	3.6	V
ESD 损伤免疫：	VEsd			V
人体模型（HBM）		—	2500	
充电设备型号（CDM）		—	400	
机器型号（MM）		—	200	
输入电压范围	V <sub>I</sub> max	-0.5	内华达州女儿+ 0.3	V
存储温度范围	字母 T 存储	-40	105	字母 O 字母 C

#### 3.1.2 直流操作条件

表 6 提供 DC 推荐的操作条件。

表 6. 直流操作条件

参数	标志	分钟。	类型。	最大。	单位
核心电源电压（在 266 MHz）	参见该条女儿	1.15	1.34	1.52	V
核心电源电压（在 400 MHz）	参见该条女儿	1.38	1.45	1.52	V
硬币电池 <sup>1</sup> BAT_VDD	VDD_BAT	1.15	—	1.55	V
I/O 电源电压，GPIO NFC, CSI, SDIO	内华达州 DD_GPIO1	1.75	—	3.6	V

表 6. 直流运行条件 (续)

参数	标志	分钟。	类型。	最大。	单位
I/O 电源电压, GPIO CRM, LCDC, JTAG, MISC	内华达州 DD_GPIO2	3.0	3.3	3.6	—
I/O 电源电压 DDR (移动 DDR 模式) EMI1, EMI2	内华达州 DD_MDDR	1.75	—	1.95	V
I/O 电源电压 DDR (DDR2 模式) EMI1, EMI2	内华达州 DD_DDR2	1.75	—	1.9	V
I/O 电源电压 DDR (SDRAM 模式) EMI1, EMI2	内华达州 DD_SDRAM	1.75	—	3.6	V
供应 USBPHY1 (HS) USBPHY1_VDDA_BIAS, USBPHY1_UPLL_VDD, USBPHY1_VDDA	$V_{DD\_usbphy1}$	3.17	3.3	3.43	V
供应 USBPHY2 (FS) USBPHY2_VDD	$V_{DD\_usbphy2}$	3.0	3.3	3.6	V
OSC24M 的供应 OSC24M_VDD	$V_{DD\_OSC24M}$	3.0	3.3	3.6	V
PLL 的供应 MPLL_VDD, UPLL_VDD	$V_{DD\_PLL}$	1.4	—	1.65	V
供应触摸屏 ADC NVCC_ADC	$V_{DD\_tsc}$	3.0	3.3	3.6	V
触摸屏 ADC 的外部参考 文件编号	Vref	2.5	$V_{DD\_tsc}$	$V_{DD\_tsc}$	V
保险丝盒程序电源电压 FUSE_VDD <sup>2</sup>	富塞夫女儿 (程序模式)	3.3±5%	—	3.6	V
供应产出 <sup>3</sup> NVCC_DRYICE	$V_{DD\_}$	1.0	—	1.55	V
工作环境温度	字母 T 罗马字母的 第一个字母	-40	—	85	字母 O 字 母 C

<sup>1</sup>  $V_{DD\_BAT}$  must always be powered by battery in security application. In non-security case,  $V_{DD\_BAT}$  can be connected to  $QV_{DD}$ .

<sup>2</sup> The fusebox read supply is connected to supply of the full speed USBPHY2\_VDD. FUSE\_VDD is only used for programming. It is recommended that FUSE\_VDD be connected to ground when not being used for programming. See Table 7 for current parameters.

<sup>3</sup> NVCC\_DRYICE is a supply output. An external capacitor no less than 4  $\mu$ F must be connected to it. A 4.7  $\mu$ F capacitor is recommended.

### 3.1.3 保险丝盒供应电流参数

表 7 列出保险丝盒供应电流参数。

表 7. 保险丝盒供应电流参数

参数	标志	分钟。	类型。	最大。	单位
eFuse 程序当前 <sup>1</sup> 当前编程一个 eFuse 位 关联的 VDD_FUSE 电源=3.6 V	我应用程序	26	35	62	妈
eFuse 读取电流 <sup>2</sup> 当前阅读 8 位 eFuse 单词	我读	—	12.5	15	妈

<sup>1</sup> 当前的我应用程序是在程序时间 ( $t_{应用程序}$ )。

<sup>2</sup> 当前的我读存在于对 8 位单词的大约 50 ns 的读取访问中。

### 3.1.4 接口频率限制

表 8 提供接口频率限制的信息。

	24 兆赫	32.768 千赫
V 啊	最小 = $0.7 \cdot VDD$	最小 = $0.7 \cdot VDD$
VOL	最大 = $0.3 \cdot VDD$	最大 = $0.3 \cdot VDD$

频率公差	= 30 ppm	= 30 ppm
------	----------	----------

**表 8. 接口频率限制**

参数	分钟。	类型。	最大。	单位
JTAG: TCK 运行频率	直流电	5	10	兆赫
OSC24M_XTAL 振荡器	—	24	—	兆赫
OSC32K_XTAL 振荡器	—	32.768	—	千赫

表 9 提供推荐的外部晶体规格。

**表 9. 推荐的外部晶体规格**

	24 兆赫	32.768 千赫
频率公差	$\leq \pm 30$ ppm	$\leq \pm 30$ ppm
红细胞沉降率	< 80Ω	50K~60K
负载电容器	8 pF-12 pF	6 pF-8 pF (每个针上 12 pF-16 pF)
分流电容器	< 7 pF	1 pF
驱动级别	> 150 μW	> 1 μW

表 10 提供推荐的外部参考时钟振荡器规格 (当从外部时钟源使用参考时)。

**表 10. 推荐的外部参考时钟规格**

表 10. 推荐的外部参考时钟规格 (续)

字母 T 增强	1% T 钟	1% T 钟
字母 T 坠落	1% T 钟	1% T 钟
工作周期	50%	50%

### 3.1.5 USB\_PHY 电流消耗

表 11 提供 USB\_PHY 电流消耗的信息。

表 11. USB PHY 电流消耗<sup>1</sup>

参数	情景	类型。 (@Typ. 温 度)	Max。 (@Max. 温 度)	单位	
Analog Supply USBPHY1_VDDA_BIAS, USBPHY1_UPLL_VDD, USBPHY1_VDDA (3.3 V)	全速	Rx	11.4	—	妈
		Tx	22.6	—	
	高速	Rx	21.5	—	
		Tx	33.8	—	
	悬挂	—	0.6	—	M 罗 马 字 母 的 第 一 个 字 母
	Analog Supply USBPHY2_VDD (3.3 V)	全速	Rx	120	—
Tx			25	—	妈

	低速	Rx	252	—	M 罗马字母 的第一个 字母
		Tx	5.5	—	妈
所有用品	悬挂		50	100	M 罗马字母 的第一个 字母

<sup>1</sup> 值必须经过验证

### 3.1.6 电源模式

表 12 描述处理器不同功率模式的核心、时钟和模块设置。

表 12. i.MX25 电源模式设置

核心/时钟/模块	电源模式				
	打瞌睡	等待	停止/睡眠 <sup>1</sup>	运行 ( 266 MHz)	运行 ( 400 MHz)
ARM 核心	平台时钟已关闭	处于等待中断模式	—	活跃@ 266 MHz	活跃@ 400 MHz
好吧偏见	在...上	离开	在...上	离开	离开
MCU PLL	在...上	在...上	离开	在...上	在...上
USB PLL	离开	离开	离开	在...上	在...上
OSC24M	在...上	在...上	离开	在...上	在...上
OSC32K	在...上	在...上	在...上	在...上	在...上
其他模块	离开	离开	离开	在...上	在...上

<sup>1</sup> 睡眠模式与停止模式的不同之处在于核心电压降低到 1V。

表 13 显示了各种电源模式下各种电源的典型电流消耗。

表 13. i.MX25 功率模式电流消耗

电力集团	电源	电压背景	功率模式的电流消耗 <sup>1</sup>			
			打瞌睡	等待	阻止	睡觉时段
NVCC_EMI	NVCC_EMI1 NVCC_EMI2	3.0 V	5M 罗马字母的 第一个字母	3.15M 罗马字母的 第一个字母	3.51M 罗马字母的 第一个字母	3.61M 罗马字母的 第一个字母
NVCC_CRM	NVCC_CRM	3.0 V	1.15M 罗马字母的 第一个字母	4.31μA	0.267μA	0.32μA
NVCC_其他的	NVCC_SDIO NVCC_CSI NVCC_NFC NVCC_JTAG NVCC_LCDDC NVCC_MISC	3.0 V	31.2M 罗马字母的 第一个字母	29.5μA	31.7M 罗马字母的 第一个字母	32.1μA
NVCC_ADC	NVCC_ADC	3.0 V	163M 罗马字母的 第一个字母	3.25μA	1.14μA	0.871μA
OSC24M	OSC24M_VDD	3.0 V	906M 罗马字母的 第一个字母	903μA	10.2μA 妈	10.5μA
PLL_VDD	MPLL_VDD UPLL_VDD	1.4 V	6.83 毫安	6.83 米 A	38.9μA	39.1μA
QVDD	QVDD	1.15 V	8.79 毫安	11.28 mA	842M 罗马字母的 第一个字母	665MA
USBPHY1_VDDA	USBPHY1_VDDA	3.17 V	240M 罗马字母的 第一个字母	240μA	241μA	242μA
USBPHY1_VDDA_VBIAS	USBPHY1_VDDA_VBIAS	3.17 V	0.6μA	1.46μA	0.328μA	0.231μA
USBPHY1_UPLL_VDD	USBPHY1_UPLL_VDD	3.17 V	201μA	201μA	191μA	191μA
USBPHY2	USBPHY2_VDD	3.0 V	158M 罗马字母的 第一个字母	0158μA	164μA	164μA

<sup>1</sup> 在典型的使用条件下，数值是典型的。

在降低功率模式下，如表 14，i.MX25 已关闭，而 RTC 时钟和安全钥匙（在安全使用的情况下）仍然运行。当所有其他用品都关闭时，BAT\_VDD 被绑在电池上。

### 笔记

在这种低功耗模式下，i.MX25 无法被中断唤醒；它必须重新开机才能检测到任何事件。

表 14. iMX25 减少功率模式电流消耗

电力集团	电源	电压设置	典型电流消耗
BAT_VDD	BAT_VDD	1.15 V	9.95M 罗马字母的第一个字母
		1.55 V	12.6M 罗马字母的第一个字母

## 3.2 供电/断电要求和限制

任何 i.MX25 板的设计都必须符合本节中给出的开机和关机顺序指南，以确保设备的可靠运行。以下小节给出了推荐的开机和关机顺序。

### 谨慎

不符合本节指南可能会导致以下情况：

- 开机阶段电流过度
- 防止设备启动
- i.MX25 不可逆转的损坏（最坏的情况）

### 笔记

对于安全应用，在开机和关机过程中必须连接硬币电池，以确保安全密钥不会被无意中擦除。

### 3.2.1 开机序列（Power Up Sequence）

对于不使用 DryIce/SRTC 的用户，建议使用以下电源顺序：

1. 断言电源重置（POR）。
2. 打开 QVDD 数字逻辑域供应。
3. QVDD 稳定后，打开 NVCCx 数字 I/O 电源。
4. 打开所有其他模拟电源，包括 USBPHY1\_VDDA\_BIAS，USBPHY1\_UPLL\_VDD，USBPHY1\_VDDA，USBPHY2\_VDD，OSC24M\_VDD，MPPLL\_VDD、UPLL\_VDD、NVCC\_ADC 和 FUSEVDD（如果保险丝未编程，FUSEVDD 与 GND 绑定），毕竟 NVCCx 数字 I/O 供应稳定。
5. 否定 POR 信号。

## 笔记

- 建议用户将 FUSEVDD 连接到 GND，除非保险丝已编程，以防止保险丝意外爆炸。
- 其他开机序列可能是可能的；但是，上述序列已经验证，建议使用。
- 供应增加之间有 1 毫秒的最短时间，在 POR\_B 断言和解断言之间有 1 毫秒的最短时间。
- $dV/dT$  不应超过 0.25 V/M 适用于所有电源，以避免触发 ESD 电路。

图 2 显示开机序列图。POR\_B 断言后，可以启动 Core VDD 和 NVDDx。在 Core VDD 和 NVDDx 稳定后，模拟电源可以通电。

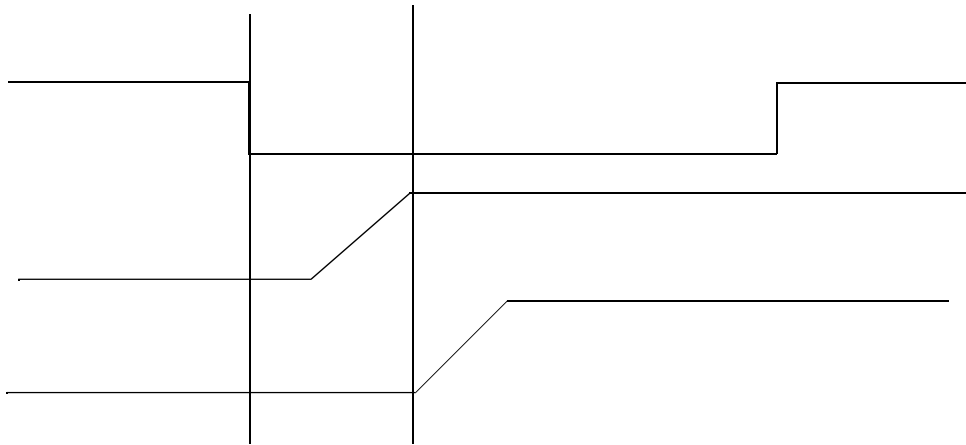


图 2。开机顺序图图

### 3.2.2 关机序列

对关机顺序没有特殊要求。所有电源都可以同时关机。

### 3.2.3 SRTC DryIce 开机/关机序列

为了保证 DryIce 的断电保护，包括在关机期间保留 SRTC 时间数据，用户必须执行以下操作：

- 在 NVCC\_DRYICE 输出引脚上放置一个合适的电容器，然后
- 实现以下开机/关机顺序
  1. 断言电源重置 (POR)。
  2. 打开 NVCC\_CRM。
  3. NVCC\_CRM 达到 3.3V 的 90%后，打开 QVDD 数字逻辑域供应不少于 1 毫秒，不超过 32 毫秒。

### 笔记

这是为了保证在 QVDD 打开之前，POR 已经在 NVCC\_CRM/QVDD 电源域接口上稳定，并在 QVDD 打开 QVDD 后立即传播到 QVDD 域。

4. QVDD 达到 1.2V 的 90%后，打开其他 NVCCx 数字 I/O 电源不少于 1 毫秒，不超过 32 毫秒。
5. 打开所有其他模拟电源，包括 USBPHY1\_VDDA\_BIAS, USBPHY1\_UPLL\_VDD, USBPHY1\_VDDA, USBPHY2\_VDD, NVCC\_ADC, OSC24M\_VDD、MPPLL\_VDD、UPLL\_VDD 和 FUSEVDD（如果 NVCCx 达到 3.3V 的 90%后，保险丝不编程）不少于 1 毫秒，不超过 32 毫秒。

### 笔记

这是为了保证模拟外围设备能够从 QVDD 域和 NVCCx 域获得适当的初始化（重置）值。

6. 否定 POR 信号至少 90M 在之前的所有步骤之后。

### 笔记

- 这是为了保证 POR 逻辑和时钟在内部都是稳定的 i.MX25 芯片，在移除 POR 之前。
- 所有电源的 dV/dT 速度不应超过 0.25 V/us，以避免触发 ESD 电路。

此外，建议使用以下关机顺序：

1. 关闭模拟部件的电源，包括 USBPHY1\_VDDA\_BIAS、USBPHY1\_UPLL\_VDD、USBPHY1\_VDDA、USBPHY2\_VDD、NVCC\_ADC 和 FUSEVDD（如果保险丝未编程，FUSEVDD 将连接到 GND）。
2. 关闭 QVDD。
3. 关闭 NVCCx、PLL、OSC 和其他电源。

### 笔记

停电步骤可以同时执行，也可以很快一个接一个地执行。

## 3.3 功率特性

表 15 显示在最坏情况下电压和温度条件下 i.MX25 最大电流数的值。这些值来自 i.MX25，核心时钟速度高达 400 MHz。此外，没有时钟 gati 等节能技术 Ng 是在测量这些值时实现的。普通用品是根据 i.MX25 电源序列要求捆绑的。为系统设计者提供峰值数字，以便在启动期间满足 i.MX25 电源要求 D 瞬态条件。Freescale 建议使用客户特定的用例进行系统电流测量，以反映最终系统的正常运行条件。

表 15。功耗

电源	电压 (V)	最大电流 (mA)
QVDD	1.52	360
NVCC_EMI1, NVCC_EMI2	1.9	30
NVCC_CRM, NVCC_SDIO, NVCC_CSI, NVCC_NFC, NVCC_JTAG, NVCC_LCDC, NVCC_MISC	3.6	110
MPLL_VDD, UPLL_VDD	1.65	20
USBPHY1_VDDA_BIAS , USBPHY1_UPLL_VDD, USBPHY1_VDDA, USBPHY2_VDD, OSC24M_VDD, NVCC_ADC	3.3	40
FUSE_VDD <sup>1</sup>	3.6	62
BATT_VDD	1.55	0.030

<sup>1</sup>FUSE\_VDD 导轨连接到地面。当系统保险丝需要燃烧时，它只需要电压。

获得最大电流的方法如下：

1. 使用 i.MX25 上的定向测试测量单个轨道最坏情况下的功耗。
2. 将最坏情况下的功耗测量与最坏情况下的功耗模拟联系起来。
3. 根据电源测序要求组合通用电压导轨（在几个测试案例运行的一些测试案例中，在每个导轨上添加最坏情况下的功耗，以最大化电源组中的不同导轨）。
4. 警惕温度和过程变化的最坏情况数字。
5. 单个轨道的总和大于现实世界的功耗，因为一个真正的系统通常不会同时最大化所有外围设备的功耗。
6. 当系统处于维持 RTC 的低功耗模式时，测量 BATT\_VDD 电流。当系统处于运行模式时，QVDD 用于供应 DryIce，因此该电流可以变得可以漠不计。看见表 12，了解有关电源模式的更多详细信息。

### 笔记

上述值不应被视为特定用例的典型最大运行数据。这些值是 Absolute MAX 数据。Freescale 建议使用客户特定的用例对系统进行当前测量，以反映正常运行情况最终系统中的条件。

## 3.4 热特性

该设备的热电阻特性见表 16。这些值在以下条件下测量：

- 两层基材
- 基板焊料面罩厚度：0.025 毫米
- 基板金属厚度：0.016 毫米
- 基板芯厚度：0.200 毫米
- 核心通过 I.D：0.118 毫米，核心通过电镀 0.016 毫米。
- 国旗：模具下的地面球与国旗相连的痕迹风格
- 模具附件：0.033 mm 非电模附件， $k = 0.3 \text{ W/m K}$  • 模具化合物：通用模具化合物； $k = 0.9 \text{ W/m K}$

表 16。热阻数据

评分	状况	标志	价值	单位
连接环境 <sup>1</sup> 自然对流	单层板 (1s)	字母 ReJA	55	°C/W
连接环境 <sup>1</sup> 自然对流	四层板 (2s2p)	字母 ReJA	33	°C/W
连接环境 <sup>1</sup> (200 英尺/分钟)	单层板 (1s)	字母 ReJMA	46	°C/W
连接环境 <sup>1</sup> (200 英尺/分钟)	四层板 (2s2p)	字母 ReJMA	29	°C/W
通往木板的连接点 <sup>2</sup>	—	字母 ReJB	22	°C/W
连接箱 (顶部) <sup>3</sup>	—	字母 ReJCTop	13	°C/W
连接处到包裹顶部 <sup>4</sup>	自然对流	$\Psi_{JT}$	2	°C/W

<sup>1</sup> 根据 JEDEC JESD51-3 和 JESD51-6 确定的结到环境热阻。热测试板符合该包装的 JEDEC 规范。

<sup>2</sup> 根据 JEDEC JESD51-8 确定的连接到板的热电阻。热测试板符合该包装的 JEDEC 规范。

<sup>3</sup> 使用 MIL-STD 883 方法 1012.1 确定包装顶部的连接到外壳。冷板温度用于外壳温度。报告的值包括接口层的热阻。

<sup>4</sup> 根据 JEDEC JESD51-2 显示包装顶部和 junction 温度之间的温度差的热表征参数。当希腊字母不可用时，此热表征参数写为 Psi-JT。

### 3.5 I/O DC 参数

本节包括以下 I/O 类型的 DC 参数：

- DDR I/O：移动 DDR (mDDR)、双倍数据速率 (DDR2) 或同步动态随机存取存储器 (SDRAM)
- 通用 I/O (GPIO)

## 笔记

本节中的术语“OVDD”是指输入或输出的相关供应轨。该关联显示在参考手册的“信号多路复用”章节中。

### 3.5.1 DDR I/O DC 参数

DDR 垫类型由 IOMUXC\_SW\_PAD\_CTL\_GRP\_DDRTYPE 寄存器配置（请参阅外部信号和引脚复用章节 *i.MX25 参考手册* 有关详细信息）。

#### 3.5.1.1 DDR\_TYPE = 00 标准设置 DDR I/O DC 参数

表 17 显示移动 DDR 的 I/O 参数。这些设置适用于 mDDR 和 DDR2 1.8V ( $\pm 5\%$ ) 应用程序。

表 17. 移动 DDR I/O DC 电气特性

DC 电气特性	标志	测试条件	Min.	类型。	Max.	单位
高电平输出电压	Voh	我 <sub>OH</sub> = -1mA 我 <sub>OH</sub> = 指定驱动器	OVDD - 0.08 0.8×OVDD	—	—	V
低电平输出电压	Vol	我 <sub>OL</sub> = 1mA I <sub>OL</sub> = 指定驱动器	—	—	0.08 0.2×OVDD	V
高级输出电流	我 <sub>OH</sub>	Voh = 0.8×OVDDV 标准驱动器 高驱动 Max. 驱动器	-3.6 -7.2 -10.8	—	—	妈
低电平输出电流	我 <sub>OL</sub>	Vol = 0.2×OVDDV 标准驱动器 高驱动 Max. 驱动器	3.6 7.2 10.8	—	—	妈
高级直流 CMOS 输入电压	VIH	—	0.7×OVDD	OVDD	OVDD+0.3	V
低级直流 CMOS 输入电压	VIL	—	-0.3	0	0.3×OVDD	V
差动接收器 VTH+	VTH+	—	—	—	100	毫伏
差动接收器 VTH-	VTH-	—	-100	—	—	毫伏
输入电流（无上拉/下拉）	IIN	VI = 0 VI = OVDD	—	—	110 60	nA
高阻抗 I/O 电源电流	Icc-ovdd	VI = OVDD 或 0	—	—	990	nA

高阻抗核心供电电流	lcc-vddi	VI = VDD 或 0	—	—	1220	nA
-----------	----------	--------------	---	---	------	----

### 3.5.1.2 DDR\_TYPE = 01 SDRAM I/O DC 参数

表 18 显示 SDRAM 的 DC I/O 参数。

表 18。SDRAM DC 电气特性

DC 电气特性	标志	测试条件	Min.	类型。	Max.	单位
高电平输出电压	Voh	Ioh = 指定驱动器 (Ioh = -4, -8, -12, -16mA)	2.4	—	—	V
低电平输出电压	Vol	Ioh = 指定驱动器 (Ioh = 4, 8, 12, 16mA)	—	—	0.4	V
高级输出电流	我	标准驱动器	-4.0	—	—	妈
	Ioh	高驱动 Max。驱动器	-8.0 -12.0	—	—	妈
低电平输出电流	我	标准驱动器	4.0	—	—	妈
	Iol	高驱动 Max。驱动器	8.0 12.0	—	—	妈
高电平直流输入电压	VIH	—	2.0	—	3.6	V
低电平直流输入电压	VIL	—	-0.3 V	—	0.8	V
输入电流 (无上拉/下拉)	IIN	VI = 0 VI = OVDD	—	—	150 80	nA
高阻抗 I/O 电源电流	lcc-ovdd	VI = OVDD 或 0	—	—	1180	nA
高阻抗核心供电电流	lcc-vddi	VI = VDD 或 0	—	—	1220	nA

### 3.5.1.3 DDR\_TYPE = 10 最大设置 DDR I/O DC 参数

表 19 显示 DDR2 (SSTL\_18) 的 I/O 参数。

表 19。DDR2 (SSTL\_18) I/O DC 电气特性

DC 电气特性	标志	测试条件	Min.	类型。	Max.	单位
高电平输出电压	Voh	—	OVDD - 0.28	—	—	V
低电平输出电压	Vol	—	—	—	0.28	V
输出最小源电流 <sup>1</sup>	Iloh	—	-13.4	—	—	妈
输出最小水槽电流 <sup>2</sup>	Ilol	—	13.4	—	—	妈
直流输入逻辑高	VIH (dc)	—	OVDD/2 + 0.125	—	OVDD + 0.3	V

直流输入逻辑低	VIL (dc)	—	-0.3 V	—	OVDD/2 - 0.125	V
直流输入信号电压 <sup>3</sup> (用于差分信号)	Vin (dc)	—	-0.3	—	OVDD + 0.3	V
直流差分输入电压 <sup>4</sup>	视频 (dc)	—	0.25	—	OVDD+0.6	V

表 19。DDR2 (SSTL\_18) I/O DC 电气特性 (续)

DC 电气特性	标志	测试条件	Min.	类型。	Max.	单位
终止电压 <sup>5</sup>	Vtt	—	OVDD/2 - 0.04	OVDD/2	OVDD/2 + 0.04	
输入电流 <sup>6</sup> (无上拉/下拉)	IIN	VI = 0 VI = OVDD	—	—	110 60	nA
高阻抗 I/O 电源电流 <sup>6</sup>	Icc-ovdd	VI = OVDD 或 0	—	—	980	nA
高阻抗核心供电电流 <sup>6</sup>	Icc-vddi	VI = VDD 或 0	—	—	1210	nA

- <sup>1</sup> OVDD = 1.7 V; V<sub>在外面</sub> = 1.42 V。 (V<sub>在外面</sub> - OVDD)/IOH 必须小于 21 W 才能获得 V<sub>在外面</sub> 在 OVDD 和 OVDD-0.28 V 之间。
- <sup>2</sup> OVDD = 1.7 V; V<sub>在外面</sub> = 280 mV。 V<sub>在外面</sub>/IOL 对于 V 值必须小于 21 W 在外面在 0V 到 280 mV 之间。 参数 V 的仿真电路啊和 VOI/I/O 细胞在下面。
- <sup>3</sup> Vin(dc)指定每个差分输入的允许直流偏移。
- <sup>4</sup> Vid(dc)指定了切换所需的输入差分电压。 最小值等于 Vih(dc) - Vil(dc)。
- <sup>5</sup> Vtt 预计将跟踪 OVDD/2。
- <sup>6</sup> 最低条件: BCS 模型, 1.95 V 和 -40 °C。 典型条件: 典型型号, 1.8 V 和 25°C。 最大条件: wcs 型号, 1.65 V 和 105 °C。

### 3.5.2 GPIO I/O DC 参数

表 20 显示 GPIO 的 I/O 参数。

表 20。GPIO DC 电气特性

DC 电气特性	标志	测试条件	Min.	类型。	Max.	单位
高电平输出电压 <sup>1</sup>	Voh	Ioh = -1mA Ioh = 指定驱动器	OVDD - 0.15 0.8×OVDD	—	—	V
低电平输出电压 <sup>1</sup>	Vol	Iol = 1mA Iol = 指定驱动器	—	—	0.15 0.2×OVDD	V
用于慢模式的高级输出电流	Ioh	Voh = 0.8×OVDD 标准驱动器 高驱动 Max。 驱动器	-2.0 -4.0 -8.0	—	—	妈

用于快速模式的高电平输出电流	我 loh	Voh=0.8×OVDD 标准驱动器 高驱动 Max。驱动器	-4.0 -6.0 -8.0	—	—	妈
慢模式的低电平输出电流	我 lol	Voh=0.2×OVDD 标准驱动器 高驱动 Max。驱动器	2.0 4.0 8.0	—	—	妈
用于快速模式的低电平输出电流	我 lol	Voh=0.2×OVDD 标准驱动器 高驱动 Max。驱动器	4.0 6.0 8.0	—	—	妈
高电平直流输入电压	VIH	—	0.7×OVDD	—	OVDD	V
低电平直流输入电压	VIL	—	-0.3 V	—	0.3×OVDD	V

表 20. GPIO DC 电气特性 (续)

DC 电气特性	标志	测试条件	Min.	类型。	Max.	单位
输入滞后	VHYS	OVDD = 3.3 V OVDD = 1.8V	370 290	—	420 320	毫伏
Schmitt 触发 VT+ <sup>1</sup>	VT+	—	0.5×OVDD	—	—	V
施密特触发 VT- <sup>1</sup>	VT-	—	—	—	0.5×OVDD	V
拉起电阻 (22kΩPU)	Rpu	Vi=0	18.5	22	25.6	KΩ
拉起电阻 (47kΩPU)	Rpu	Vi=0	41	47	55	KΩ
拉起电阻 (100kΩPU)	Rpu	Vi=0	85	100	120	KΩ
下拉电阻 (100kΩPD)	Rpd	VI = OVDD	85	100	120	KΩ
输入电流 (无上拉/下拉)	IIN	VI = 0, OVDD = 3.3 V VI = OVDD = 3.3 V VI = 0, OVDD = 1.8 V VI = OVDD = 1.8 V	—	—	100 60 77 50	nA

<sup>1</sup> Hysteresis of 250 mV is guaranteed over all operating conditions when hysteresis is enabled.

### 3.6 AC Electrical Characteristics

This section provides the AC parameters for slow and fast I/O.

输入电流 (22kΩPU)	IIN	VI = 0, OVDD = 3.3 V VI = OVDD = 3.3 V VI = 0, OVDD = 1.8 V VI = OVDD = 1.8 V	117 0.0001 64 0.0001	—	184 0.0001 104 0.0001	M 罗 马字母 的 第 一 个 字 母
输入电流 (47kΩPU)	IIN	VI = 0, OVDD = 3.3 V VI = OVDD = 3.3 V VI = 0, OVDD = 1.8 V VI = OVDD = 1.8 V	54 0.0001 30 0.0001	—	88 0.0001 49 0.0001	M 罗 马字母 的 第 一 个 字 母
输入电流 (100 kΩPU)	IIN	VI = 0, OVDD = 3.3 V VI = OVDD = 3.3 V VI = 0, OVDD = 1.8 V VI = OVDD = 1.8 V	25 0.0001 14 0.0001	—	42 0.0001 23 0.0001	M 罗 马字母 的 第 一 个 字 母
输入电流 (100 kΩPD)	IIN	VI = 0, OVDD = 3.3 V VI = OVDD = 3.3 V VI = 0, OVDD = 1.8 V VI = OVDD = 1.8 V	25 0.0001 14 0.0001	—	42 0.001 23 0.0001	M 罗 马字母 的 第 一 个 字 母
高阻抗 I/O 电源电流	lcc-ovdd	VI = 0, OVDD = 3.3 V VI = OVDD = 3.3 V VI = 0, OVDD = 1.8 V VI = OVDD = 1.8 V	—	—	688 688 560 560	nA
高阻抗核心供电电流	lcc-vddi	VI = 0, OVDD = 3.3 V VI = OVDD = 3.3 V VI = 0, OVDD = 1.8 V VI = OVDD = 1.8 V	—	—	490 490 410 410	nA

图 3 显示输出的负载电路。图 4 通过图 6 显示输出过渡时间和传播波形。

从输出测试点



CL 包括封装、探头和夹具电容

图 3. 用于输出的负载电路

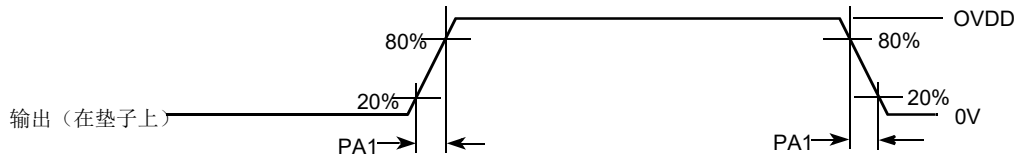


图 4. 输出垫过渡时间波形

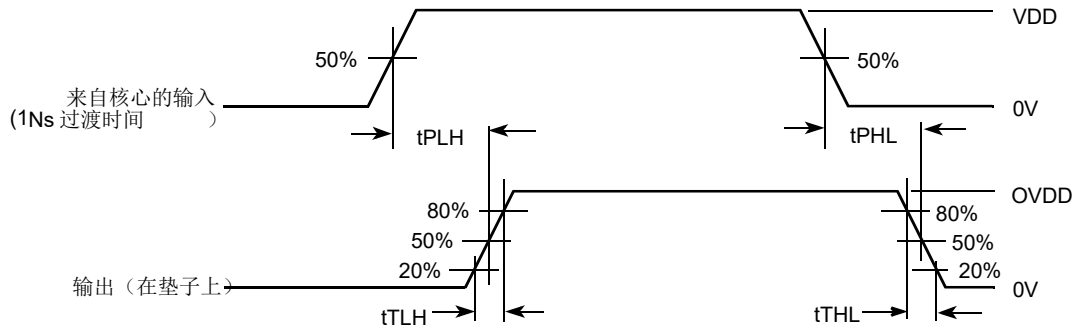


图 5. 输出垫传播和过渡时间波形

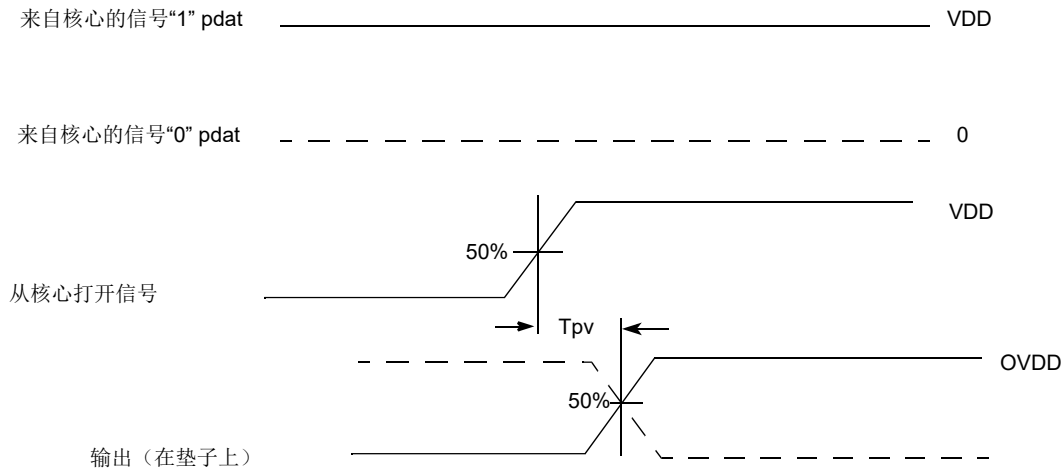


图 6. 输出启用输出有效

### 3.6.1 慢速 I/O 交流参数

表 21 显示缓慢的 I/O AC 参数。

表 21. 慢速 I/O 交流参数

参数	标志	测试电压	测试电容	最小上升/秋季	类型。上升/上升/上升	Max. 上升/上升/上升	单位
工作周期	Fduty	—	—	40	—	60	%
输出垫过渡时间 <sup>1</sup> (最大。开车)	Tpr	3.0–3.6 V	25 pF	0.95/0.84	1.36/1.11	2.06/1.60	Ns
		3.0–3.6 V	50 pF	1.58/1.37	2.19/1.77	3.20/2.47	
		1.65–1.95 V	25 pF	2.70/2.50	1.80/1.40	3.01/2.37	
		1.65–1.95 V	50 pF	3.40/3.20	2.80/2.14	4.63/3.38	

输出垫过渡时间 <sup>1</sup> (高驱动)	Tpr	3.0–3.6 V 3.0–3.6 V 1.65–1.95 V 1.65–1.95 V	25 pF 50 pF 25 pF 50 pF	1.60/1.39 2.94/2.51 1.85/1.48 2.93/2.37	2.23/1.79 4.05/3.17 2.90/2.17 4.56/3.40	3.26/2.50 5.72/4.27 4.75/3.43 7.33/5.26	
输出垫过渡时间 <sup>1</sup> (标准驱动器)	Tpr	3.0–3.6 V 3.0–3.6 V 1.65–1.95 V 1.65–1.95 V	25 pF 50 pF 25 pF 50 pF	3.07/2.62 5.82/4.95 3.04/2.47 5.37/4.40	4.22/3.30 7.94/6.19 4.73/3.50 7.70/8.10	6.03/4.48 11.28/8.28 3.01/2.36 4.63/3.38	
输出垫传播延迟 <sup>1</sup> (最大驱动器), 50%-50%	Tpo	3.0–3.6 V 3.0–3.6 V 1.65–1.95 V 1.65–1.95 V	25 pF 50 pF 25 pF 50 pF	1.92/2.1 2.44/2.53 2.05/2.27 2.71/2.84	2.96/2.96 3.7/3.64 3.32/3.67 4.39/4.51	4.47/4.38 5.54/5.31 5.27/5.85 7.00/7.15	Ns
输出垫传播延迟 <sup>1</sup> (高驱动), 50%-50%	Tpo	3.0–3.6 V 3.0–3.6 V 1.65–1.95 V 1.65–1.95 V	25 pF 50 pF 25 pF 50 pF	2.35/2.49 3.31/3.43 2.58/2.69 3.62/3.60	3.58/3.61 4.9/4.786 4.17/4.27 5.86/5.61	5.35/5.24 7.19/6.8 6.64/6.74 9.34/8.76	
输出垫传播延迟 <sup>1</sup> (标准驱动器), 50%-50%	Tpo	3.0–3.6 V 3.0–3.6 V 1.65–1.95 V 1.65–1.95 V	25 pF 50 pF 25 pF 50 pF	3.39/3.51 5.28/5.35 3.71/3.68 5.52/5.32	5.03/4.89 7.6/7.14 6.03/5.75 8.80/7.96	7.39/6.95 10.97/9.45 9.64/8.97 13.9/11.3	
输出垫传播延迟 <sup>1</sup> (最大驱动器), 40%-60%	Tpo	3.0–3.6 V 3.0–3.6 V 1.65–1.95 V 1.65–1.95 V	25 pF 50 pF 25 pF 50 pF	1.942/2.04 2.378/2.48 2.03/2.28 2.59/2.73	2.923/2.95 3.541/3.53 3.19/3.59 4.10/4.33	4.33/4.3 5.29/5.09 4.97/5.64 6.43/6.77	Ns
输出垫传播延迟 <sup>1</sup> (高驱动), 40%-60%	Tpo	3.0–3.6 V 3.0–3.6 V 1.65–1.95 V 1.65–1.95 V	25 pF 50 pF 25 pF 50 pF	2.29/2.44 3.05/3.20 2.45/2.62 3.36/3.39	3.42/3.49 4.46/4.45 3.86/4.07 5.34/5.22	5.05/5.02 6.53/6.3 6.02/6.35 8.40/8.08	
输出垫传播延迟 <sup>1</sup> (标准驱动器), 40%-60%	Tpo	3.0–3.6 V 3.0–3.6 V 1.65–1.95 V 1.65–1.95 V	25 pF 50 pF 25 pF 50 pF	3.12/3.26 4.60/4.73 3.43/3.46 4.89/4.79	4.58/4.53 6.61/6.32 5.48/5.34 7.75/7.16	6.69/6.42 9.5/8.32 8.65/8.26 12.2/9.97	

**Table 30. AC Parameters for DDR2 pbijtov18\_33\_ddr\_clk I/O (continued)**

Parameter	Symbol	Load Condition	Min. Rise/Fall	Typ.	Max. Rise/Fall	Units
Output pad propagation delay <sup>1</sup> , 40%–60% input signals and crossing of output signals	tpo	25 pF 50 pF	1.47/1.38 1.75/1.67	2.13/2.00 2.54/2.40	3.072/2.87 3.65/3.45	ns
Output enable to output valid delay, 50%–50% <sup>1</sup>	tpv	25 pF 50 pF	1.32/1.28 1.66/1.65	2.11/2.00 2.61/2.50	3.31/3.12 4.06/3.81	ns
Output enable to output valid delay, 40%–60% <sup>1</sup>	tpv	25 pF 50 pF	1.40/1.37 1.67/1.66	2.16/2.06 2.56/2.45	3.30/3.13 3.89/3.67	ns
Output pad slew rate <sup>2</sup>	tps	25 pF 50 pF	0.86/0.98 0.46/0.54	1.35/1.5 0.72/0.81	2.15/2.19 1.12/1.16	V/ns
Output pad dI/dt <sup>3</sup>	tdit	25 pF 50 pF	72 77	172 183	400 422	mA/ns
Input pad transition times <sup>4</sup>	trfi	1.0 pF	0.07/0.08	0.10/0.12	0.17/0.20	ns
Input pad propagation delay, 50%–50% <sup>4</sup>	tpi	1.0 pF	0.89/0.87	1.41/1.37	2.16/2.07	ns
Input pad propagation delay, 40%–60% <sup>4</sup>	tpi	1.0 pF	1.71/1.69	2.22/2.18	2.98/2.88	ns

<sup>1</sup> Maximum condition for tpr, tpo, tpi, and tpv: wcs model, 1.1 V, I/O 1. V, and 105 °C. Minimum condition for tpr, tpo, and tpv: bcs model, 1.3 V, I/O 1.9 V and –40 °C. Input transition time from core is 1 ns (20%–80%).

<sup>2</sup> Minimum condition for tps: wcs model, 1.1 V, I/O 1.7 V, and 105 °C. tps is measured between VIL to VIH for rising edge and between VIH to VIL for falling edge.

<sup>3</sup> Maximum condition for tdit: bcs model, 1.3 V, I/O 1.9 V, and –40 °C.

<sup>4</sup> Maximum condition for tpi and trfi: wcs model, 1.1 V, I/O 1.7 V and 105 °C. Minimum condition for tpi and trfi: bcs model, 1.3 V, I/O 1.9 V and –40 °C. Input transition time from pad is 5 ns (20%–80%).

Table 31 shows the AC requirements for DDR2 I/O.

**Table 31. AC Requirements for DDR2 I/O**

Parameter <sup>1</sup>	Symbol	Min.	Max.	Units
AC input logic high	VIH(ac)	OVDD/2 + 0.25	OVDD + 0.3	V
AC input logic low	VIL(ac)	–0.3	OVDD/2 – 0.25	V
AC differential input voltage <sup>2</sup>	Vid(ac)	0.5	OVDD + 0.6	V
AC differential cross point voltage for input <sup>3</sup>	Vix(ac)	OVDD/2–0.175	OVDD/2 + 0.175	V
AC differential cross point voltage for output <sup>4</sup>	Vox(ac)	OVDD/2–0.125	OVDD/2 + 0.125	V

<sup>1</sup> The Jedic SSTL\_18 specification (JESD8-15a) for an SSTL interface for class II operation supersedes any specification in this document.

<sup>2</sup> Vid(ac) specifies the input differential voltage  $V_{tr}-V_{cpl}$  required for switching, where  $V_{tr}$  is the “true” input signal and  $V_{cpl}$  is the “complementary” input signal. The minimum value is equal to  $V_{ih}(ac)-V_{il}(ac)$

<sup>3</sup> The typical value of  $V_{ix}(ac)$  is expected to be about  $0.5 \times OVDD$ . and  $V_{ix}(ac)$  is expected to track variation of OVDD.  $V_{ix}(ac)$  indicates the voltage at which differential input signal must cross.

<sup>4</sup> The typical value of  $V_{ox}(ac)$  is expected to be about  $0.5 \times OVDD$  and  $V_{ox}(ac)$  is expected to track variation in OVDD.  $V_{ox}(ac)$  indicates the voltage at which differential output signal must cross.  $C_{load} = 25$  pF.

### 3.7 Module Timing and Electrical Parameters

This section contains the timing and electrical parameters for i.MX25 modules.

#### 3.7.1 1-Wire Timing Parameters

Figure 7 shows the reset and presence pulses (RPP) timing for 1-Wire.

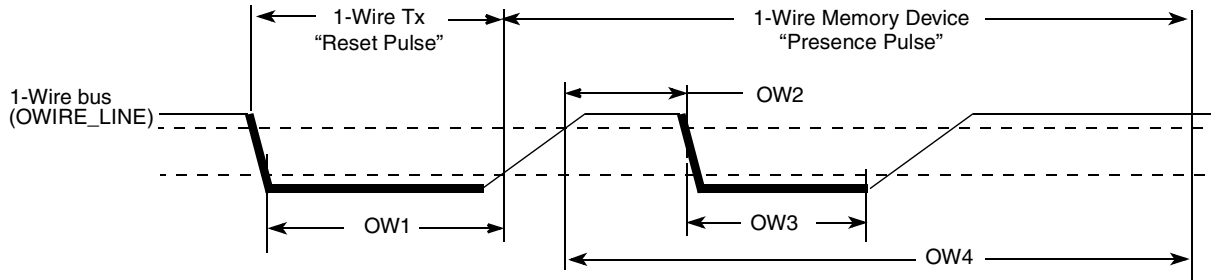


Figure 7. 1-Wire RPP Timing Diagram

Table 32 lists the RPP timing parameters.

Table 32. RPP Sequence Delay Comparisons Timing Parameters

ID	Parameters	Symbol	Min.	Typ.	Max.	Units
OW1	Reset Time Low	$t_{RSTL}$	480	511	—	$\mu s$
OW2	Presence Detect High	$t_{PDH}$	15	—	60	$\mu s$
OW3	Presence Detect Low	$t_{PDL}$	60	—	240	$\mu s$
OW4	Reset Time High	$t_{RSTH}$	480	512	—	$\mu s$

Figure 8 shows write 0 sequence timing, and Table 33 describes the timing parameters (OW5–OW6) that are shown in the figure.

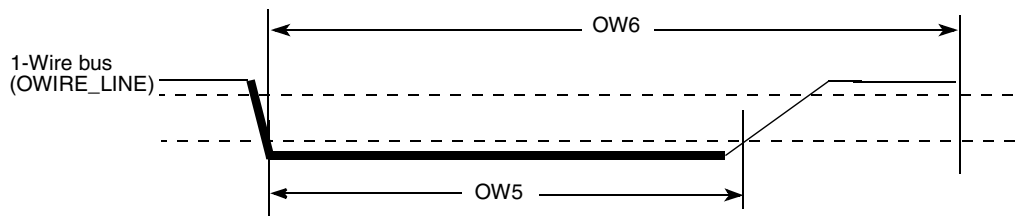


Figure 8. Write 0 Sequence Timing Diagram

Table 33. WR0 Sequence Timing Parameters

ID	Parameter	Symbol	Min.	Typ.	Max.	Units
OW5	Write 0 Low Time	$t_{WR0\_low}$	60	100	120	$\mu s$
OW6	Transmission Time Slot	$t_{SLOT}$	OW5	117	120	$\mu s$

Figure 9 and Figure 10 show write 1 and read sequence timing, respectively. Table 34 describes the timing parameters (OW7–OW8) that are shown in the figure.

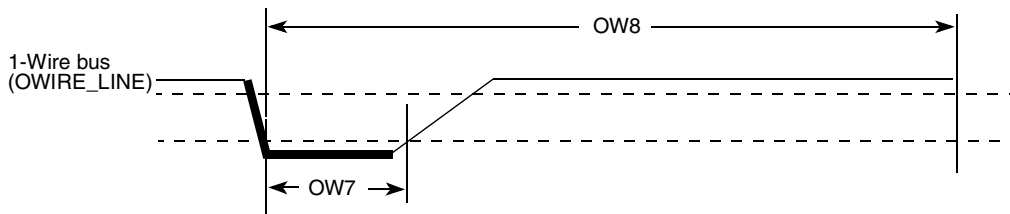


Figure 9. Write 1 Sequence Timing Diagram

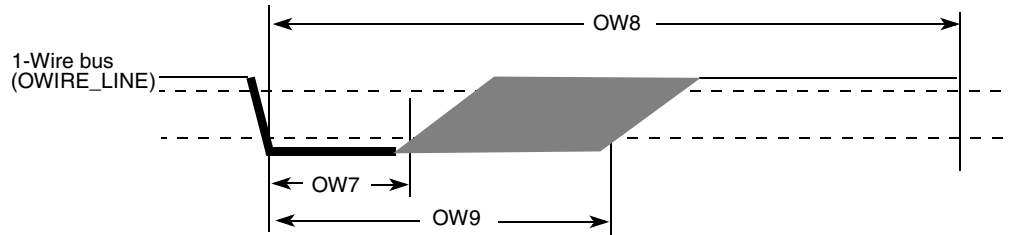


Figure 10. Read Sequence Timing Diagram

Table 34. WR1 /RD Timing Parameters

ID	Parameter	Symbol	Min.	Typ.	Max.	Units
OW7	Write 1 / read low time	$t_{LOW1}$	1	5	15	$\mu\text{s}$
OW8	Transmission time slot	$t_{SLOT}$	60	117	120	$\mu\text{s}$
OW9	Release time	$t_{RELEASE}$	15	—	45	$\mu\text{s}$

### 3.7.2 ATA Timing Parameters

Table 35 shows parameters used to specify the ATA timing. These parameters depend on the implementation of the ATA interface on silicon, the bus buffer used, the cable delay and cable skew.

**Table 35. Timing Parameters**

Name	Description	Value/Contributing Factor
T	Bus clock period	Peripheral clock frequency
ti_ds	Set-up time <b>ata_data</b> to <b>ata_iordy</b> edge (UDMA-in only) UDMA0 UDMA1 UDMA2,UDMA3 UDMA4 UDMA5	15 ns 10 ns 7 ns 5 ns 4 ns
ti_dh	Hold time <b>ata_iordy</b> edge to <b>ata_data</b> (UDMA-in only) UDMA0,UDMA1,UDMA2,UDMA3,UDMA4 UDMA5	5.0 ns 4.6 ns
tco	Propagation delay bus clock L-to-H to <b>ata_cs0, ata_cs1, ata_da2, ata_da1, ata_da0, ata_dior, ata_diow, ata_dmack, ata_data, ata_buffer_en</b>	12.0 ns
tsu	Set-up time <b>ata_data</b> to bus clock L-to-H	8.5 ns
tsui	Set-up time <b>ata_iordy</b> to bus clock H-to-L	8.5 ns
thi	Hold time <b>ata_iordy</b> to bus clock H-to-L	2.5 ns
tskew1	Maximum difference in propagation delay bus clock L-to-H to any of the following signals <b>ata_cs0, ata_cs1, ata_da2, ata_da1, ata_da0, ata_dior, ata_diow, ata_dmack, ata_data</b> (write), <b>ata_buffer_en</b>	7 ns
tskew2	Maximum difference in buffer propagation delay for any of the following signals <b>ata_cs0, ata_cs1, ata_da2, ata_da1, ata_da0, ata_dior, ata_diow, ata_dmack, ata_data</b> (write), <b>ata_buffer_en</b>	Transceiver
tskew3	Maximum difference in buffer propagation delay for any of the following signals <b>ata_iordy, ata_data</b> (read)	Transceiver
tbuf	Maximum buffer propagation delay	Transceiver
tcable1	cable propagation delay for <b>ata_data</b>	Cable
tcable2	cable propagation delay for control signals <b>ata_dior, ata_diow, ata_iordy, ata_dmack</b>	Cable
tskew4	Maximum difference in cable propagation delay between <b>ata_iordy</b> and <b>ata_data</b> (read)	Cable
tskew5	Maximum difference in cable propagation delay between ( <b>ata_dior, ata_diow, ata_dmack</b> ) and <b>ata_cs0, ata_cs1, ata_da2, ata_da1, ata_da0, ata_data</b> (write)	Cable
tskew6	Maximum difference in cable propagation delay without accounting for ground bounce	Cable

### 3.7.2.1 PIO Mode Timing Parameters

Figure 11 shows a timing diagram for PIO read mode.

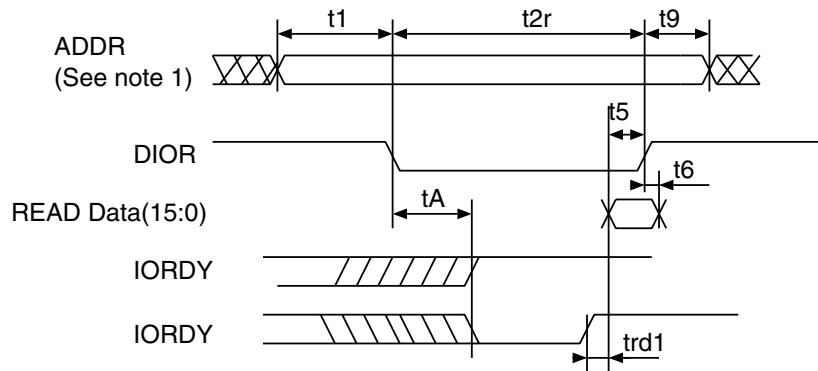


Figure 11. PIO Read Mode Timing

To meet PIO read mode timing requirements, a number of timing parameters must be controlled. Table 36 shows timing parameters and their determining relations, and indicates parameters that can be adjusted to meet required conditions.

Table 36. Timing Parameters for PIO Read Mode

ATA Parameter	PIO Read Mode Timing Parameter <sup>1</sup>	Relation	Adjustable Parameter
t1	t1	$t1(\text{min.}) = \text{time\_1} \times T - (\text{tskew1} + \text{tskew2} + \text{tskew5})$	time_1
t2	t2r	$t2(\text{min.}) = \text{time\_2r} \times T - (\text{tskew1} + \text{tskew2} + \text{tskew5})$	time_2r
t9	t9	$t9(\text{min.}) = \text{time\_9} \times T - (\text{tskew1} + \text{tskew2} + \text{tskew6})$	time_9
t5	t5	$t5(\text{min.}) = t_{co} + t_{su} + t_{buf} + t_{buf} + t_{cable1} + t_{cable2}$	If not met, increase time_2
t6	t6	0	—
tA	tA	$tA(\text{min.}) = (1.5 + \text{time\_ax}) \times T - (t_{co} + t_{sui} + t_{cable2} + t_{cable2} + 2 \times t_{buf})$	time_ax
trd	trd1	$trd1(\text{max.}) = (-trd) + (\text{tskew3} + \text{tskew4})$ $trd1(\text{min.}) = (\text{time\_pio\_rdx} - 0.5) \times T - (t_{su} + t_{thi})$ $(\text{time\_pio\_rdx} - 0.5) \times T > t_{su} + t_{thi} + \text{tskew3} + \text{tskew4}$	time_pio_rdx
t0	—	$t0(\text{min.}) = (\text{time\_1} + \text{time\_2} + \text{time\_9}) \times T$	time_1, time_2r, time_9

<sup>1</sup> See Figure 11.

Figure 12 gives timing waveforms for PIO write mode.

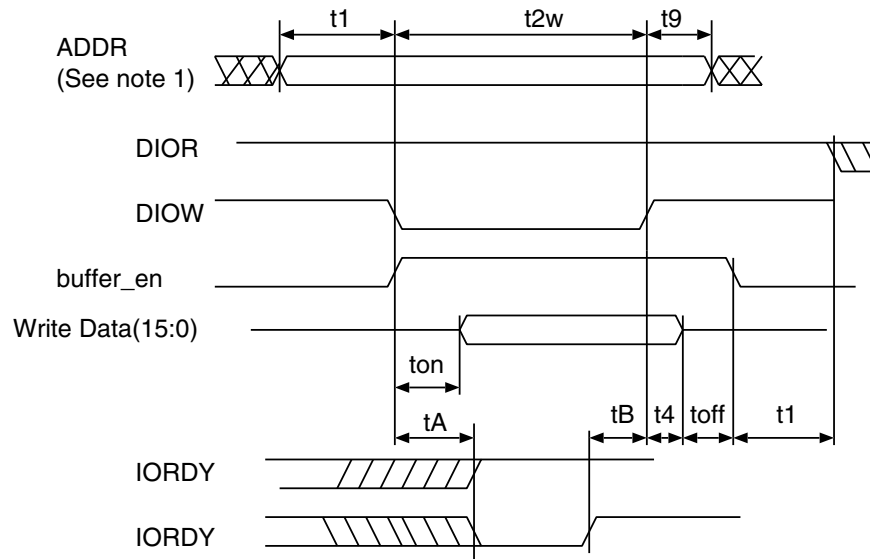


Figure 12. PIO Write Mode Timing

To meet PIO write mode timing requirements, a number of timing parameters must be controlled. Table 37 shows timing parameters and their determining relations, and indicates parameters that can be adjusted to meet required conditions.

Table 37. Timing Parameters for PIO Write Mode

ATA Parameter	PIO Write Mode Timing Parameter <sup>1</sup>	Relation	Adjustable Parameter(s)
t1	t1	$t1(\text{min.}) = \text{time\_1} \times T - (\text{tskew1} + \text{tskew2} + \text{tskew5})$	time_1
t2	t2w	$t2(\text{min.}) = \text{time\_2w} \times T - (\text{tskew1} + \text{tskew2} + \text{tskew5})$	time_2w
t9	t9	$t9(\text{min.}) = \text{time\_9} \times T - (\text{tskew1} + \text{tskew2} + \text{tskew6})$	time_9
t3	—	$t3(\text{min.}) = (\text{time\_2w} - \text{time\_on}) \times T - (\text{tskew1} + \text{tskew2} + \text{tskew5})$	if not met, increase time_2w
t4	t4	$t4(\text{min.}) = \text{time\_4} \times T - \text{tskew1}$	time_4
tA	tA	$tA = (1.5 + \text{time\_ax}) \times T - (\text{tco} + \text{tsui} + \text{tcable2} + \text{tcable2} + 2 \times \text{tbuf})$	time_ax
t0	—	$t0(\text{min.}) = (\text{time\_1} + \text{time\_2} + \text{time\_9}) \times T$	time_1, time_2r, time_9
—	—	Avoid bus contention when switching buffer on by making ton long enough	—
—	—	Avoid bus contention when switching buffer off by making toff long enough	—

<sup>1</sup> See Figure 12.

### 3.7.2.2 Multiword DMA (MDMA) Mode Timing

Figure 13 and Figure 14 show the timing for MDMA read and write modes, respectively.

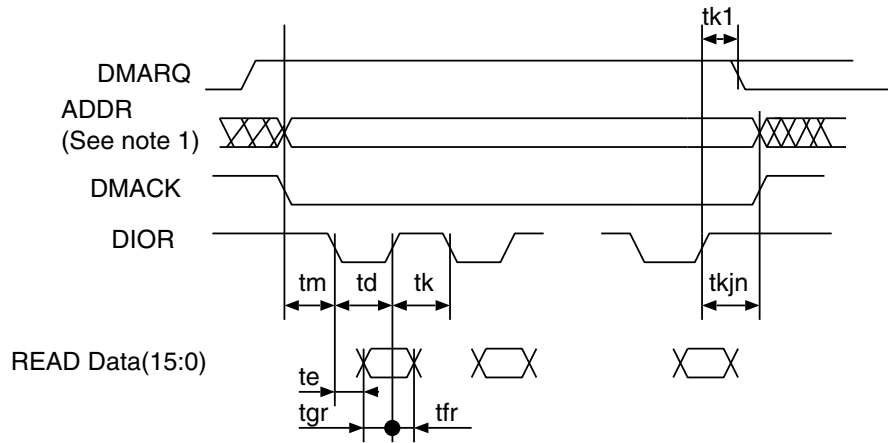


Figure 13. MDMA Read Mode Timing

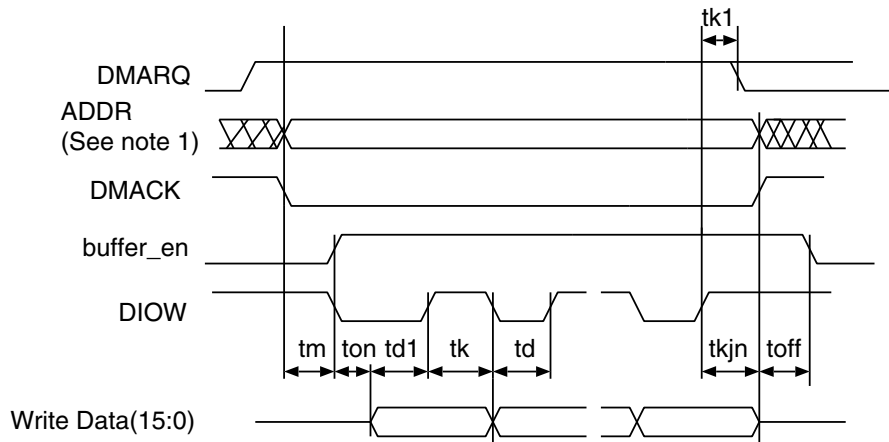


Figure 14. MDMA Write Mode Timing

To meet timing requirements, a number of timing parameters must be controlled. See [Table 38](#) for details on timing parameters for MDMA read and write modes.

**Table 38. Timing Parameters for MDMA Read and Write Modes**

ATA Parameter	MDMA Read <sup>1</sup> and Write <sup>2</sup> Timing Parameters	Relation	Adjustable Parameter(s)
tm, ti	tm	$tm(\text{min.}) = ti(\text{min.}) = \text{time\_m} \times T - (\text{tskew1} + \text{tskew2} + \text{tskew5})$	time_m
td	td, td1	$td1(\text{min.}) = td(\text{min.}) = \text{time\_d} \times T - (\text{tskew1} + \text{tskew2} + \text{tskew6})$	time_d
tk	tk	$tk(\text{min.}) = \text{time\_k} \times T - (\text{tskew1} + \text{tskew2} + \text{tskew6})$	time_k
t0	—	$t0(\text{min.}) = (\text{time\_d} + \text{time\_k}) \times T$	time_d, time_k
tg(read)	tgr	$tgr(\text{min.}-\text{read}) = tco + tsu + tbuf + tbuf + tcable1 + tcable2$ $tgr(\text{min.}-\text{drive}) = td - te(\text{drive})$	time_d
tf(read)	tfr	$tfr(\text{min.}-\text{drive}) = 0$	—
tg(write)	—	$tg(\text{min.}-\text{write}) = \text{time\_d} \times T - (\text{tskew1} + \text{tskew2} + \text{tskew5})$	time_d
tf(write)	—	$tf(\text{min.}-\text{write}) = \text{time\_k} \times T - (\text{tskew1} + \text{tskew2} + \text{tskew6})$	time_k
tL	—	$tL(\text{max.}) = (\text{time\_d} + \text{time\_k} - 2) \times T - (tsu + tco + 2 \times tbuf + 2 \times tcable2)$	time_d, time_k <sup>3</sup>
tn, tj	tkjn	$tn = tj = tkjn = (\text{max.}(\text{time\_k}, \text{time\_jn}) \times T - (\text{tskew1} + \text{tskew2} + \text{tskew6}))$	time_jn
—	ton toff	$ton = \text{time\_on} \times T - \text{tskew1}$ $toff = \text{time\_off} \times T - \text{tskew1}$	—

<sup>1</sup> See [Figure 13](#).

<sup>2</sup> See [Figure 14](#).

<sup>3</sup> tk1 in the UDMA figures equals  $(tk - 2 \times T)$ .

### 3.7.2.3 Ultra DMA (UDMA) Mode Timing

UDMA mode timing is more complicated than PIO mode or MDMA mode. In this section, timing diagrams for UDMA in- and out-transfers are provided.

### 3.7.2.3.1 UDMA In-Transfer Timing

Figure 15 shows the timing for UDMA in-transfer start.

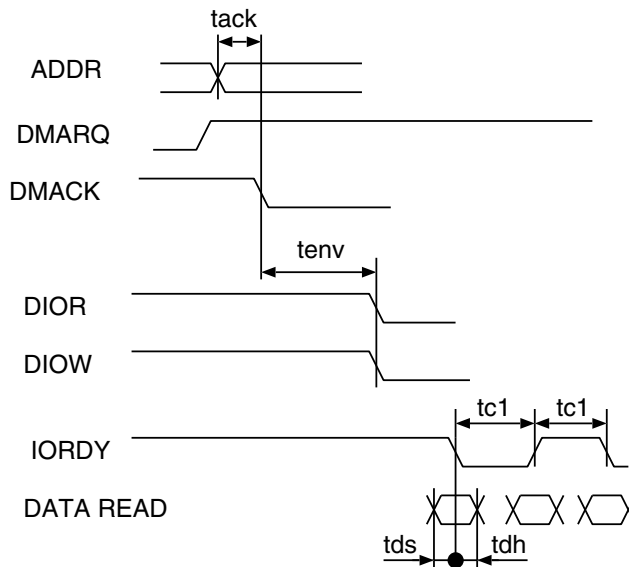


Figure 15. Timing for UDMA In-Transfer Start

Figure 16 shows the timing for host-terminated UDMA in-transfer.

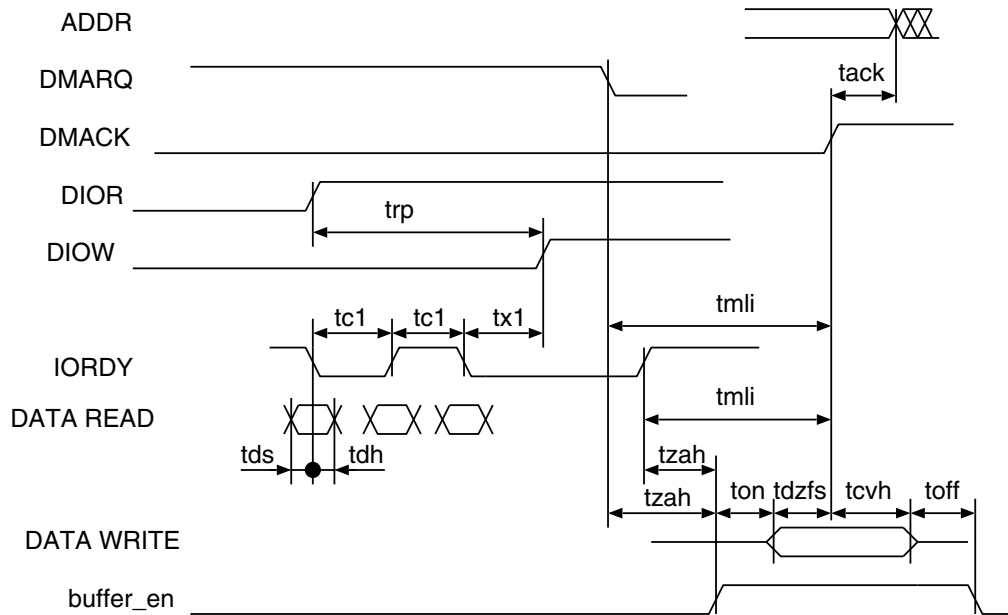


Figure 16. Timing for Host-Terminated UDMA In-Transfer

Figure 17 shows timing for device-terminated UDMA in-transfer.

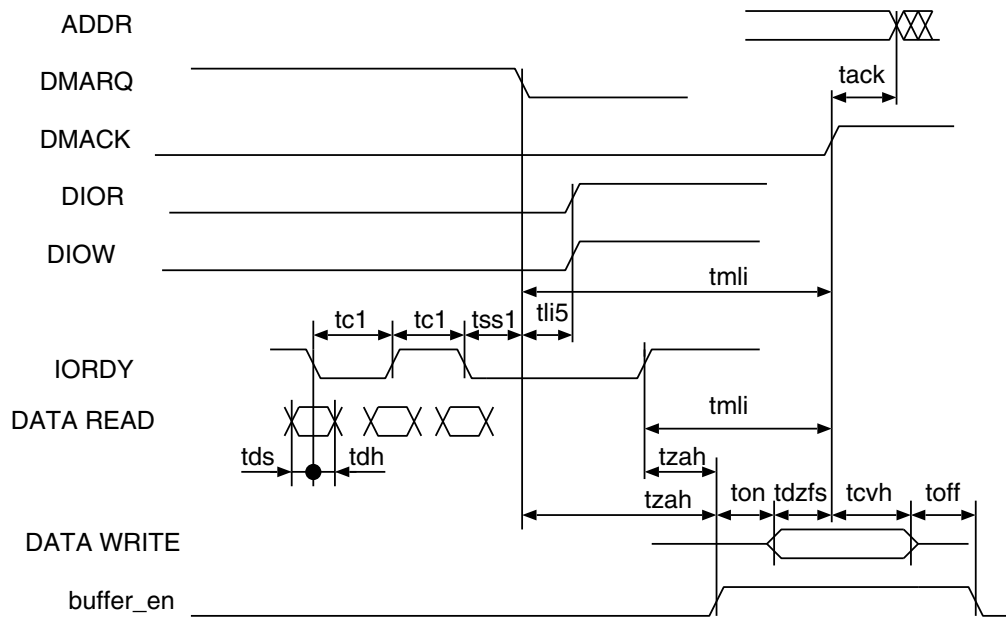


Figure 17. Timing for Device-Terminated UDMA Transfer

Timing parameters for UDMA in-burst are listed in Table 39.

Table 39. Timing Parameters for UDMA In-Burst

ATA Parameter	Spec. Parameter	Value	Required Conditions
tack	tack	$tack(min.) = (time\_ack \times T) - (tskew1 + tskew2)$	time_ack
tenv	tenv	$tenv(min.) = (time\_env \times T) - (tskew1 + tskew2)$ $tenv(max.) = (time\_env \times T) + (tskew1 + tskew2)$	time_env
tds	tds1	$tds - (tskew3) - ti\_ds > 0$	tskew3, ti_ds, ti_dh should be low enough
tdh	tdh1	$tdh - (tskew3) - ti\_dh > 0$	
tcyc	tc1	$(tcyc - tskew) > T$	T big enough
trp	trp	$trp(min.) = time\_rp \times T - (tskew1 + tskew2 + tskew6)$	time_rp
—	tx1 <sup>1</sup>	$(time\_rp \times T) - (tco + tsu + 3T + 2 \times tbuf + 2 \times tcable2) > trfs (drive)$	time_rp
tmi	tmi1	$tmi1(min.) = (time\_mlix + 0.4) \times T$	time_mlix
tzah	tzah	$tzah(min.) = (time\_zah + 0.4) \times T$	time_zah
tdzfs	tdzfs	$tdzfs = (time\_dzfs \times T) - (tskew1 + tskew2)$	time_dzfs
tcvh	tcvh	$tcvh = (time\_cvh \times T) - (tskew1 + tskew2)$	time_cvh
—	ton toff	$ton = time\_on \times T - tskew1$ $toff = time\_off \times T - tskew1$	—

<sup>1</sup> There is a special timing requirement in the ATA host that requires the internal DIOW to go only high three clocks after the last active edge on the DSTROBE signal. The equation given on this line tries to capture this constraint.

Make  $t_{on}$  and  $t_{off}$  big enough to avoid bus contention.

### 3.7.2.4 UDMA Out-Transfer Timing

Figure 18 shows the timing for start of UDMA out-transfer.

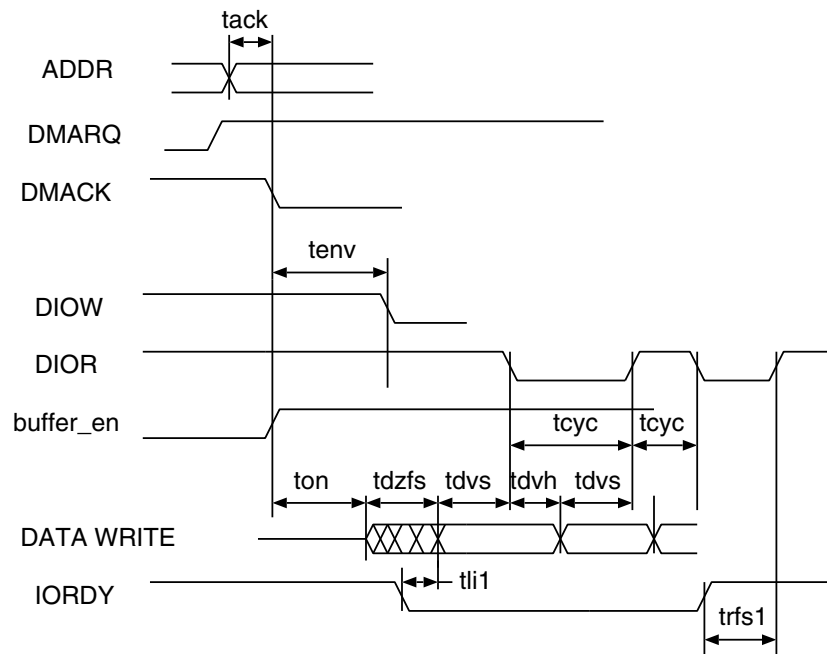


Figure 18. Timing for UDMA Out-Transfer Start

Figure 19 shows timing for host-terminated UDMA out-transfer.

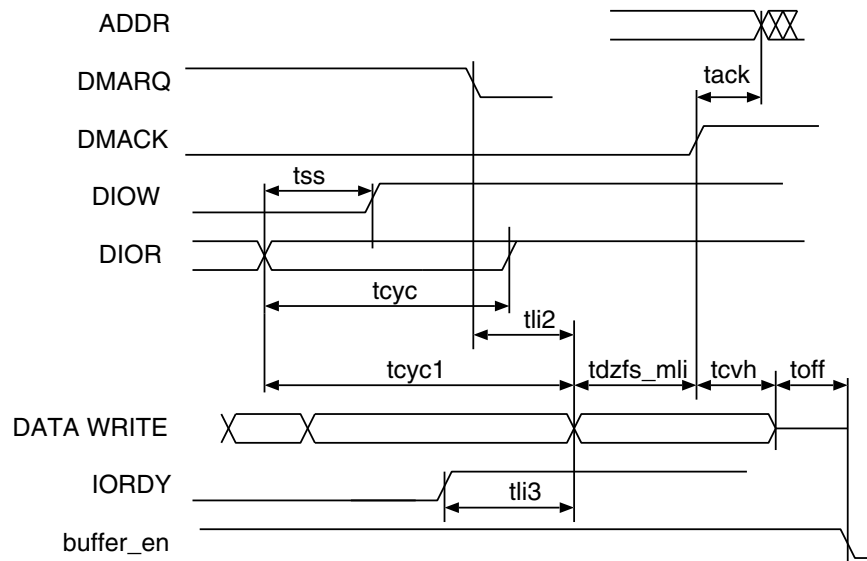


Figure 19. Timing for Host-Terminated UDMA Out-Transfer

Timing parameters for UDMA out-bursts are listed in [Table 40](#).

**Table 40. Timing Parameters UDMA Out-Bursts**

ATA Parameter	Spec Parameter	Value	How to Meet?
tack	tack	$tack(\text{min.}) = (\text{time\_ack} \times T) - (\text{tskew1} + \text{tskew2})$	time_ack
tenv	tenv	$tenv(\text{min.}) = (\text{time\_env} \times T) - (\text{tskew1} + \text{tskew2})$ $tenv(\text{max.}) = (\text{time\_env} \times T) + (\text{tskew1} + \text{tskew2})$	time_env
tdvs	tdvs	$tdvs = (\text{time\_dvs} \times T) - (\text{tskew1} + \text{tskew2})$	time_dvs
tdvh	tdvh	$tdvs = (\text{time\_dvh} \times T) - (\text{tskew1} + \text{tskew2})$	time_dvh
tcyc	tcyc	$tcyc = \text{time\_cyc} \times T - (\text{tskew1} + \text{tskew2})$	time_cyc
t2cyc	—	$t2cyc = \text{time\_cyc} \times 2 \times T$	time_cyc
trfs1	trfs	$trfs = 1.6 \times T + \text{tsui} + \text{tco} + \text{tbuf} + \text{tbuf}$	—
—	tdzfs	$tdzfs = \text{time\_dzfs} \times T - (\text{tskew1})$	time_dzfs
tss	tss	$tss = \text{time\_ss} \times T - (\text{tskew1} + \text{tskew2})$	time_ss
tmli	tdzfs_mli	$tdzfs\_mli = \max(\text{time\_dzfs}, \text{time\_mli}) \times T - (\text{tskew1} + \text{tskew2})$	—
tli	tli1	$tli1 > 0$	—
tli	tli2	$tli2 > 0$	—
tli	tli3	$tli3 > 0$	—
tcvh	tcvh	$tcvh = (\text{time\_cvh} \times T) - (\text{tskew1} + \text{tskew2})$	time_cvh
—	ton toff	$ton = \text{time\_on} \times T - \text{tskew1}$ $toff = \text{time\_off} \times T - \text{tskew1}$	—

### 3.7.3 Digital Audio Mux (AUDMUX) Timing

The AUDMUX provides a programmable interconnect logic for voice, audio, and data routing between internal serial interfaces (SSI and SAP) and external serial interfaces (audio and voice codecs). The AC timing of AUDMUX external pins is governed by the SSI modules. For more information, see [Section 3.7.17, “Synchronous Serial Interface \(SSI\) Timing.”](#)

### 3.7.4 CMOS Sensor Interface (CSI) Timing

The CSI enables the chip to connect directly to external CMOS image sensors, which are classified as dumb or smart as follows:

- Dumb sensors only support traditional sensor timing (vertical sync (VSYNC) and horizontal sync (HSYNC)) and output-only Bayer and statistics data.
- Smart sensors support CCIR656 video decoder formats and perform additional processing of the image (for example, image compression, image pre-filtering, and various data output formats).

The following subsections describe the CSI timing in gated and ungated clock modes.

### 3.7.4.1 Gated Clock Mode Timing

Figure 20 and Figure 21 shows the gated clock mode timings for CSI, and Table 41 describes the timing parameters (P1–P7) shown in the figures. A frame starts with a rising/falling edge on VSYNC, then HSYNC is asserted and holds for the entire line. The pixel clock is valid as long as HSYNC is asserted.

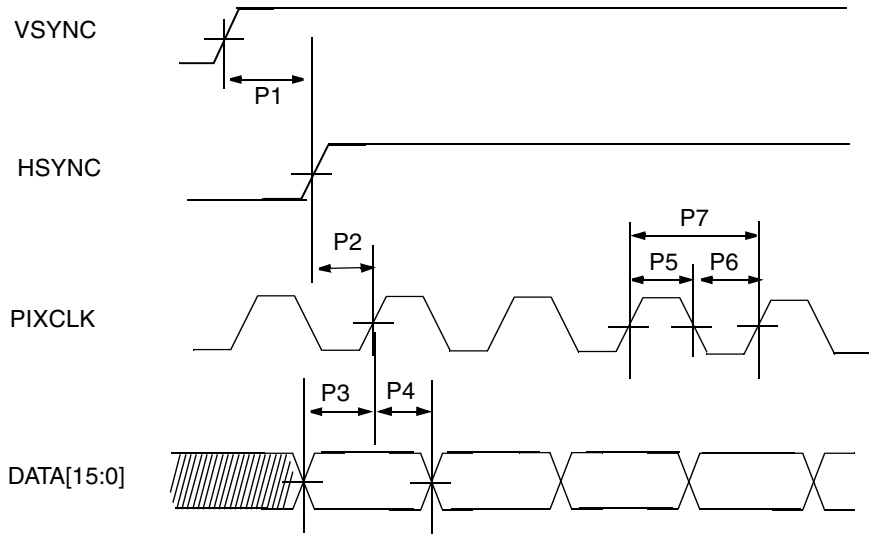


Figure 20. CSI Gated Clock Mode—Sensor Data at Falling Edge, Latch Data at Rising Edge

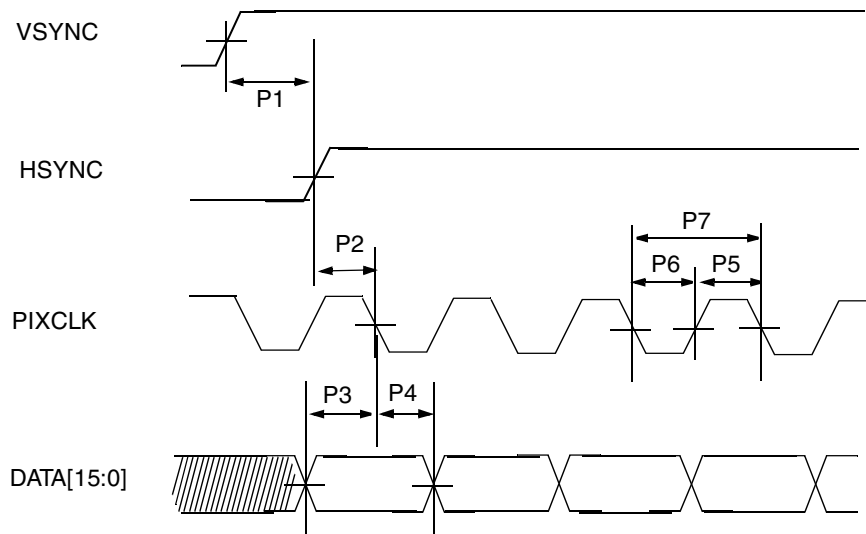


Figure 21. CSI Gated Clock Mode—Sensor Data at Rising Edge, Latch Data at Falling Edge

表 30. DDR2 pbijtov18\_33\_ddr\_clk I/O 的交流参数 (续)

参数	标志	负载条件	最小上升/衰减	类型。	最大。上升/衰	单位
输出垫传播延迟 <sup>1</sup> , 40%-60%的输入信号和输出信号的交叉	Tpo	25 pF 50 pF	1.47/1.38 1.75/1.67	2.13/2.00 2.54/2.40	3.072/2.87 3.65/3.45	Ns
输出能够输出有效延迟, 50%-50% <sup>1</sup>	Tpv	25 pF 50 pF	1.32/1.28 1.66/1.65	2.11/2.00 2.61/2.50	3.31/3.12 4.06/3.81	Ns
输出能够输出有效延迟, 40%-60% <sup>1</sup>	Tpv	25 pF 50 pF	1.40/1.37 1.67/1.66	2.16/2.06 2.56/2.45	3.30/3.13 3.89/3.67	Ns
输出垫片率 <sup>2</sup>	Tps	25 pF 50 pF	0.86/0.98 0.46/0.54	1.35/1.5 0.72/0.81	2.15/2.19 1.12/1.16	V/ns
输出垫 dl/dt <sup>3</sup>	Tdit	25 pF 50 pF	72 77	172 183	400 422	mA/ns
输入板过渡时间 <sup>4</sup>	Trfi	1.0 pF	0.07/0.08	0.10/0.12	0.17/0.20	Ns
输入垫传播延迟, 50%-50% <sup>4</sup>	Tpi	1.0 pF	0.89/0.87	1.41/1.37	2.16/2.07	Ns
输入垫传播延迟, 40%-60% <sup>4</sup>	Tpi	1.0 pF	1.71/1.69	2.22/2.18	2.98/2.88	Ns

<sup>1</sup> Tpr、tpo、tpi 和 tpv 的最大条件: wcs 模型, 1.1 V, I/O 1.0 V, 105°C。Tpr、tpo 和 tpv 的最低条件: bcs 模型, 1.3 V, I/O 1.9 V 和 -40°C。从核心的输入过渡时间为 1 ns (20%-80%)。

<sup>2</sup> Tps 的最低条件: wcs 模型, 1.1 V, I/O 1.7 V 和 105°C。tps 在 VIL 到 VIH 之间测量上升边缘, VIH 到 VIL 之间测量下降边缘。

<sup>3</sup> Tdit 的最大条件: bcs 型号, 1.3 V, I/O 1.9 V, 和 -40°C。

<sup>4</sup> Tpi 和 trfi 的最大条件: wcs 模型, 1.1 V, I/O 1.7 V 和 105°C。Tpi 和 trfi 的最低条件: bcs 模型, 1.3 V, I/O 1.9 V 和 -40°C。垫的输入转换时间为 5 ns (20%-80%)。

表 31 显示 DDR2 I/O 的交流要求。

表 31. DDR2 I/O 的交流要求

参数 <sup>1</sup>	标志	分钟。	最大。	单位
交流输入逻辑高	VIH (ac)	OVDD/2 + 0.25	OVDD + 0.3	V

<sup>1</sup> The Jedec SSTL\_18 specification (JESD8-15a) for an SSTL interface for class II operation supersedes any specification in this document.

<sup>2</sup> Vid(ac) specifies the input differential voltage |Vtr-Vcp| required for switching, where Vtr is the “true” input signal and Vcp is the “complementary” input signal. The minimum value is equal to Vih(ac)-Vil(ac)

<sup>3</sup> The typical value of Vix(ac) is expected to be about 0.5 × OVDD. and Vix(ac) is expected to track variation of OVDD. Vix(ac) indicates the voltage at which differential input signal must cross.

<sup>4</sup> The typical value of Vox(ac) is expected to be about 0.5 × OVDD and Vox(ac) is expected to track variation in OVDD. Vox(ac) indicates the voltage at which differential output signal must cross. Cload = 25 pF.

交流输入逻辑低	V <sub>IL</sub> (ac)	-0.3	OVDD/2 - 0.25	V
交流差分输入电压 <sup>2</sup>	视频 (ac)	0.5	OVDD + 0.6	V
用于输入的交流差分交叉点电压 <sup>3</sup>	V <sub>ix</sub> (ac)	OVDD/2-0.175	OVDD/2 + 0.175	V
用于输出的交流差分交叉点电压 <sup>4</sup>	V <sub>ox</sub> (ac)	OVDD/2-0.125	OVDD/2 + 0.125	V

### 3.7 模块定时和电气参数

本节包含 i.MX25 模块的定时和电气参数。

#### 3.7.1 1 线定时参数

图 7 显示 1 线的复位和存在脉冲（RPP）定时。

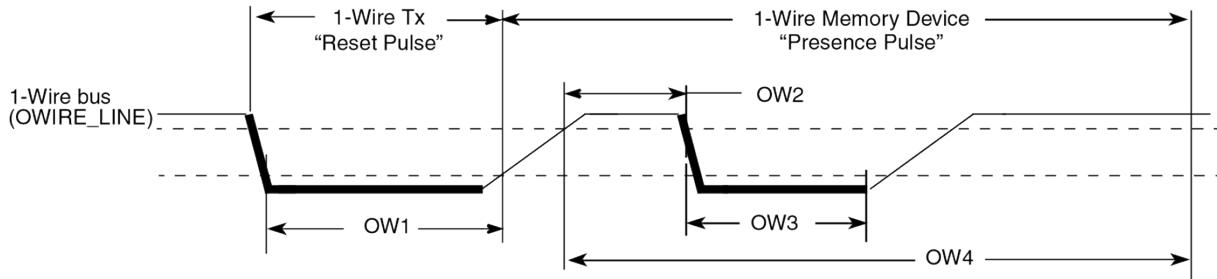


图 7. 1 线 RPP 定时图

表 32 列出 RPP 定时参数。

表 32. RPP 序列延迟比较定时参数

身份证	参数	标志	分钟。	类型。	最大。	单位
OW1	重置时间低	字母 T <sub>RSTL</sub>	480	511	—	M 罗马字母的第十九个
OW2	存在检测高	字母 T <sub>PDH</sub>	15	—	60	M 罗马字母的第十九个
OW3	存在检测低	字母 T <sub>PDL</sub>	60	—	240	M 罗马字母的第十九个
OW4	重置时间高	字母 T <sub>RSTH</sub>	480	512	—	M 罗马字母的第十九个

图 8 显示写入 0 序列时序，以及表 33 描述图中显示的定时参数（OW5-OW6）。

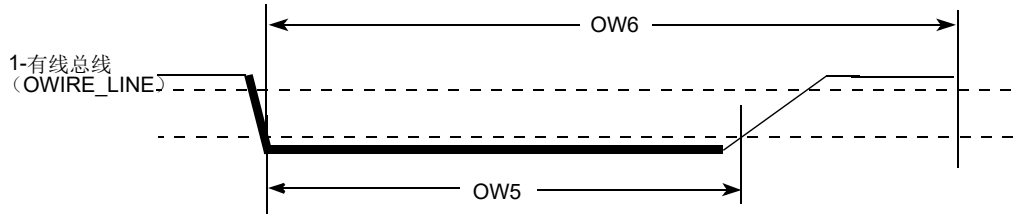


图 8。写 0 个序列计时图

表 33。WR0 序列定时参数

身份证	参数	标志	分钟。	类型。	最大。	单位
OW5	写 0 低时间	字母 TWR0_低	60	100	120	M 罗马字母的第十九个
OW6	传输时间段	字母 T 老虎机	OW5	117	120	M 罗马字母的第十九个

图 9 和图 10 分别显示写入 1 和读取序列时序。表 34 描述图中所示的时序参数 (OW7-OW8)。

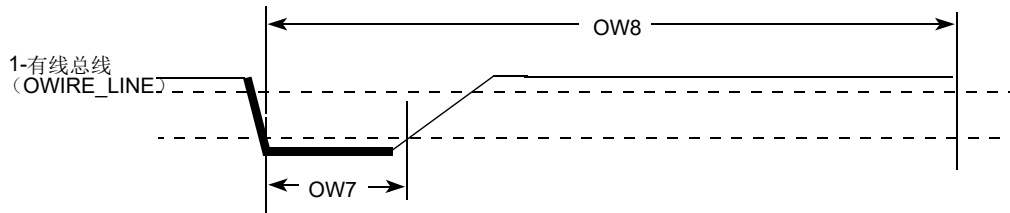


图 9。写 1 个序列定时图

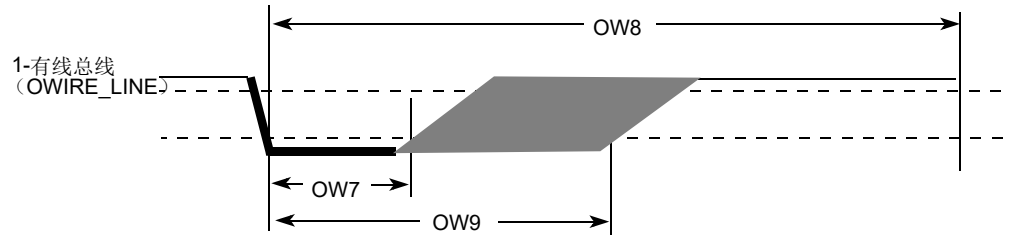


图 10。阅读序列定时图

表 34。WR1/RD 计时参数

身份证	参数	标志	分钟。	类型。	最大。	单位
OW7	写 1/读低时间	字母 T 低 1	1	5	15	M 罗马字母的第十九个
OW8	传输时间段	字母 T 老虎机	60	117	120	M 罗马字母的第十九个

OW9	发布时间	字母 T 释放	15	—	45	M 罗马字母的第十九个
-----	------	---------	----	---	----	-------------

### 3.7.2 ATA 定时参数

表 35 显示用于指定 ATA 定时的参数。这些参数取决于硅上 ATA 接口的实现、使用的总线缓冲区、电缆延迟和电缆倾斜。

表 35. 计时参数

名字	描述	价值/贡献因素
字母 T	公交车时钟周期	外围时钟频率
Ti_ds	设置时间 <b>Ata_数据</b> 去 <b>Ata_iordy</b> 边缘 (仅限 UDMA-in) UDMA0 UDMA1 UDMA2, UDMA3 UDMA4 UDMA5	15 ns 10 ns 7 ns 5 ns 4 ns
Ti_dh	保持时间 <b>ata_iordy</b> 边缘到 <b>ata_data</b> (仅限 UDMA-in) UDMA0, UDMA1, UDMA2, UDMA3, UDMA4 UDMA5	5.0 ns 4.6 ns
Tco	传播延迟总线时钟 L-to-H 到 <b>Ata_cs0, ata_cs1, ata_da2, ata_da1, ata_da0, ata_dior, ata_diow, ata_dmack, ata_data, ata_buffer_en</b>	12.0 ns
Tsu	设置时间 <b>Ata_数据</b> 公交车时钟 L-to-H	8.5 ns
Tsui	设置时间 <b>Ata_iordy</b> 公交车时钟 H-to-L	8.5 ns
Thi	等待时间 <b>Ata_iordy</b> 公交车时钟 H-to-L	2.5 ns
Tskew1	传播延迟总线时钟 L-to-H 与以下任何信号的最大差异 <b>Ata_cs0, ata_cs1, ata_da2, ata_da1, ata_da0, ata_dior, ata_diow, ata_dmack, ata_data</b> (写), <b>Ata_buffer_en</b>	7 ns
Tskew2	以下任何信号的缓冲区传播延迟的最大差异 <b>Ata_cs0, ata_cs1, ata_da2, ata_da1, ata_da0, ata_dior, ata_diow, ata_dmack, ata_data</b> (写), <b>Ata_buffer_en</b>	无线电收发机
Tskew3	以下任何信号的缓冲区传播延迟的最大差异 <b>Ata_iordy, ata_data</b> (阅读)	无线电收发机
Tbuf	最大缓冲区传播延迟	无线电收发机

Tcable1	电缆传播延迟 <b>Ata_数据</b>	电缆
Tcable2	控制信号的电缆传播延迟 <b>Ata_dior, Ata_diow, Ata_iordy, Ata_dmack</b>	电缆
Tskew4	电缆传播延迟的最大差异 <b>Ata_iordy</b> 和 <b>Ata_数据</b> (阅读)	电缆
Tskew5	电缆传播延迟的最大差异 ( <b>Ata_dior, Ata_diow, Ata_dmack</b> ) 和 <b>Ata_cs0, Ata_cs1, Ata_da2, Ata_da1, Ata_da0, Ata_数据</b> (写)	电缆
Tskew6	电缆传播延迟的最大差异, 不考虑地面反弹	电缆

### 3.7.2.1 PIO 模式计时参数

图 11 显示 PIO 读取模式的时序图。

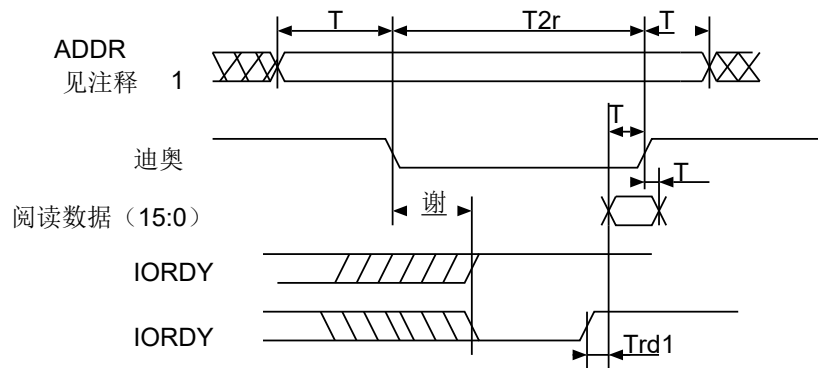


图 11. PIO 读取模式计时

为了满足 PIO 读取模式定时要求, 必须控制一些定时参数。表 36 显示时序参数及其决定关系, 并指示可以调整以满足所需条件的参数。

表 36. PIO 读取模式的定时参数

ATA 参数	PIO 阅读模式计时参数 <sup>1</sup>	关系	可调参数
T1	T1	$T1 \text{ (分钟)} = \text{时间}_1 \times T - (\text{tskew1} + \text{tskew2} + \text{tskew5})$	时间_1
T2	T2r	$T2 \text{ (分钟)} = \text{时间}_{2r} \times T - (\text{tskew1} + \text{tskew2} + \text{tskew5})$	时间_2r
T9	T9	$T9 \text{ (分钟)} = \text{时间}_9 \times T - (\text{tskew1} + \text{tskew2} + \text{tskew6})$	时间_9

<sup>1</sup> See Figure 11.

T5	T5	$T5(\text{min.}) = t_{co} + t_{su} + t_{buf} + t_{buf} + t_{cable1} + t_{cable2}$	如果没有满足, 请增加时间_2
T6	T6	0	—
谢谢	谢谢	$tA(\text{分钟}) = (1.5 + \text{time\_ax}) \times T - (t_{co} + t_{sui} + t_{cable2} + t_{cable2} + 2 \times T_{buf})$	时间_ax
Trd	Trd1	$\text{Trd1}(\text{最大值}) = (-\text{trd}) + (t_{skew3} + t_{skew4})$ $\text{Trd1}(\text{分钟}) = (\text{time\_pio\_rdx} - 0.5) \times T - (t_{su} + t_{hi})$ $(\text{time\_pio\_rdx} - 0.5) \times T > t_{su} + t_{hi} + t_{skew3} + t_{skew4}$	时间_pio_rdx
T0	—	$T0(\text{min.}) = (\text{time\_1} + \text{time\_2} + \text{time\_9}) \times \text{字母 T}$	Time_1, time_2r, time_9

图 12 为 PIO 写入模式提供时序波形。

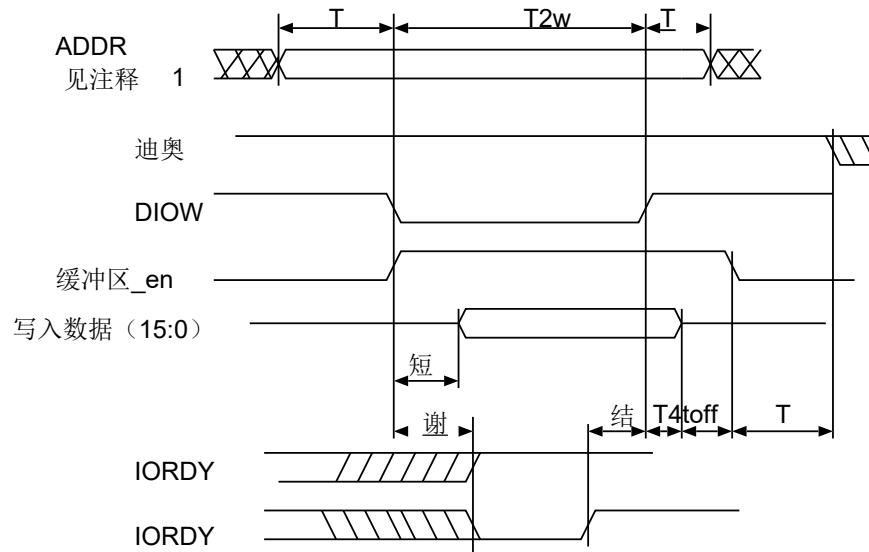


图 12. PIO 写入模式计时

为了满足 PIO 写入模式定时要求, 必须控制一些定时参数。表 37 显示时序参数及其决定关系, 并指示可以调整以满足所需条件的参数。

表 37. PIO 写入模式的定时参数

ATA 参数	PIO 写作模式计时参数 <sup>1</sup>	关系	可调参数
T1	T1	$T1(\text{分钟}) = \text{时间\_1} \times T - (t_{skew1} + t_{skew2} + t_{skew5})$	时间_1
T2	T2w	$T2(\text{分钟}) = \text{时间\_2w} \times T - (t_{skew1} + t_{skew2} + t_{skew5})$	时间_2w
T9	T9	$T9(\text{分钟}) = \text{时间\_9} \times T - (t_{skew1} + t_{skew2} + t_{skew6})$	时间_9

<sup>1</sup> See Figure 12.

T3	—	$T3(\text{min.}) = (\text{time\_2w} - \text{time\_on}) \times T - (\text{tskew1} + \text{tskew2} + \text{tskew5})$	如果不满足，增加时间_2w
T4	T4	$T4(\text{分钟}) = \text{时间\_4} \times T - \text{tskew1}$	时间_4
谢谢	谢谢	$tA = (1.5 + \text{time\_ax}) \times T - (\text{tco} + \text{tsui} + \text{tcable2} + \text{tcable2} + 2 \times T_{\text{buf}})$	时间_ax
T0	—	$T0(\text{min.}) = (\text{time\_1} + \text{time\_2} + \text{time\_9}) \times \text{字母 T}$	Time_1, time_2r, time_9
—	—	通过使吨足够长，在打开缓冲区时避免总线争用	—
—	—	通过使关闭足够长的时间来关闭缓冲区，避免总线争用	—

### 3.7.2.2 多字 DMA (MDMA) 模式计时

图 13 和图 14 分别显示 MDMA 读写模式的时间。

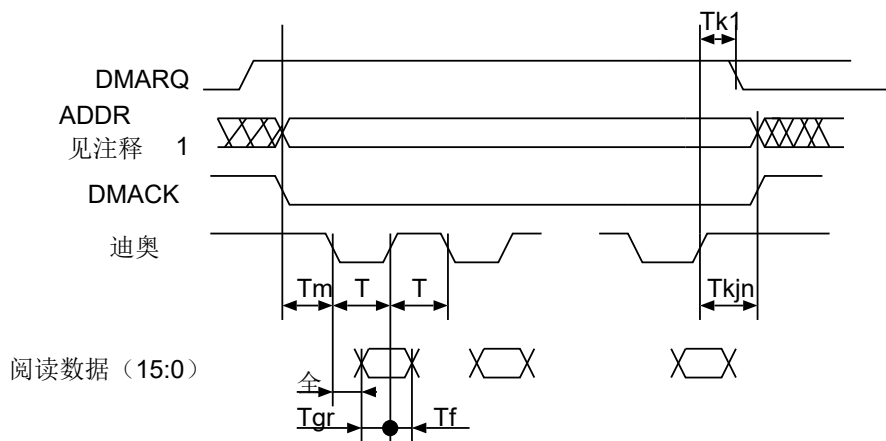


图 13. MDMA 读取模式计时

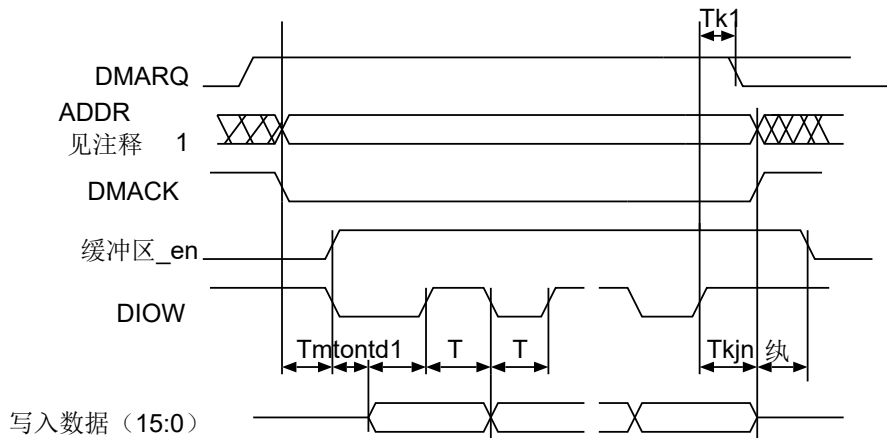


图 14. MDMA 写入模式计时

为了满足定时要求，必须控制一些定时参数。看见表 38 有关 MDMA 读写模式的时序参数的详细信息。

表 38。MDMA 读写模式的时序参数

ATA 参数	MDMA 阅读 <sup>1</sup> 和写 <sup>2</sup> 时间参数	关系	可调参数
Tm, ti	Tm	$Tm(\text{min.}) = ti(\text{min.}) = \text{time\_m} \times T - (\text{tskew1} + \text{tskew2} + \text{tskew5})$	时间_m
Td	Td, td1	$Td1(\text{min.}) = td(\text{min.}) = \text{time\_d} \times T - (\text{tskew1} + \text{tskew2} + \text{tskew6})$	时间_d
Tk	Tk	$Tk(\text{分钟}) = \text{time\_k} \times T - (\text{tskew1} + \text{tskew2} + \text{tskew6})$	时间_k
T0	—	$T0(\text{min.}) = (\text{time\_d} + \text{time\_k}) \times \text{字母 T}$	Time_d, time_k
Tg (阅读)	Tgr	$Tgr(\text{min.}-\text{read}) = \text{tco} + \text{tsu} + \text{tbuf} + \text{tbuf} + \text{tcable1} + \text{tcable2}$ $tgr(\text{min.}-\text{drive}) = \text{td} - \text{te}(\text{drive})$	时间_d
Tf (阅读)	Tfr	$Tfr(\text{min.}-\text{drive}) = 0 \text{ k}$	—
Tg (写)	—	$Tg(\text{min.}-\text{write}) = \text{time\_d} \times T - (\text{tskew1} + \text{tskew2} + \text{tskew5})$	时间_d
Tf (写)	—	$Tf(\text{min.}-\text{write}) = \text{time\_k} \times T - (\text{tskew1} + \text{tskew2} + \text{tskew6})$	时间_k
tL	—	$tL(\text{最大值}) = (\text{time\_d} + \text{time\_k} - 2) \times T - (\text{tsu} + \text{tco} + 2 \times \text{Tbuf} + 2 \times \text{Tcable2})$	Time_d, time_k <sup>3</sup>
Tn, tj	Tkjn	$Tn = tj = tkjn = (\max(\text{time\_k}, \text{time\_jn}) \times T - (\text{tskew1} + \text{tskew2} + \text{tskew6}))$	时间_jn
—	吨托夫	$\text{吨} = \text{时间\_上} \times T - \text{tskew1}$ $\text{托} = \text{time\_off} \times T - \text{tskew1}$	—

<sup>1</sup> See Figure 13.

<sup>2</sup> See Figure 14.

<sup>3</sup> tk1 in the UDMA figures equals  $(tk - 2 \times T)$ .

### 3.7.2.3 Ultra DMA (UDMA) Mode Timing

UDMA mode timing is more complicated than PIO mode or MDMA mode. In this section, timing diagrams for UDMA in- and out-transfers are provided.

### 3.7.2.3.1 UDMA 转会时间

图 15 显示 UDMA 转移开始的时间。

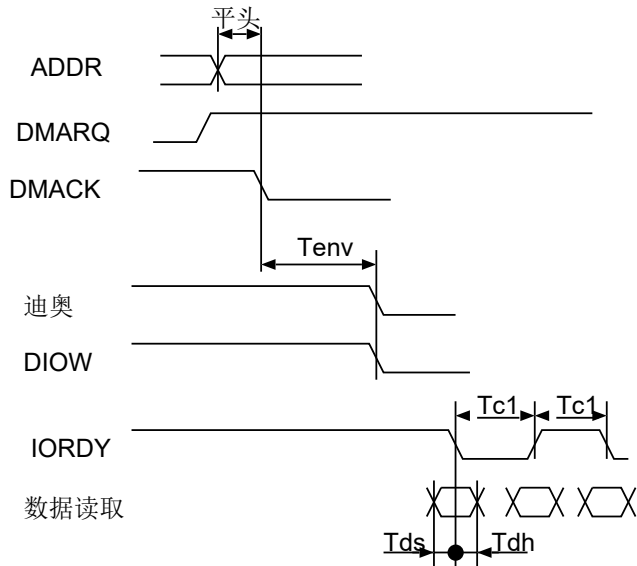


图 15. UDMA 转会开始的时间安排

图 16 显示主机终止的 UDMA 传输的时间。

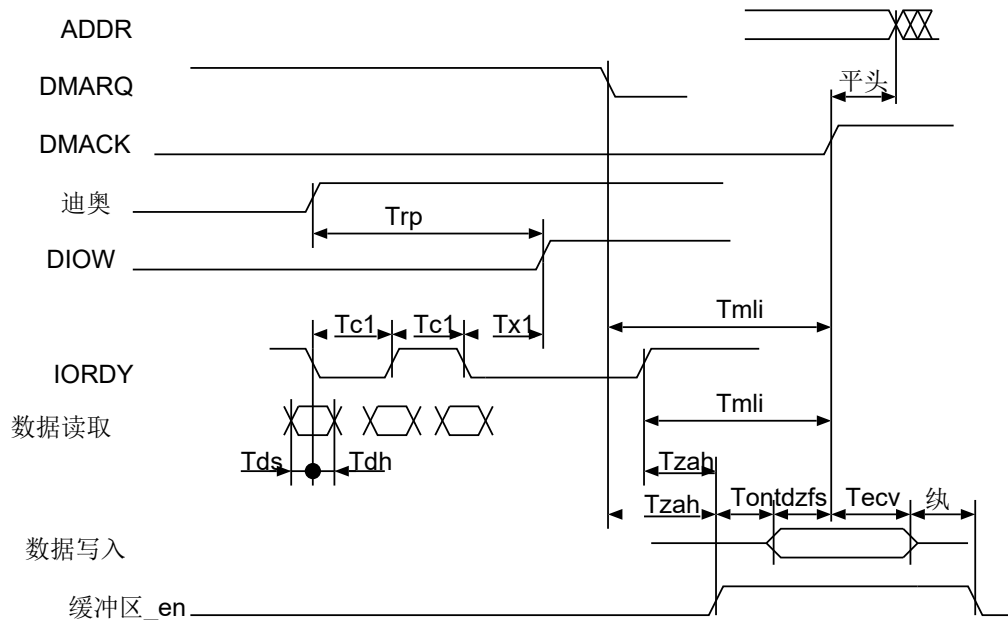


图 16. 主机终止的 UDMA 在传输时间

图 17 显示设备终止的 UDMA 在传输中的时间。

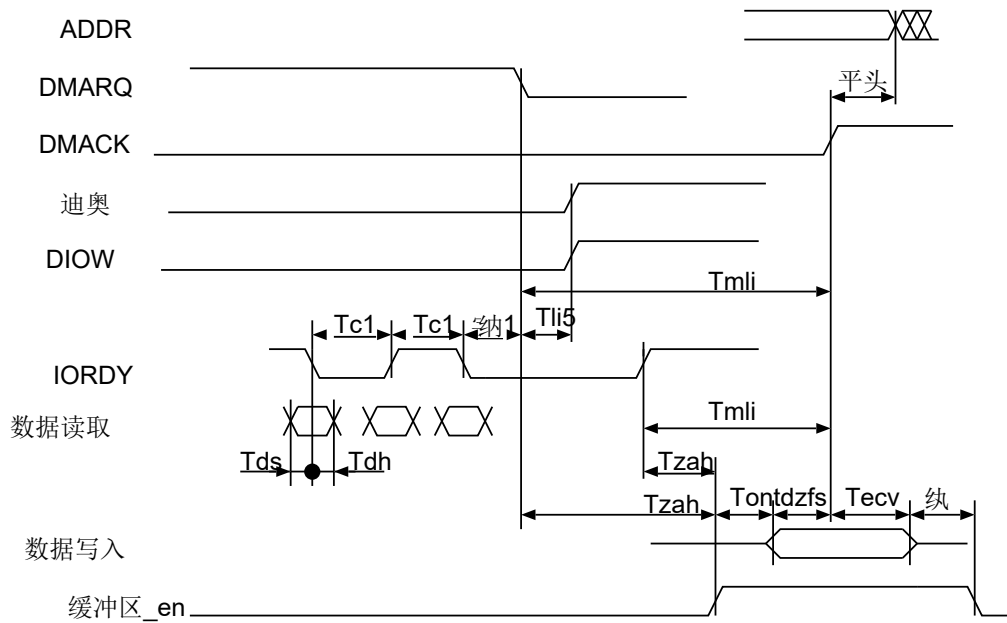


图 17。设备终止 UDMA 传输的时间

UDMA 爆发的计时参数列于表 39。

表 39。UDMA In-Burst 的定时参数

ATA 参数	规格。参数	价值	所需条件
平头钉	平头钉	$Tack(min.) = (time\_ack \times T) - (tskew1 + tskew2)$	时间_ack
Tenv	Tenv	$Tenv(min.) = (time\_env \times T) - (tskew1 + tskew2)$ $tenv(max.) = (time\_env \times T) + (tskew1 + tskew2)$	时间_env
Tds	Tds1	$Tds - (tskew3) - ti\_ds > 0$	Tskew3, ti_ds, ti_dh 应该足够低
Tdh	Tdh1	$Tdh - (tskew3) - ti\_dh > 0$	
Tcyc	Tc1	$(Tcyc - tskew) > T$	T 足够大
Trp	Trp	$Trp (min.) = time\_rp \times T - (tskew1 + tskew2 + tskew6)$	时间_rp
—	$Tx1^1$	$(时间\_rp \times T) - (tco + tsu + 3T + 2 \times Tbuf + 2 \times Tcable2) > trfs$ (驱动器)	时间_rp
Tmli	Tmli1	$Tmli1 (分钟) = (time\_mlix + 0.4) \times 字母 T$	时间_mlix
Tzah	Tzah	$Tzah (分钟) = (time\_zah + 0.4) \times 字母 T$	时间_zah

<sup>1</sup> There is a special timing requirement in the ATA host that requires the internal DIOW to go only high three clocks after the last active edge on the DSTROBE signal. The equation given on this line tries to capture this constraint.

Make  $t_{on}$  and  $t_{off}$  big enough to avoid bus contention.

Tdzfs	Tdzfs	$Tdzfs = (time\_dzfs \times T) - (tskew1 + tskew2)$	Time_dzfs
Tecvh	Tecvh	$Tcvh = (time\_cvh \times T) - (tskew1 + tskew2)$	时间_cvh
—	吨托夫	吨=时间_上×T - tskew1 toff = time_off×T - tskew1	—

### 3.7.2.4 UDMA 外转时机

图 18 显示 UDMA 向外转移的开始时间。

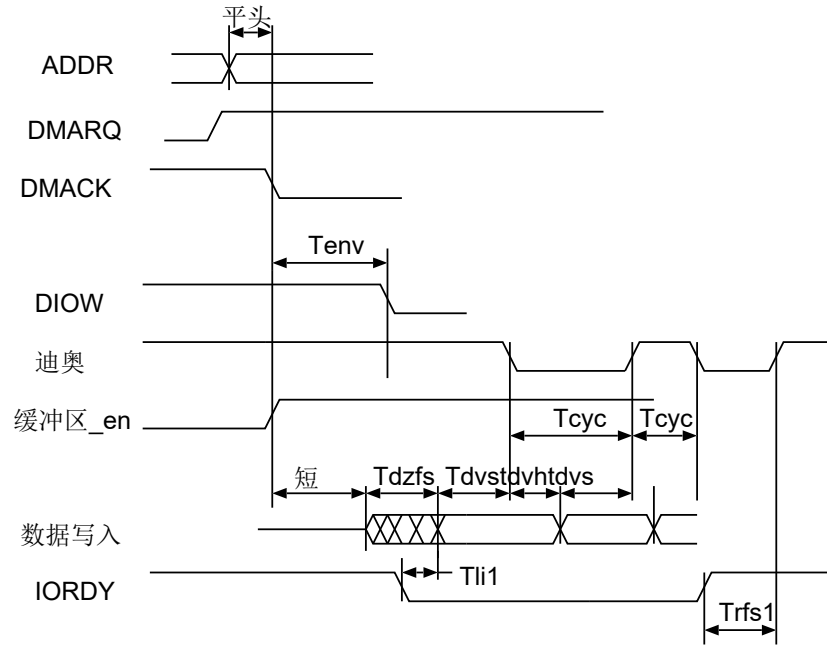


图 18。UDMA 外转移开始的时间

图 19 显示主机终止的 UDMA 向外转移的时间。

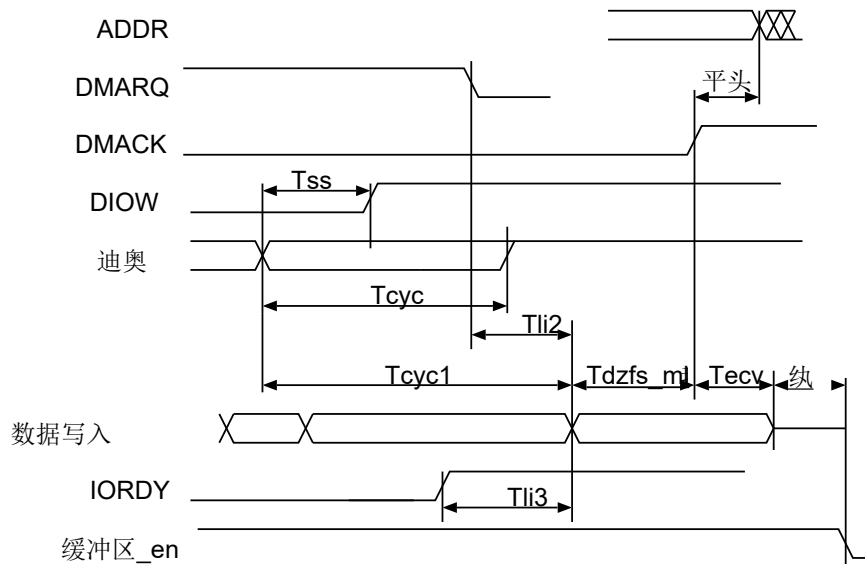


图 19. 主机终止的 UDMA 向外传输的时间

UDMA 爆发的计时参数列于表 40。

表 40. 时序参数 UDMA 出爆

ATA 参数	规格参数	价值	如何见面?
平头钉	平头钉	$Tack(min.) = (time\_ack \times T) - (tskew1 + tskew2)$	时间_ack
Tenv	Tenv	$Tenv(min.) = (time\_env \times T) - (tskew1 + tskew2)$ $tenv(max.) = (time\_env \times T) + (tskew1 + tskew2)$	时间_env
Tdvs	Tdvs	$Tdvs = (time\_dvs \times T) - (tskew1 + tskew2)$	时间_dvs
Tdvh	Tdvh	$Tdvs = (time\_dvh \times T) - (tskew1 + tskew2)$	时间_dvh
Tcyc	Tcyc	$Tcyc = time\_cyc \times T - (tskew1 + tskew2)$	时间_cyc
T2cyc	—	$T2cyc = time\_cyc \times 2 \times \text{字母 T}$	时间_cyc
Trfs1	Trfs	$Trfs = 1.6 \times T + tsui + tco + tbuf + tbuf$	—
—	Tdzfs	$Tdzfs = time\_dzfs \times T - (tskew1)$	Time_dzfs
Tss	Tss	$Tss = time\_ss \times T - (tskew1 + tskew2)$	时间_ss
Tmli	Tdzfs_mli	$Tdzfs\_mli = \max. (time\_dzfs, time\_mli) \times T - (tskew1 + tskew2)$	—
Tli	Tli1	$Tli1 > 0$	—
Tli	Tli2	$Tli2 > 0$	—
Tli	Tli3	$Tli3 > 0$	—
Tecvh	Tecvh	$Tcvh = (time\_cvh \times T) - (tskew1 + tskew2)$	时间_cvh

—	吨托夫	$\text{吨} = \text{时间}_{\text{上}} \times T - \text{tskew1}$ $\text{toff} = \text{time}_{\text{off}} \times T - \text{tskew1}$	—
---	-----	--	---

### 3.7.3 数字音频 Mux (AUDMUX) 计时

AUDMUX 为内部串行接口 (SSI 和 SAP) 和外部串行接口 (音频和语音编解码器) 之间的语音、音频和数据路由提供了可编程的互连逻辑。AUDMUX 外部引脚的交流定时由 SSI 模块控制。有关更多信息, 请参阅第 3.7.17 节“同步串行接口 (SSI) 定时。”

### 3.7.4 CMOS 传感器接口 (CSI) 定时

CSI 使芯片能够直接连接到外部 CMOS 图像传感器, 这些传感器分为哑铃或智能, 如下所示:

- 哑巴传感器仅支持传统的传感器定时 (垂直同步 (VSYNC) 和水平同步 (HSYNC)) 和仅输出拜耳和统计数据。
- 智能传感器支持 CCIR656 视频解码器格式, 并对图像进行额外处理 (例如, 图像压缩、图像预过滤和各种数据输出格式)。

以下小节描述了门控和非门控时钟模式下的 CSI 定时。

#### 3.7.4.1 已盖的时钟模式计时

图 20 和图 21 显示 CSI 的门控时钟模式定时, 以及表 41 描述图中显示的时序参数 (P1-P7)。框架从 VSYNC 上的上升/下降边缘开始, 然后 HSYNC 被断言并适用于整条线。只要断言 HSYNC, 像素时钟就是有效的。

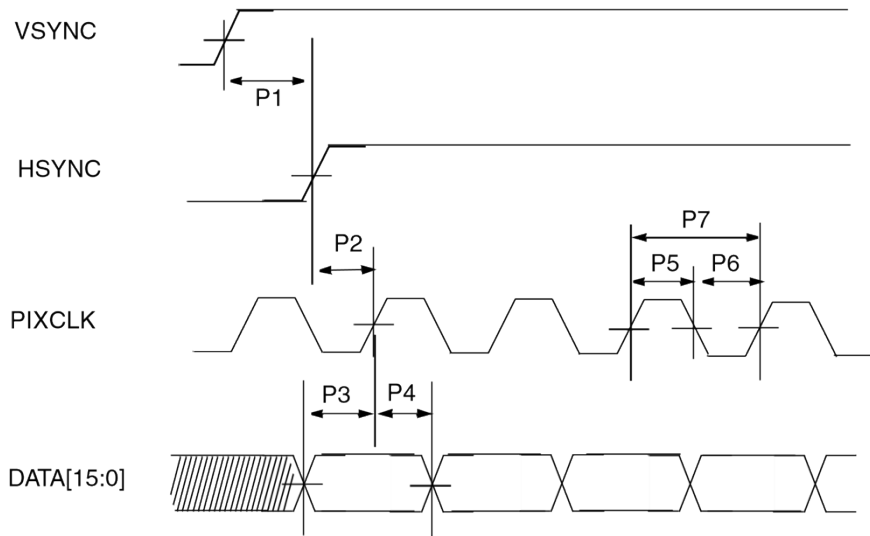


图 20. CSI 门控时钟模式——下降边缘的传感器数据, 上升边缘的闩锁数据

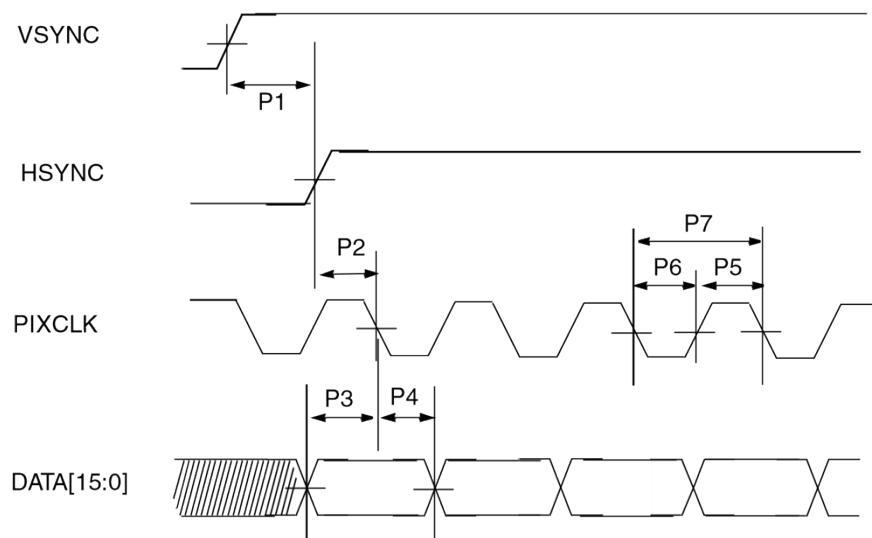


图 21。CSI 门控时钟模式——上升边缘的传感器数据，下降边缘的闩锁数据

表 41. CSI Gated 时钟模式定时参数

身份证	参数	标志	分钟。	最大。	单位
P1	CSI VSYNC 到 HSYNC 时间	tV2H	67.5	—	Ns
P2	CSI HSYNC 设置时间	tHsu	1	—	Ns
P3	CSI 数据设置时间	tDsu	1	—	Ns
P4	CSI 数据保留时间	tDh	1.2	—	Ns
P5	CSI 像素时钟高时间	tCLKh	10	—	Ns
P6	CSI 像素时钟低时间	tCLKl	10	—	Ns
P7	CSI 像素时钟频率	fCLK	—	48±10%	兆赫

### 3.7.4.2 未计时时钟模式计时

图 22 显示 CSI 的未计时时钟模式定时，以及表 42 描述图中显示的时序参数（P1-P6）。在未 gated 模式下，使用 VSYNC 和 PIXCLK 信号，HSYNC 信号被忽略。

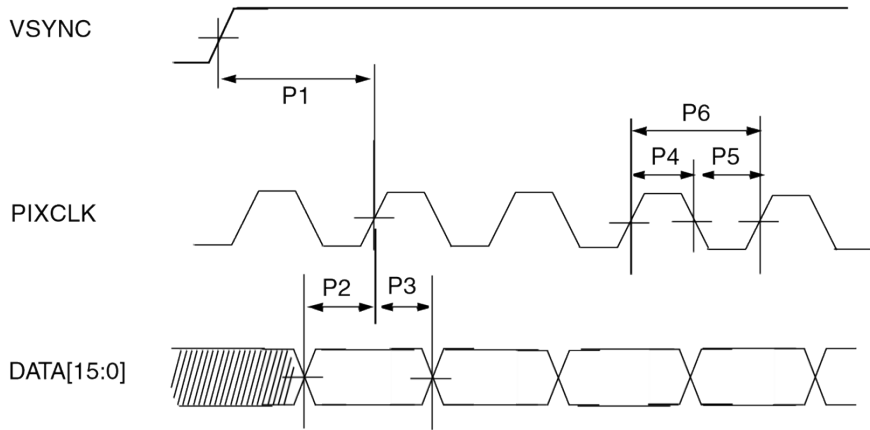


图 22. CSI 未 gated 时钟模式一下降边缘的传感器数据，上升边缘的闩锁数据

表 42. CSI 未计时时钟模式定时参数

身份证	参数	标志	分钟。	最大。	单位
P1	CSI VSYNC 到像素时钟时间	tVSYNC	67.5	—	Ns
P2	CSI 数据设置时间	tDsu	1	—	Ns
P3	CSI 数据保留时间	tDh	1.2	—	Ns
P4	CSI 像素时钟高时间	tCLKh	10	—	Ns
P5	CSI 像素时钟低时间	tCLKl	10	—	Ns
P6	CSI 像素时钟频率	fCLK	—	48±10%	兆赫

### 3.7.5 可配置的串行外围接口 (CSPI) 计时

图 23 和图 24 分别提供 CSPI 主模式和从模式时序图。表 43 描述图中显示的时序参数 (t1-t14)。时序图中显示的值使用最坏情况下的核心电压为 1.1V，慢垫电压为 2.68V，快速垫电压为 1.65V 进行测试。

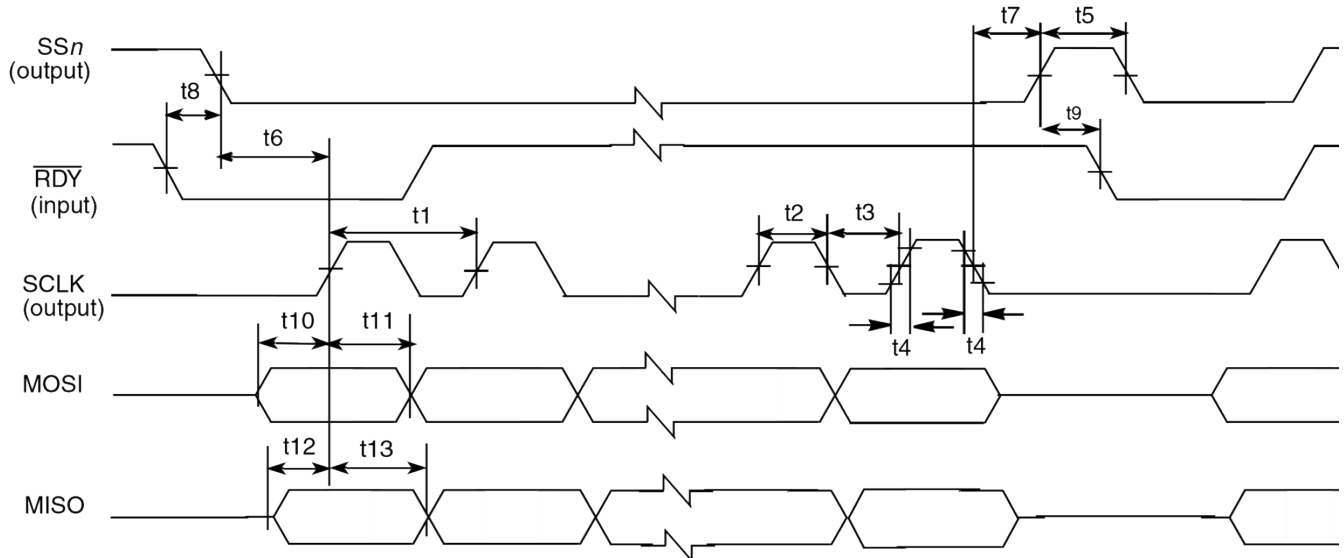


图 23. CSPI 主模式计时图

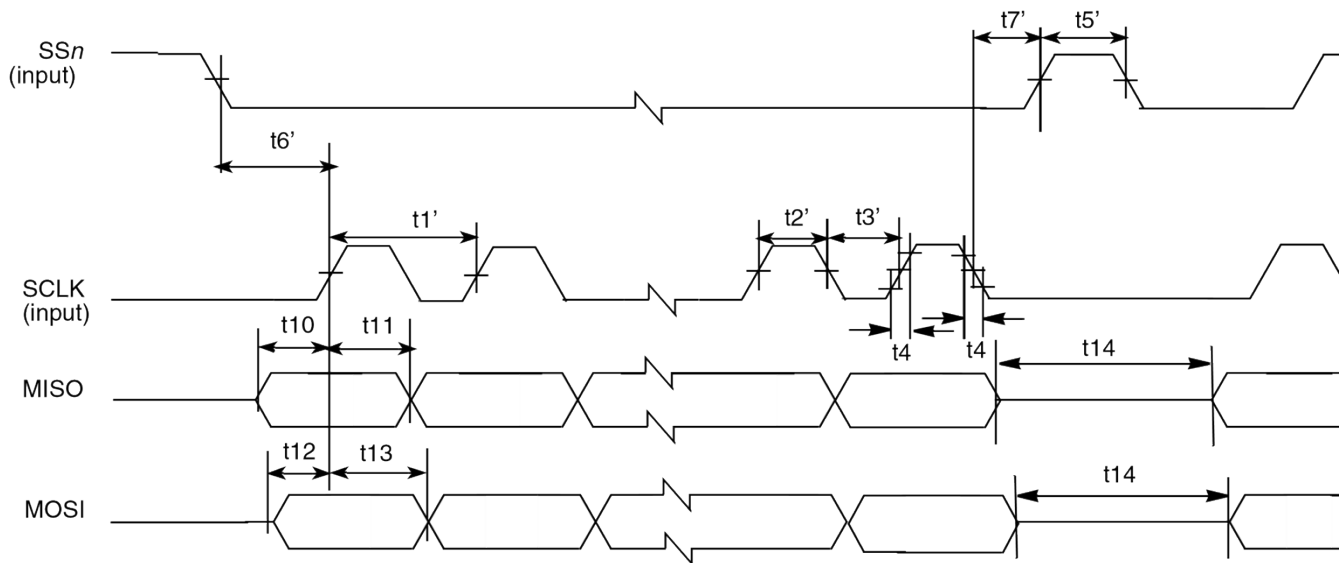


图 24. CSPI 从属模式定时图

表 43. CSPI 接口定时参数

身份证	参数描述	标志	最小值	最大程度	单位
T1	CSPI 主 SCLK 循环时间	字母 T 克力克	60.2	—	Ns

T2	CSPI 大师 SCLK 高时间	字母 $T_{\text{clkoH}}$	22.65	—	Ns
T3	CSPI 主 SCLK 低时间	字母 $T_{\text{clkoL}}$	22.47	—	Ns
T1'	CSPI 从 SCLK 循环时间	字母 $T_{\text{克尔夫基}}$	60.2	—	Ns
T2'	CSPI 奴隶 SCLK 高时间	字母 $T_{\text{clkiH}}$	30.1	—	Ns
T3'	CSPI 从属 SCLK 低时间	字母 $T_{\text{clkiL}}$	30.1	—	Ns
T4	CSPI SCLK 过渡时间	字母 $T_{\text{公众关系}^1}$	2.6	8.5	Ns
T5	SSn 输出脉冲宽度	字母 $T_{\text{WssO}}$	$2T_{\text{Sclk}} + T_{\text{等待}}^3$	—	—
T5'	SSn 输入脉冲宽度	字母 $T_{\text{Wssi}}$	字母 $T_{\text{每一}}^4$	—	—
T6	SSn 输出断言到第一个 SCLK 边缘 (SS 输出设置时间)	字母 $T_{\text{SssO}}$	3 字母 $T_{\text{Sclk}}$	—	—
T6'	SSn 输入断言到第一个 SCLK 边缘 (SS 输入设置时间)	字母 $T_{\text{有特殊科学价值的地点}}$	字母 $T_{\text{每一}}$	—	—
T7	CSPI 主: 最后 SCLK 边缘到 SSn 被否定 (SS 输出保留时间)	字母 $T_{\text{HssO}}$	2 字母 $T_{\text{Sclk}}$	—	—
T7'	CSPI 从属: 最后 SCLK 边缘到 SSn 被否定 (SS 输入保持时间)	字母 $T_{\text{Hssi}}$	30	—	Ns
T8	CSPI 主服务器: CSPI1_RDY 低至 SSn 断言 (CSPI1_RDY 设置时间)	字母 $T_{\text{斯迪}}$	2 字母 $T_{\text{每一}}$	5 字母 $T_{\text{每一}}$	—
T9	CSPI 主服务器: SSn 被否定为 CSPI1_RDY 低	字母 $T_{\text{Hrdy}}$	0	—	Ns
T10	输出数据设置时间	字母 $T_{\text{斯达奥}}$	( $T_{\text{clkoL}}$ 或 $t_{\text{clkoH}}$ 或 $t_{\text{clkiL}}$ 或 $t_{\text{clkiH}}$ ) - 字母 $T_{\text{ipg}}^5$	—	—

<sup>1</sup> The output SCLK transition time is tested with 25 pF drive.

<sup>2</sup>  $T_{\text{sclk}}$  = CSPI clock period

<sup>3</sup>  $T_{\text{wait}}$  = Wait time, as specified in the sample period control register

<sup>4</sup>  $T_{\text{per}}$  = CSPI reference baud rate clock period (PERCLK2)

<sup>5</sup>  $T_{\text{ipg}}$  = CSPI main clock IPG\_CLOCK period

T11	输出数据保留时间	字母 $T_{Hdatao}$	字母 $T_{clkoL}$ 或 $t_{clkoH}$ 或 $t_{clkiL}$ 或 $t_{clkiH}$	—	—
T12	输入数据设置时间	字母 $T_{斯达蒂}$	字母 $T_{Ipg} + 0.5$	—	Ns
T13	输入数据保留时间	字母 $T_{Hdatai}$	0	—	Ns
T14	在数据字之间暂停	字母 $T_{暂停}$	0	—	Ns

### 3.7.6.1 ESDCTL 电气规格

#### 3.7.6.1.1 SDRAM 内存控制器

以下图表和表格指定了与接口的 SDRAMC 模块相关的时间 SDRAM。

## 3.7.6 External Memory Interface (EMI) Timing

The EMI module includes the enhanced SDRAM/LPDDR memory controller (ESDCTL), NAND Flash controller (NFC), and wireless external interface module (WEIM). The following subsections give timing information for these submodules.

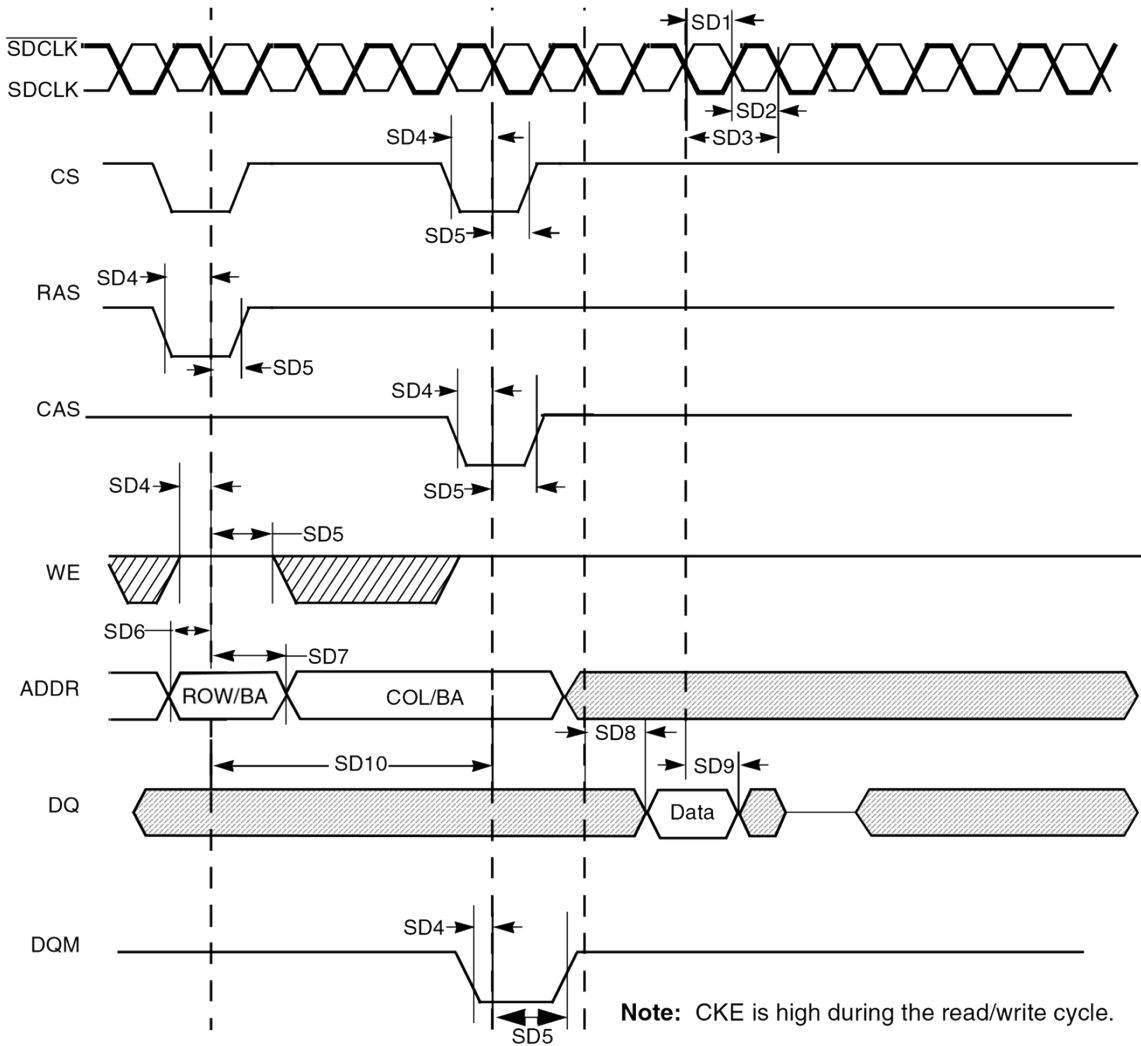


图 25. SDRAM 读取周期定时图

表 44. DDR/SDR SDRAM 读取周期定时参数

身份证	参数	标志	分钟。	最大。	单位
SD1	SDRAM 时钟高电平宽度 <sup>1</sup>	tCH	3.4	4.1	Ns
SD2	SDRAM 时钟低电平宽度 <sup>1</sup>	tCL	3.4	4.1	Ns
SD3	SDRAM 时钟循环时间	tCK	7.5	—	Ns
SD4	CS、RAS、CAS、WE、DQM、CKE 设置时间	tCMS	2.0	—	Ns
SD5	CS、RAS、CAS、WE、DQM、CKE 保留时间	tCMH	1.8	—	Ns

表 44. DDR/SDR SDRAM 读取周期定时参数 (续)

身份证	参数	标志	分钟。	最大。	单位
SD6	地址设置时间	tAS	2.0	—	Ns

SD7	地址保留时间	tAH	1.8	—	Ns
SD8	SDRAM 访问时间	tAC	—	6.47	Ns
SD9	数据保留时间 <sup>2</sup>	tOH	1.2	—	Ns
SD10	主动读/写命令周期	tRC	10	—	钟

<sup>1</sup> SD1 + SD2 在 133 MHz 中不超过 7.5 ns。

<sup>2</sup> 计时参数仅与 SDR SDRAM 相关。有关特定的 DDR SDRAM 数据相关的定时参数，请参阅表 48 和表 49。

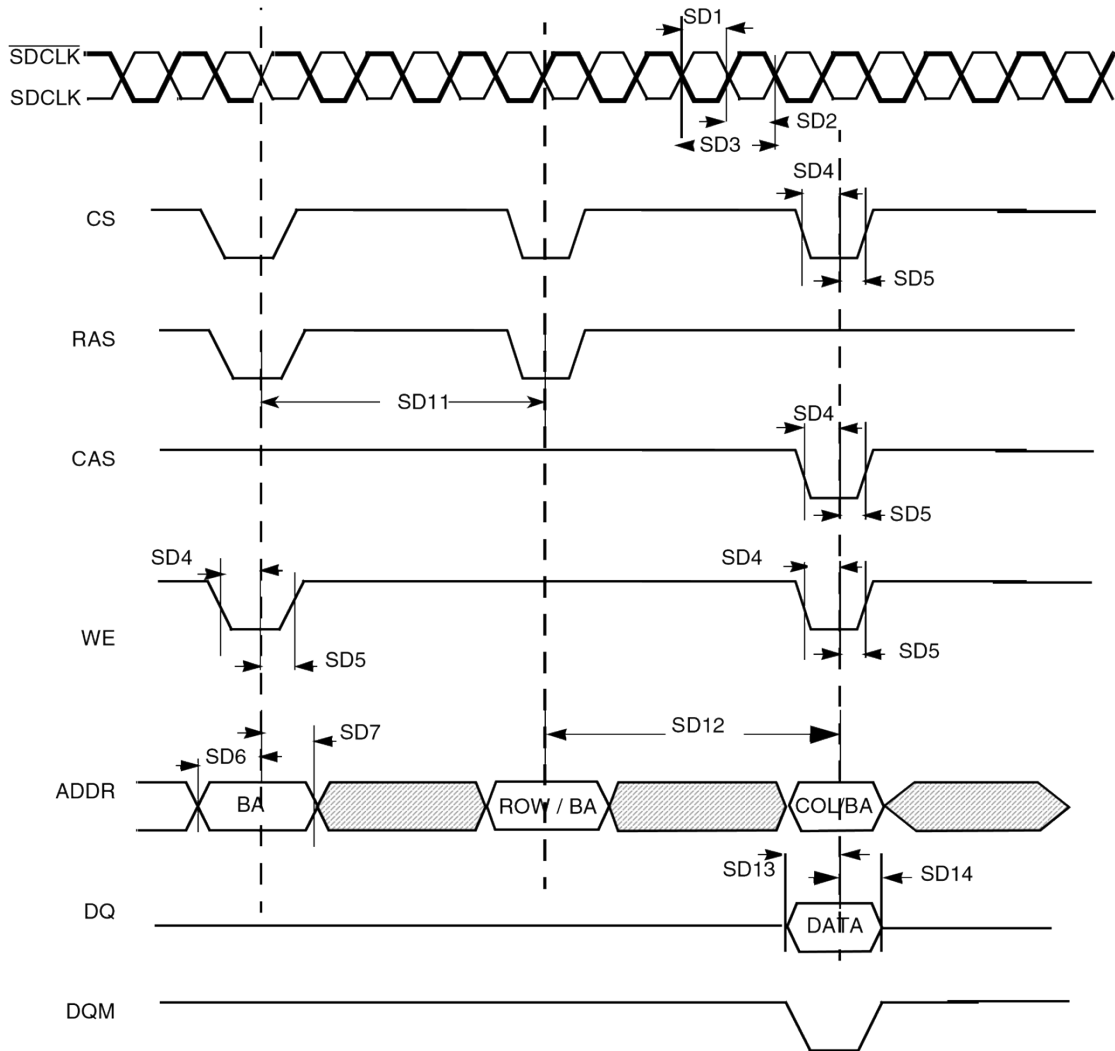


图 26. SDR SDRAM 写入周期定时图

表 45. SDR SDRAM 写入定时参数

身份证	参数	标志	分钟。	最大。	单位
SD1	SDRAM 时钟高电平宽度	tCH	3.4	4.1	Ns
SD2	SDRAM 时钟低电平宽度	tCL	3.4	4.1	Ns

SD3	SDRAM 时钟循环时间	tCK	7.5	—	Ns
SD4	CS、RAS、CAS、WE、DQM、CKE 设置时间	tCMS	2.0	—	Ns
SD5	CS、RAS、CAS、WE、DQM、CKE 保留时间	tCMH	1.8	—	Ns
SD6	地址设置时间	tAS	2.0	—	Ns
SD7	地址保留时间	tAH	1.8	—	Ns
SD11	预充电周期 <sup>1</sup>	tRP	1	4	钟
SD12	主动读/写命令延迟 <sup>1</sup>	tRCD	1	8	钟
SD13	数据设置时间	tDS	2.0	—	Ns
SD14	数据保留时间	tDH	1.3	—	Ns

<sup>1</sup>SD11 和 SD12 由 SDRAM 控制器寄存器设置决定。

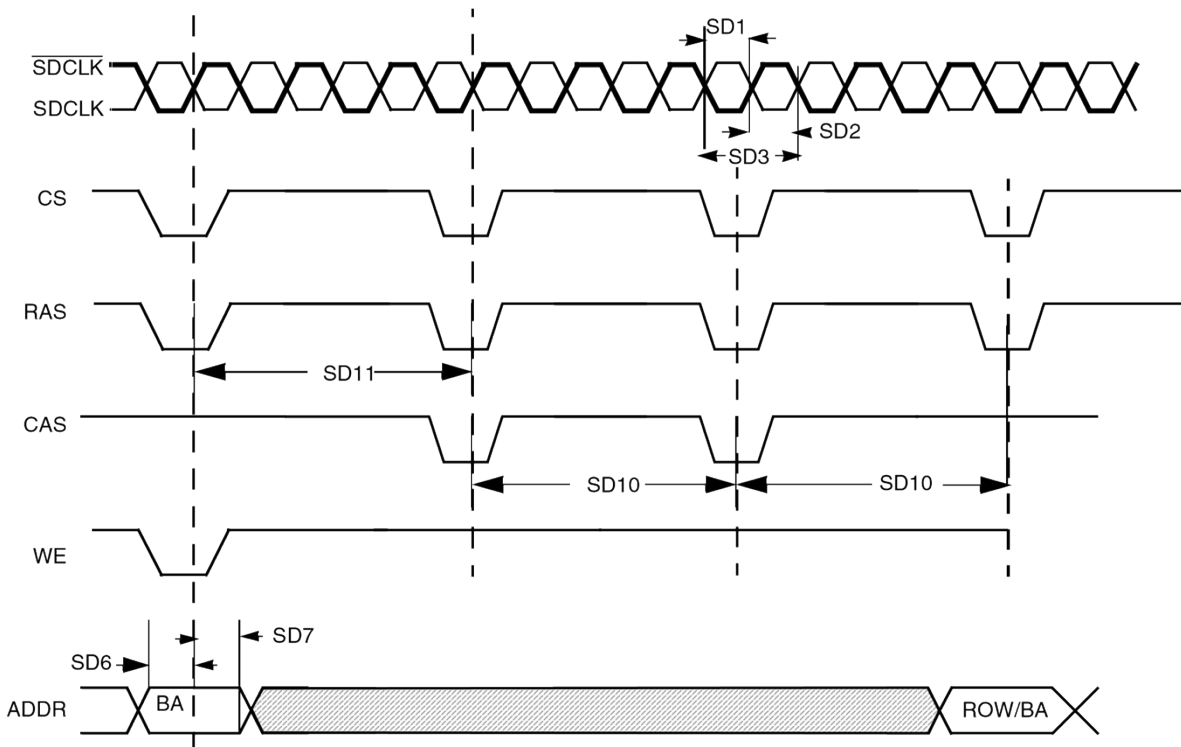


图 27. SDRAM 刷新定时图

表 46. SDRAM 刷新定时参数

身份证	参数	标志	分钟。	最大。	单位
SD1	SDRAM 时钟高电平宽度	tCH	3.4	4.1	Ns
SD2	SDRAM 时钟低电平宽度	tCL	3.4	4.1	Ns
SD3	SDRAM 时钟循环时间	tCK	7.5	—	Ns
SD6	地址设置时间	tAS	1.8	—	Ns

SD7	地址保留时间	tAH	1.8	—	Ns
SD10	预充电周期 <sup>1</sup>	tRP	1	4	钟
SD11	自动预充电命令期 <sup>1</sup>	tRC	2	20	钟

<sup>1</sup>SD10 和 SD11 由 SDRAM 控制器寄存器设置决定。

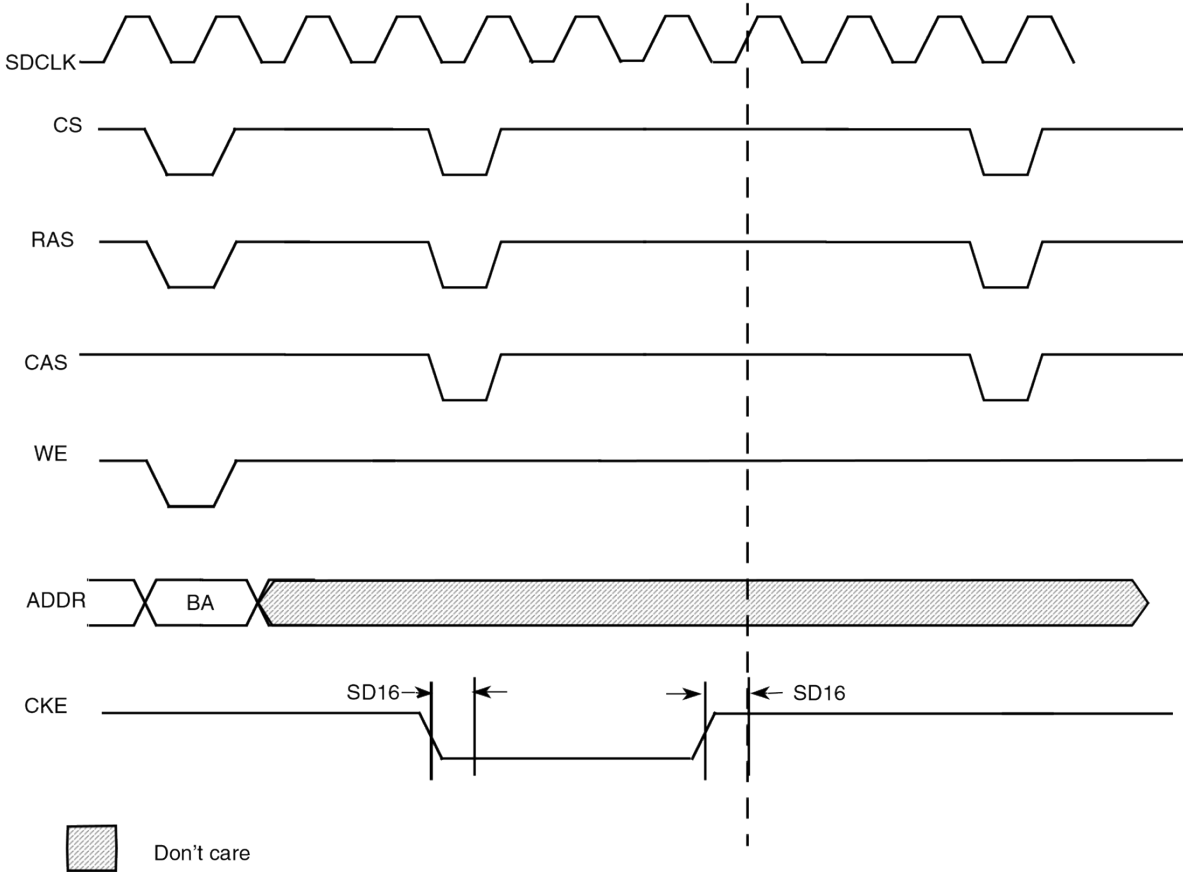


图 28. SDRAM 自刷新周期定时图

### 笔记

除非 CKE 低，否则时钟会继续运行。然后时钟以低状态停止。

表 47. SDRAM 自刷新周期定时参数

身份证	参数	标志	分钟。	最大。	单位
SD16	CKE 输出延迟时间	tCKS	1.8	—	Ns

### 3.7.6.1.2 移动 DDR SDRAM-特定参数

以下图表和表格指定了与与移动 DDR SDRAM 接口的 SDRAMC 模块相关的时间。

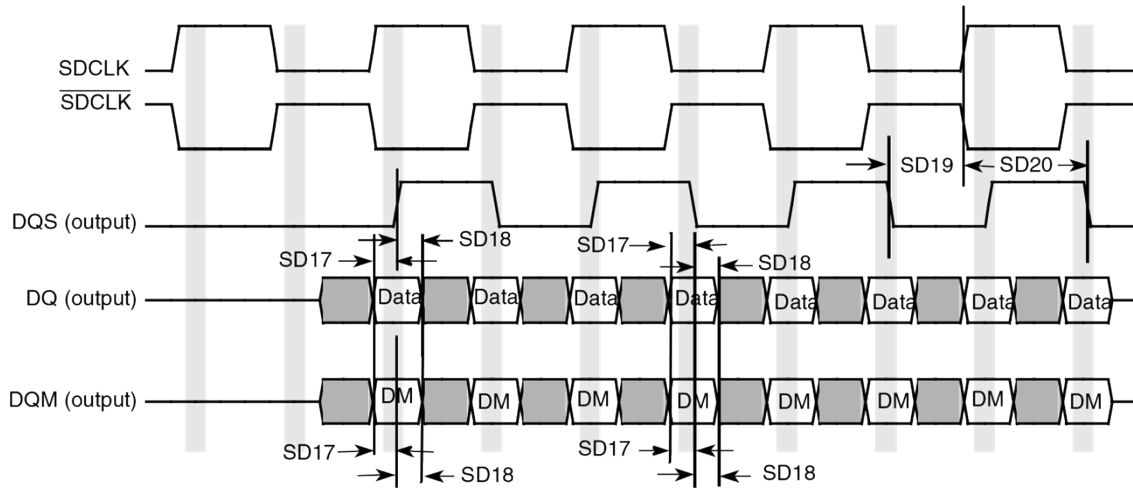


图 29. 移动 DDR SDRAM 写入周期计时图表 48. 移动 DDR SDRAM 写入周期计时参数<sup>1</sup>

身份证	参数	标志	分钟。	最大。	单位
SD17	DQ 和 DQM 设置时间到 DQS	tDS	0.95	—	Ns
SD18	DQ 和 DQM 保留 DQS 的时间	tDH	0.95	—	Ns
SD19	写入周期 DQS 下降边缘到 SDCLK 输出延迟时间	tDSS	1.8	—	Ns
SD20	写入周期 DQS 下降边缘到 SDCLK 输出保持时间	tDSH	1.8	—	Ns

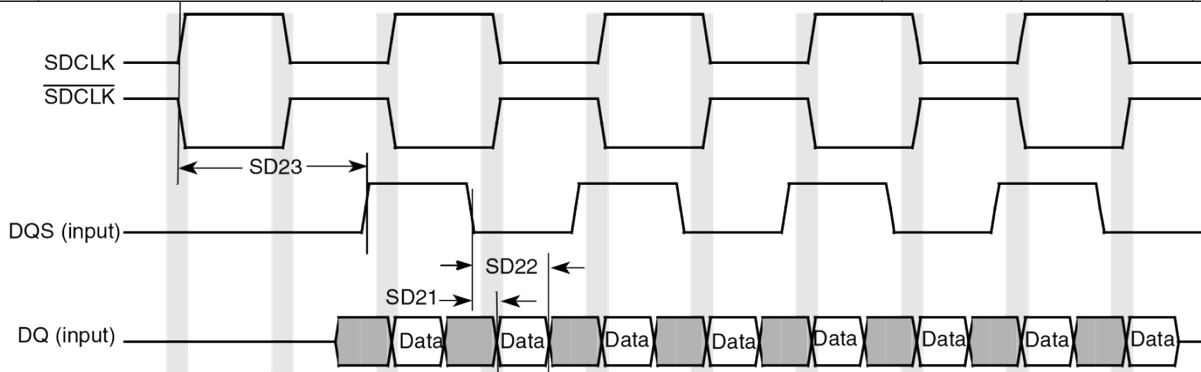


图 30. 移动 DDR SDRAM DQ 与 DQS 和 SDCLK 读取周期定时图

表 49. 移动 DDR SDRAM 读取周期定时参数

身份证	参数	标志	分钟。	最大。	单位
SD21	DQS – DQ Skew (在与 DQS 相关的读取周期中定义数据有效窗口)	tDQSQ	—	0.85	Ns

<sup>1</sup> Test condition: Measured using delay line 5 programmed as follows: ESDCDLY5[15:0] = 0x0703.

SD22	来自 DQS 的 DQS DQ 保持时间	tQH	2.3	—	Ns
SD23	来自 SDCLK posege 的 DQS 输出访问时间	tDQSCK	—	6.7	Ns

### 3.7.6.1.3 DDR2 SDRAM-特定参数

以下图表和表格指定了与 SDRAMC 模块相关的时间，该模块与 DDR2 SDRAM。

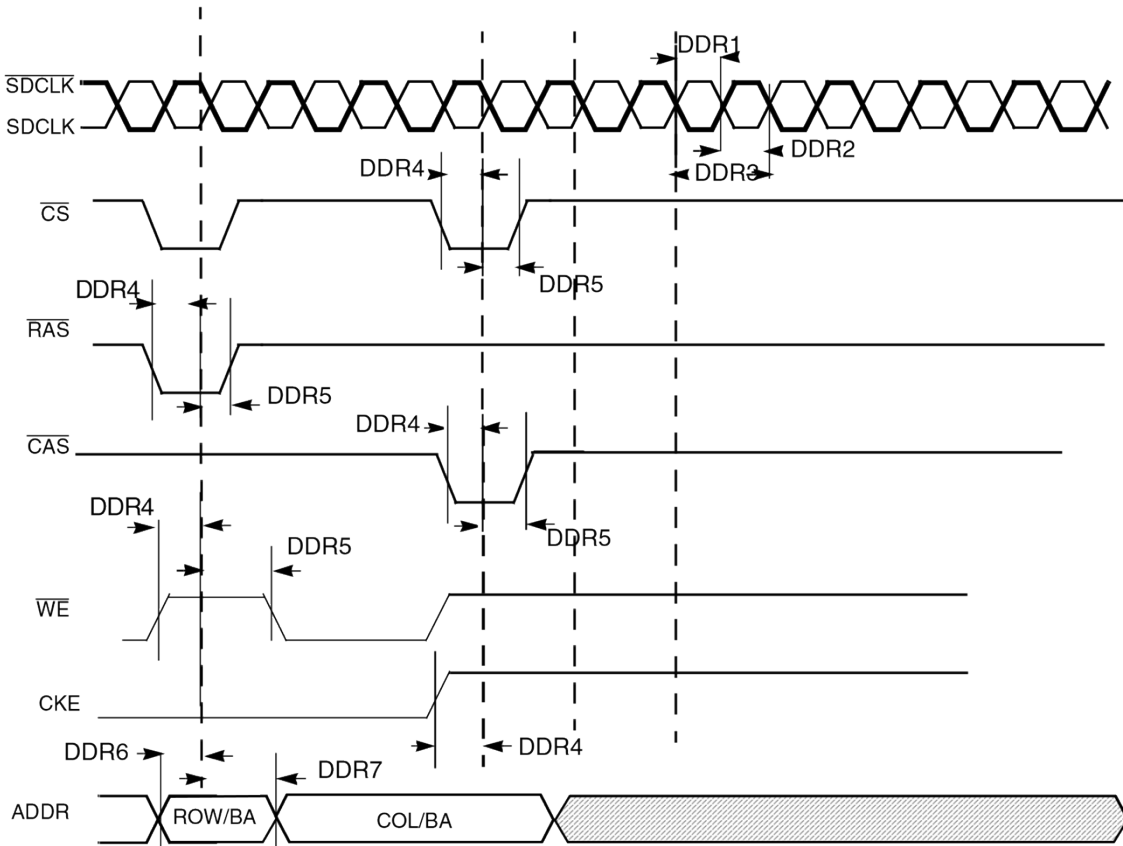


图 31。DDR2 SDRAM 基本定时参数

表 50 提供 1 V/ns 的命令/地址重读率和 2 V/ns 的 SDCLK、SDCLK\_B 差分重读率的值。对于附加值，请使用表 51，“tIS, tIH 减值 DDR2-400, DDR2-533。”

表 50。DDR2 SDRAM 定时参数表

身份证	参数	标志	DDR2-400		单位
			分钟。	最大。	
DDR1	SDRAM 时钟高电平宽度	字母 TCH	0.45	0.55	字母 TCK

DDR2	SDRAM 时钟低电平宽度	字母 T 厘升	0.45	0.55	字母 Tck
DDR3	SDRAM 时钟循环时间	字母 Tck	7.5	8	Ns

表 50。DDR2 SDRAM 定时参数表 (续)

身份证	参数	标志	DDR2-400		单位
			分钟。	最大。	
DDR4	CS, RAS, CAS, CKE, 我们设置时间	字母 T 是	1.2	—	Ns
DDR5	CS, RAS, CAS, CKE, 我们保留时间	字母 T <sub>IH</sub>	1.2	—	Ns
DDR6	地址输出设置时间	字母 T 是	1.2	—	Ns
DDR7	地址输出保留时间	字母 T <sub>IH</sub>	0.475	—	Ns

表 50 显示命令/地址掉头率为 1 V/ns 的值和 SDCLK、SDCLK\_B 差分掉头率为 2 V/ns 的值。表 51 显示 DDR2-400 和 DDR2-533 的附加值。

表 51. tIS, tIH DDR2-400 的减值, DDR2-533

命令/ 住址 流率 (V/ns)	CK, CK 差分回头率						单位
	2.0 V/ns		1.5 V/ns		1.0 伏/ns		
	$\Delta t_{IS}$	$\Delta t_{IH}$	$\Delta t_{IS}$	$\Delta t_{IH}$	$\Delta t_{IS}$	$\Delta t_{IH}$	
4.0	+187	+94	+217	+124	+247	+154	后记
3.5	+179	+89	+209	+119	+239	+149	后记
3.0	+167	+83	+197	+113	+227	+143	后记
2.5	+150	+75	+180	+105	+210	+135	后记
2.0	+125	+45	+155	+75	+185	+105	后记
1.5	+83	+21	+113	+51	+143	+81	后记
1.0	0	0	+30	+30	+60	+60	后记
0.9	-11	-14	+19	+16	+49	+46	后记
0.8	-25	-31	+5	-1	+35	+29	后记
0.7	-43	-54	-13	-24	+17	+6	后记
0.6	-67	-83	-37	-53	-7	-23	后记

0.5	-110	-125	-80	-95	-50	-65	后记
0.4	-175	-188	-145	-158	-115	-128	后记
0.3	-285	-292	-255	-262	-225	-232	后记
0.25	-350	-375	-320	-345	-290	-315	后记
0.2	-525	-500	-495	-470	-465	-440	后记
0.15	-800	-708	-770	-678	-740	-648	后记
0.1	-1450	-1125	-1420	-1095	-1390	-1065	后记

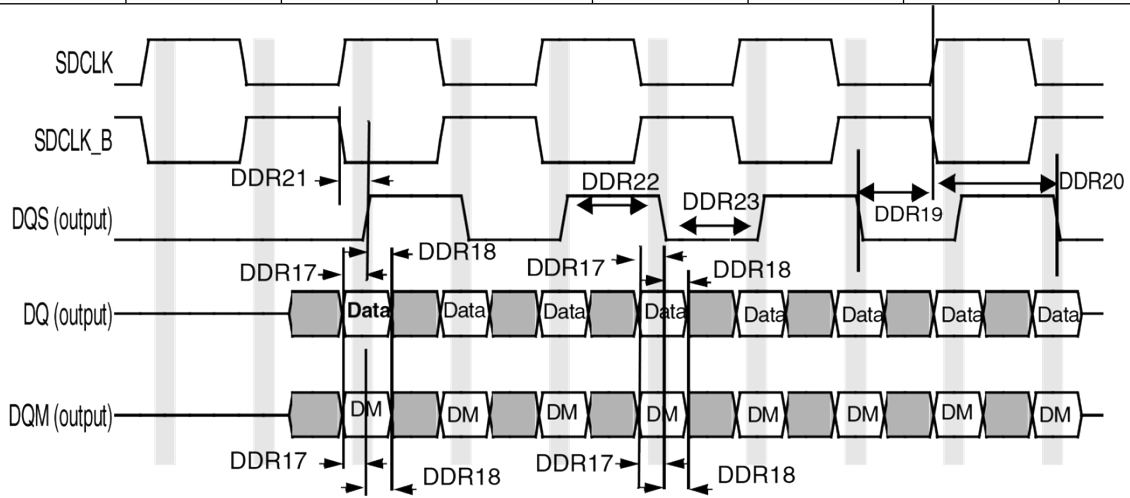


图 32. DDR2 SDRAM 写入周期定时图

表 52. DDR2 SDRAM 写入周期参数表

身份证	参数	标志	DDR2-400		单位
			分钟。	最大。	
DDR17	DQ 和 DQM 设置时间到 DQS (单端频闪) <sup>1</sup>	字母 T <sub>Ds1</sub> (基础)	0.6	—	Ns
DDR18	DQ 和 DQM 保留时间到 DQS (单端频闪) <sup>1</sup>	字母 T <sub>DH1</sub> (基础)	0.6	—	Ns
DDR19	写入周期 DQS 下降边缘到 SDCLK 输出设置时间	字母 T <sub>DSS</sub>	0.3	—	tCK
DDR20	写入周期 DQS 下降边缘到 SDCLK 输出保持时间	字母 T <sub>DSH</sub>	0.3	—	tCK
DDR21	DQS 锁定上升过渡到相关时钟边缘	字母 T <sub>DQSS</sub>	-0.2	0.2	tCK
DDR22	DQS 高级宽度	字母 T <sub>DQSH</sub>	0.35	—	tCK
DDR23	DQS 低电平宽度	字母 T <sub>DQSL</sub>	0.35	—	tCK

<sup>1</sup> 这些值适用于 1 V/ns 的 DQ/DM 流率和 1 V/ns 的 DQS 流率。对于附加值，请使用表 53，“DtDs1”，

DtDH1 DDR2-400、DDR2-533 的减值。

表 53.  $\Delta tDS1$ ,  $\Delta DDR2-400$ 、DDR2-533 的 tDH1 减值<sup>1,2,3</sup>

		DQS 单端流率																	
		2.0 V/ns		1.5 V/ns		1.0 伏/ns		0.9 V/ns		0.8 伏/ns		0.7 V/ns		0.6 V/ns		0.5 Vns		0.4 V/ns	
		$\Delta tD$ S1	$\Delta tD$ H1	$\Delta tD$ S1	$\Delta tD$ H1	$\Delta tD$ S1	$\Delta tD$ H1	$\Delta tD$ S1	$\Delta tD$ H1	$\Delta tD$ S1	$\Delta tD$ H1	$\Delta tD$ S1	$\Delta tD$ H1	$\Delta tD$ S1	$\Delta tD$ H1	$\Delta tD$ S1	$\Delta tD$ H1	$\Delta tD$ S1	$\Delta tD$ H1

表 53.  $\Delta tDS1$ ,  $\Delta DDR2-400$ 、DDR2-533 的 tDH1 减值<sup>1,2,3</sup> (续)

		DQS 单端流率																	
DQ 拆率 V/ns	2.0	188	188	167	146	125	63	—	—	—	—	—	—	—	—	—	—	—	—
	1.5	146	167	125	125	83	42	81	43	—	—	—	—	—	—	—	—	—	—
	1.0	63	125	42	83	0	0	-2	1	-7	-13	—	—	—	—	—	—	—	—
	0.9	—	—	31	69	-11	-14	-13	-13	-18	-27	-45	—	—	—	—	—	—	—
	0.8	—	—	—	—	-25	-31	-27	-30	-32	-44	-43	-62	-60	-86	—	—	—	—
	0.7	—	—	—	—	—	—	-45	-53	-50	-67	-61	-85	-78	—	—	—	—	—
	0.6	—	—	—	—	—	—	—	—	-74	-96	-85	—	—	—	—	—	—	—
	0.5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	0.4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

<sup>1</sup> “Ps”中的所有单位。

<sup>2</sup> DDR PADS 的测试条件为电容=15pF。SDCLK 推荐的驱动强度为中等，地址和控制为高。

<sup>3</sup> SDRAM CLK 和 DQS 相关参数从 50%点进行测量。也就是说，高定义为信号值的 50%，低定义为信号值的 50%。DDR SDRAM CLK 参数在 SDCLK 和 SDCLK（倒时钟）的交叉点测量。

<sup>1</sup> Test conditions are at capacitance=15 pF for DDR PADS. Recommended drive strengths are medium for SDCLK and high for address and controls.

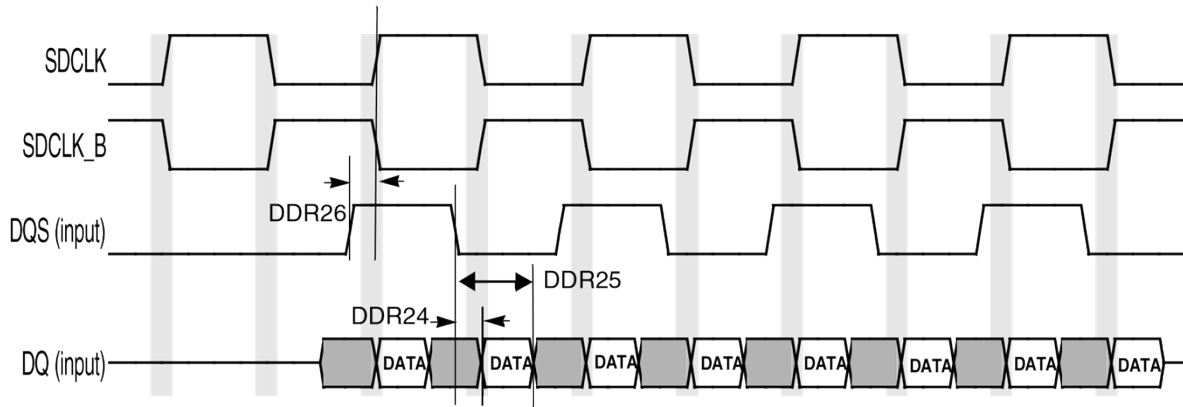


图 33. DDR2 SDRAM DQ 与 DQS 和 SDCLK READ 循环定时图

表 54. DDR2 SDRAM 读取周期参数表 1,2

身份证	参数	标志	DDR2-400		单位
			分钟。	最大。	
DDR24	DQS - DQ Skew (定义与 DQS 相关的读取周期中的数据有效窗口)	字母 TDQSQ	—	0.6	Ns
DDR25	DQS DQ 在持有时间从 DQS 开始 <sup>3</sup>	字母 TQH	2.5	—	Ns
DDR26	来自 SDCLK posege 的 DQS 输出访问时间	字母 TDQSCK	-0.5	0.5	Ns

- <sup>2</sup> SDRAM CLK 和 DQS 相关参数从 50%点测量。也就是说，高定义为信号值的 50%，低定义为信号值的 50%。DDR SDRAM CLK 参数在 SDCLK 和 SDCLK（倒时钟）的交叉点测量。
- <sup>3</sup> 该值是 133 MHz 的 SDCLK 频率计算的，公式为  $t_{QH} = t_{HP} - t_{QHS} = \min. (t_{CL}, t_{CH}) - t_{QHS} = 0.45 \cdot t_{CK} - t_{QHS} = 0.45 \cdot 7.5 - 0.45 = 2.925 \text{ ns}$

### 3.7.6.2 NAND 闪存控制器（NFC）定时

i.MX25 NFC 支持正常定时模式，使用两个闪存时钟周期进行一次访问 RE 和

我们。交流定时作为时钟周期和固定延迟的乘法提供。图 34 穿过图 37 描述了正常模式下不同操作的模块级别 NFC 信号之间的相对时序。表 55 描述图中显示的定时参数（NF1-NF17）。NFCLE

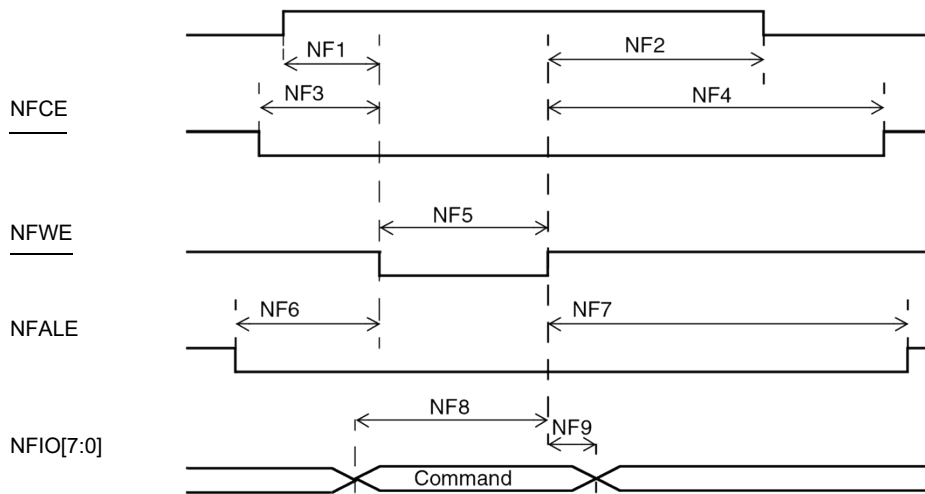
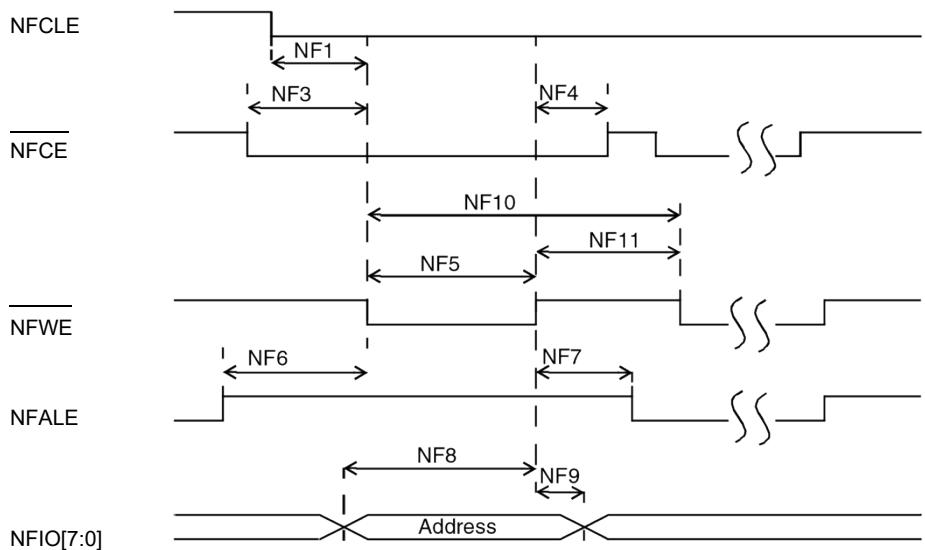


图 34. 命令锁定期定时图



i.MX25 Applications Processor for Consumer and Industrial Products, Rev. 10

图 35. 地址门  
周期定时图

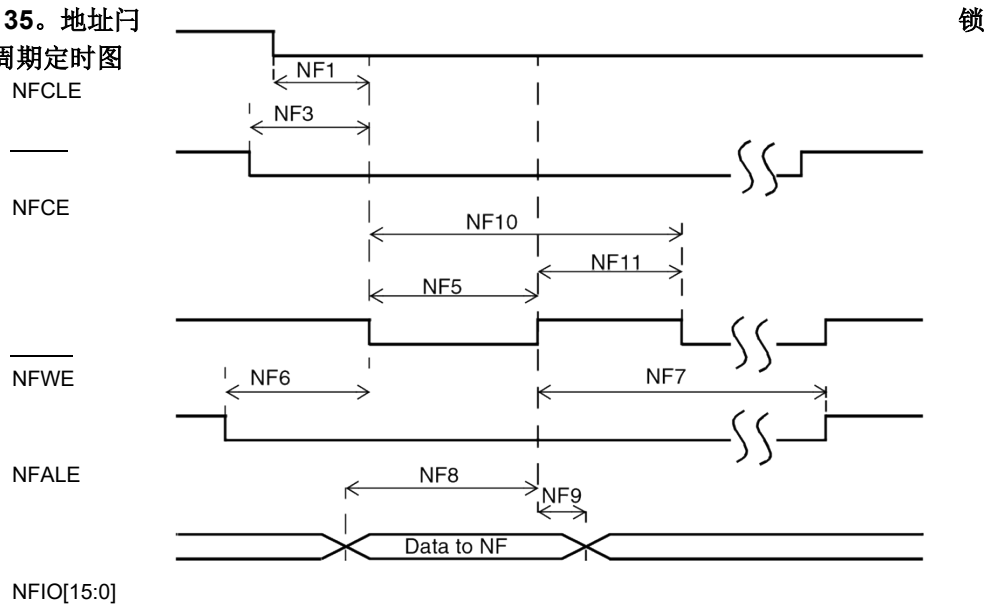


图 36. 写入数据门锁周期定时图

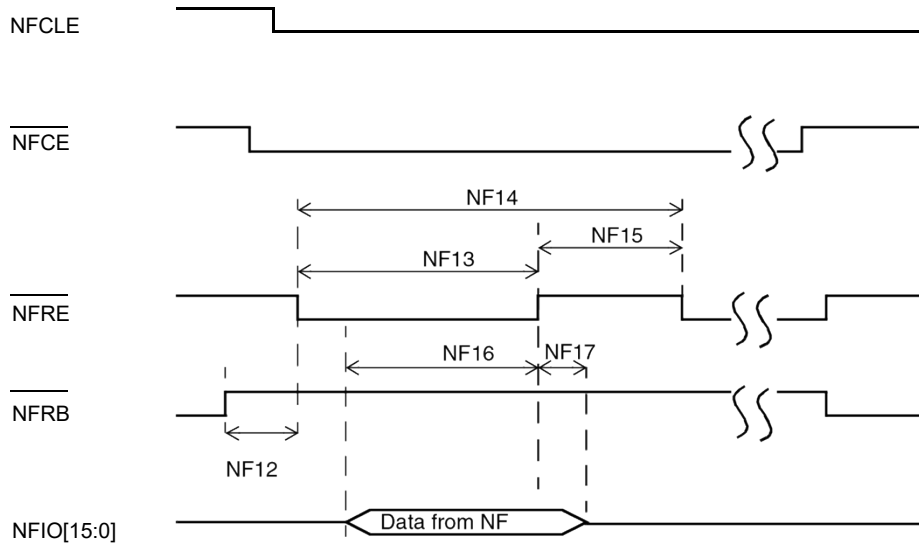


图 37. 读取数据门锁周期计时图

表 55. NFC 计时参数<sup>1</sup>

身份证	参数	标志	定时 T = NFC 时钟周期		示例计时 NFC 时钟 ≈ 33 兆赫 T = 30 ns		单位
			分钟。	最大。	分钟。	最大。	
NF1	NFCLE 设置时间	tCLS	T-1.0 ns	—	29	—	Ns

NF2	NFCLE 保持时间	tCLH	T-2.0 ns	—	28	—	Ns
NF3	NFCE 设置时间	tCS	2T-5.0 ns	—	55	—	Ns
NF4	NFCE 保留时间	tCH	7T-5.0 ns	—	205	—	Ns

表 55. NFC 计时参数<sup>1</sup> (续)

身份证	参数	标志	定时 T = NFC 时钟周期		示例计时 NFC 时钟 ≈ 33 兆赫 T = 30 ns		单位
			分钟。	最大。	分钟。	最大。	
NF5	NF_WP 脉冲宽度	tWP	T-1.5 ns		28.5		Ns
NF6	NFALE 设置时间	tALS	字母 T	—	30	—	Ns
NF7	NFALE 保留时间	tALH	T-3.0 ns	—	27	—	Ns
NF8	数据设置时间	tDS	2T ns	—	60	—	Ns
NF9	数据保留时间	tDH	T-5.0 ns	—	25	—	Ns
NF10	写入周期时间	tWC	2T		60		Ns
NF11	NFWE 保留时间	tWH	T-2.5 ns		27.5		Ns
NF12	准备低 NFRE	tRR	21T-10 ns	—	620	—	Ns
NF13	NFRE 脉冲宽度	tRP	1.5 吨	—	45	—	Ns
NF14	阅读周期时间	tRC	2T	—	60	—	Ns
NF15	NFRE 高保持时间	tREH	0.5T-2.5 ns		12.5	—	Ns
NF16	读取时的数据设置	tDSR	不适用的		10	—	Ns
NF17	数据保留在读取时	tDHR	不适用的		0	—	Ns

<sup>1</sup> 闪存时钟的最大频率为 50 MHz。

### 笔记

出于定时目的，向信号高过渡被定义为信号值的 80%；而信号低被定义为信号值的 20%。

HCLK 的时序为 133 MHz。内部 NFC 时钟（闪存时钟）约为 33 MHz（30 ns）。所有定时都根据此 NFC 时钟频率（NFC 时钟相位的多个）列出，但 NF16 和 NF17 除外，它们与 NFC 时钟无关。

### 3.7.6.3 无线外部接口模块（WEIM）计时

图 38 描述了 WEIM 模块的时间，以及表 56 描述图中所示的时序参数（WE1-WE27）。

根据相应的断言/否定控制字段，所有 WEIM 输出控制信号都可以由相对于 BCLK 上升边缘或下降边缘的内部时钟断言和否定。地址总是相对于 BCLK 下降边缘开始，但可能会结束。根据控制寄存器配置，在混合模式下上升或下降边缘。输出数据相对于 BCLK 上升边缘开始，除非在混合模式下，

根据控制寄存器配置，可以使用上升或下降边缘。输入数据，欧洲央行

和 DTACK 都是相对于 BCLK 上升边缘捕获的。

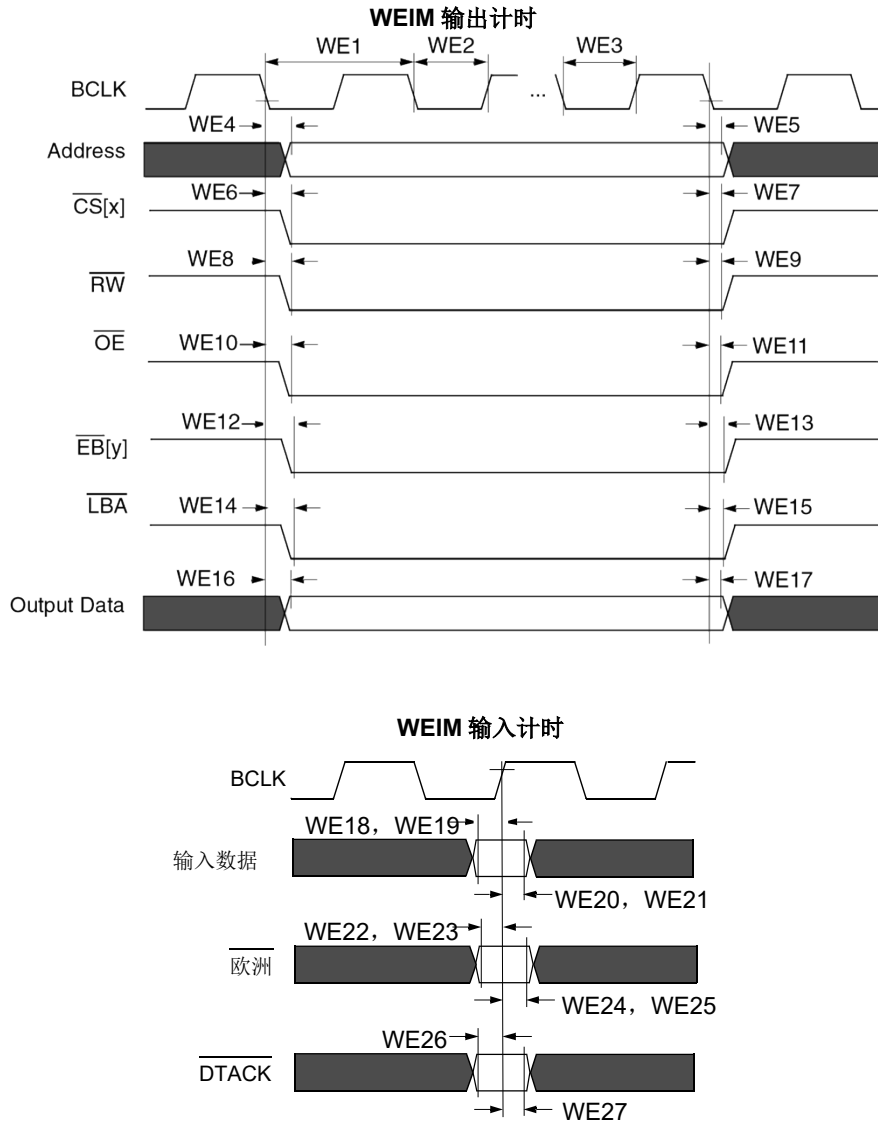


图 38. WEIM 总线定时图

表 56. WEIM 总线定时参数<sup>1</sup>

身份证	参数	分钟。	最大。	单位
WE1	BCLK 循环时间 <sup>2</sup>	14.5	—	Ns
WE2	BCLK 低电平宽度 <sup>2</sup>	7	—	Ns
WE3	BCLK 高级宽度 <sup>2</sup>	7	—	Ns
WE4	时钟下降到地址有效	15	21	Ns
WE5	时钟上升/下降到解决无效	22	25	Ns
WE6	时钟上升/下降到 CS[x]有效	15	19	Ns
WE7	时钟上升/下降到 CS[x]无效	3.3	5	Ns

表 56。WEIM 总线定时参数<sup>1</sup> (续)

身份证	参数	分钟。	最大。	单位
WE8	时钟上升/下降到 RW 有效	8	12	Ns
WE9	时钟上升/下降到 RW 无效	3	8	Ns
WE10	时钟上升/下降到 OE 有效	7	12	Ns
WE11	时钟上升/下降到 OE 无效	3.6	5.5	Ns
WE12	时钟上升/下降到 EB[y]有效	6	11.5	Ns
WE13	时钟上升/下降到 EB[y]无效	6	10	Ns
WE14	时钟上升/下降到 LBA 有效	17.5	20	Ns
WE15	LBA 的时钟上升/下降无效	0	1	Ns
WE16	时钟上升/下降到输出数据有效	5	10	Ns
WE17	时钟上升到输出数据无效	0	2.5	Ns
WE18	输入数据对时钟上升有效, FCE=1	1	—	Ns
WE19	输入数据对时钟上升有效, FCE=0 (在访问期间断言欧洲央行的情况下)	1/2 BCLK +2.63	—	Ns
	输入数据对时钟上升有效, FCE=0 (在访问期间没有欧洲央行的情况下)	6.9	—	Ns
WE20	时钟上升到输入数据无效, FCE=1	1	—	Ns
WE21	时钟上升到输入数据无效, FCE=0	2.4	—	Ns
WE22	欧洲央行设置时间, FCE=1	5	—	Ns
WE23	欧洲央行设置时间, FCE=0	7.2	—	Ns
WE24	欧洲央行持有时间, FCE=1	5	—	Ns
WE25	欧洲央行持有时间, FCE=0	0	—	Ns

WE26	DTACK 设置时间	5.4	—	Ns
WE27	DTACK 保留时间	-3.2	—	Ns

<sup>1</sup> 高定义为信号值的 80%；低定义为信号值的 20%。

<sup>2</sup> BCLK 参数正在从 50%点进行测量。例如，高定义为信号值的 50%，低定义为信号值的 50%。

### 笔记

测试条件负载电容为 25 pF。所有控件、地址和 BCLK 的推荐驱动强度是最大驱动。

所有控件、地址和 BCLK 的推荐驱动强度是最大驱动。

图 39 穿过图 44 举出 WEIM 对外部存储设备的基本访问示例，其时序参数如表 56 对于特定的控制参数设置。

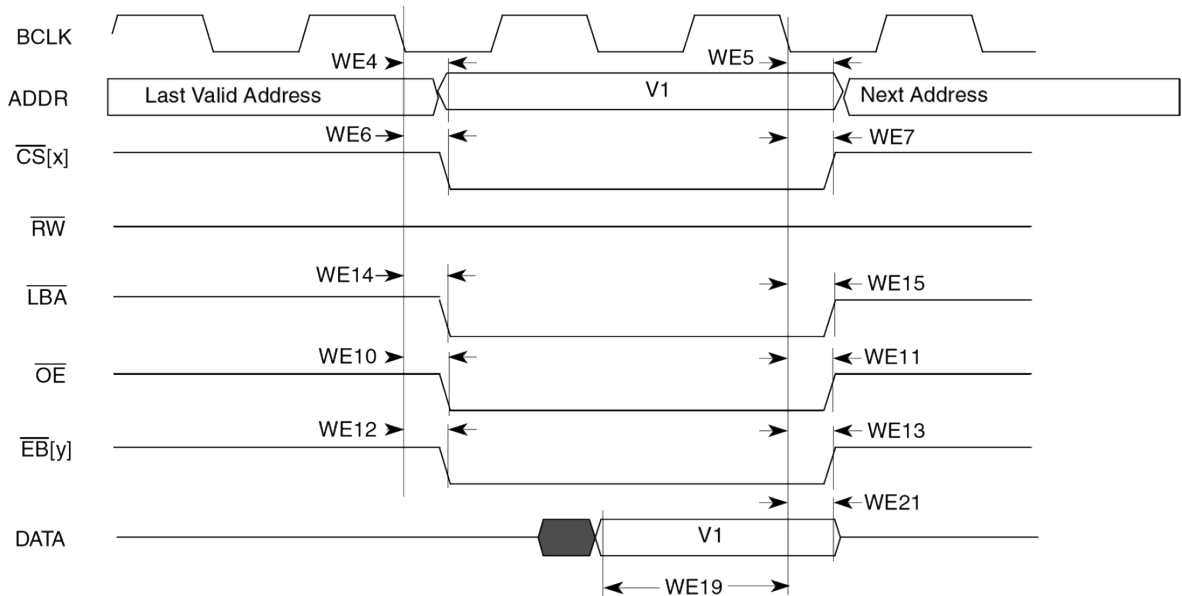


图 39。用于读取访问的同步内存定时图-WSC=1

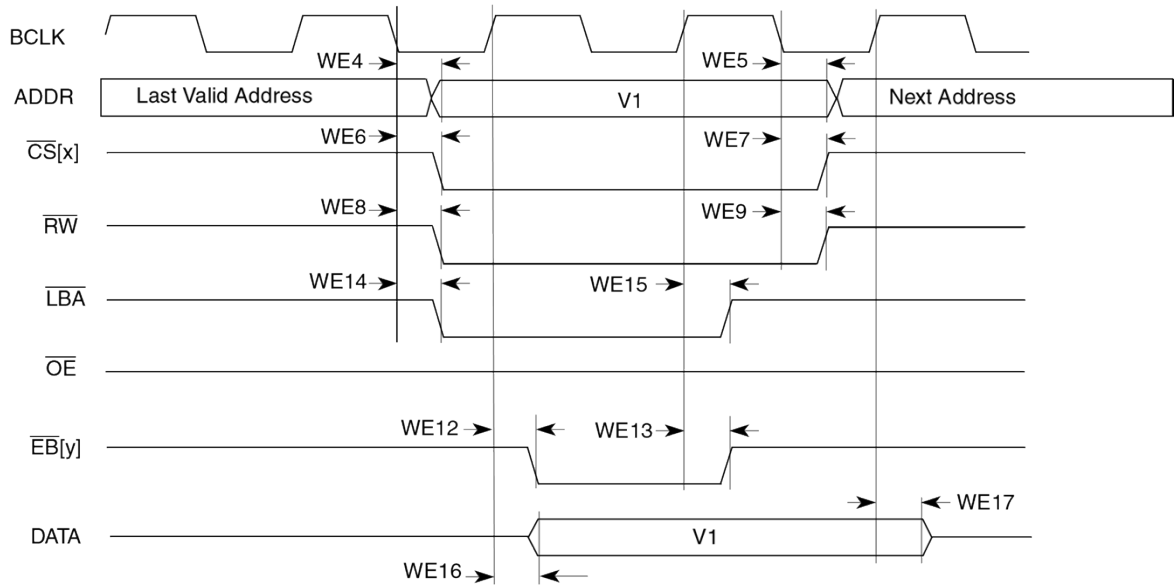


图 40。写入访问的同步内存定时图—WSC=1、EBWA=1、EBWN=1、LBN=1

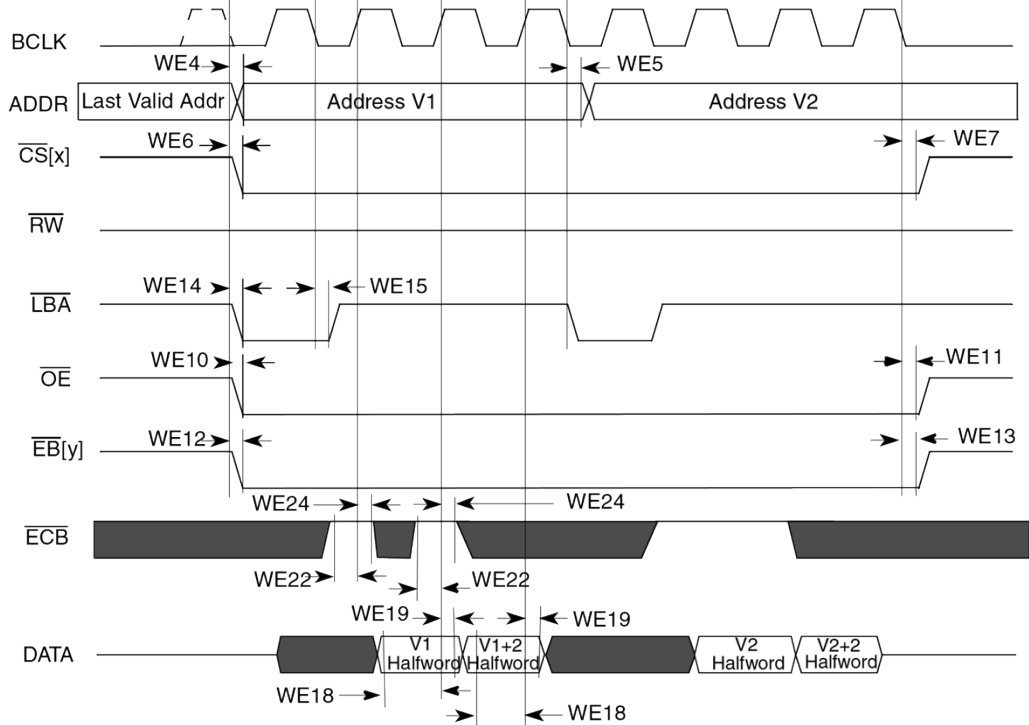


图 41。两个非顺序读取访问的同步内存定时图—

WSC=2, SYNC=1, DOL=0

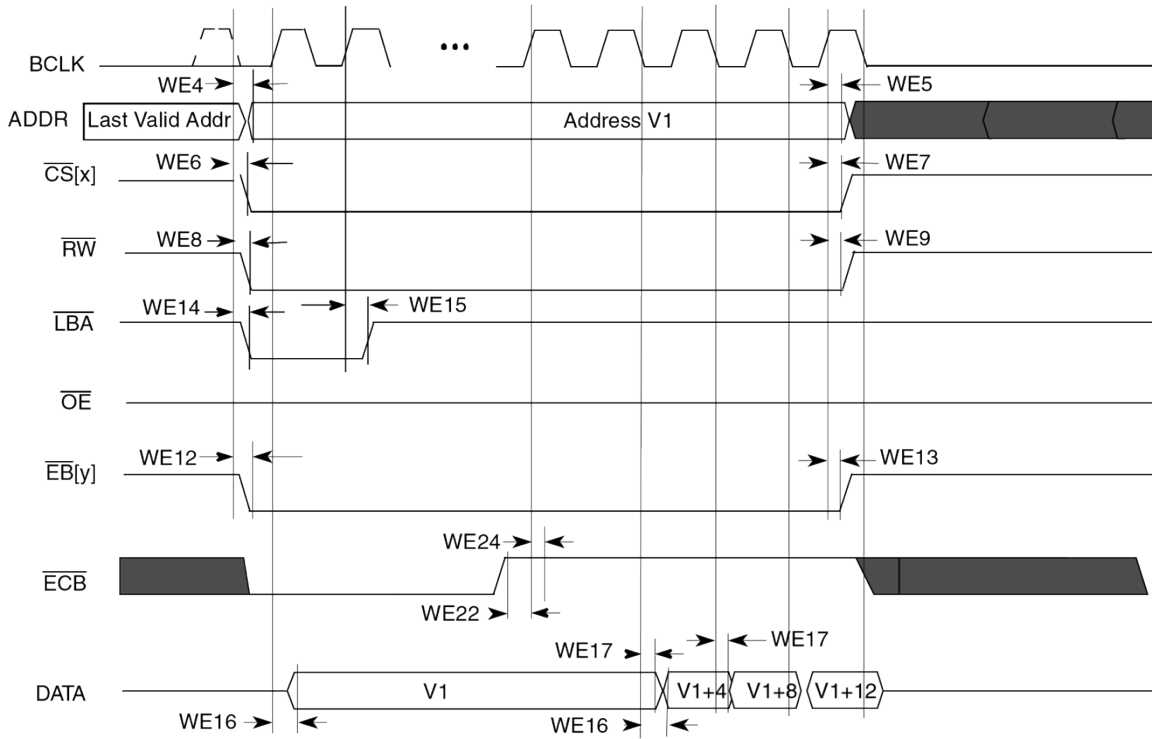


图 42. 突发写入访问的同步内存计时图—BCS=1, WSC=4, SYNC=1, DOL=0, PSR=1

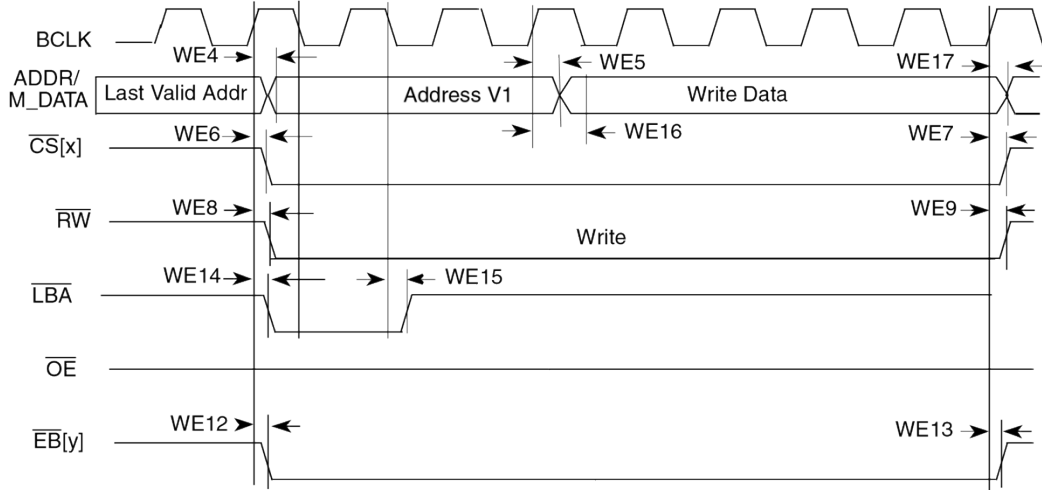


图 43. 同步写入访问的 Muxed A/D 模式定时图—WSC=7, LBA=1, LBN=1, LAH=1

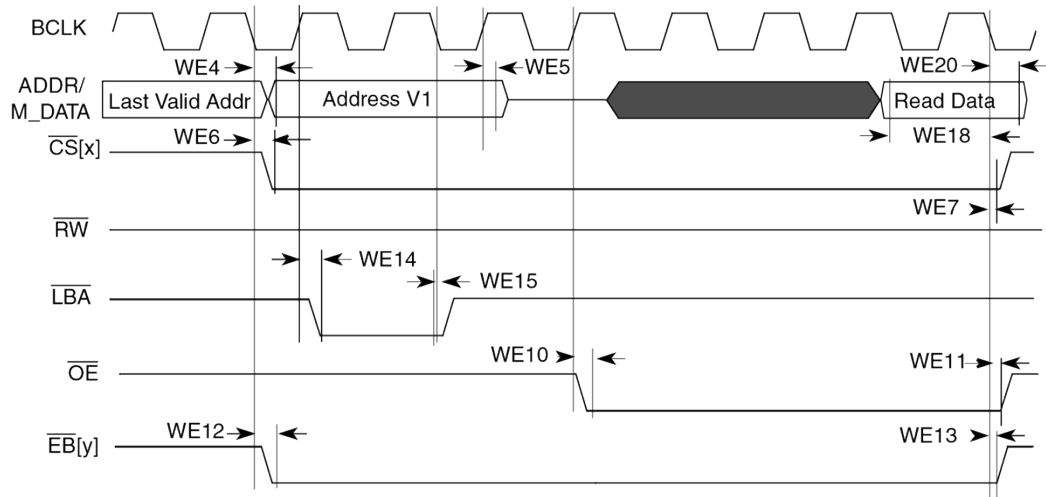


图 44. 用于同步读取访问的 Muxed A/D 模式定时图—  
WSC=7, LBA=1, LBN=1, LAH=1, OEA=7

图 45 穿过图 49, 和表 57 帮助确定与异步和 DTACK WEIM 访问相关的芯片选择 (CS) 状态的时序参数, 使用相应的 WEIM 位字段和上述时序参数。

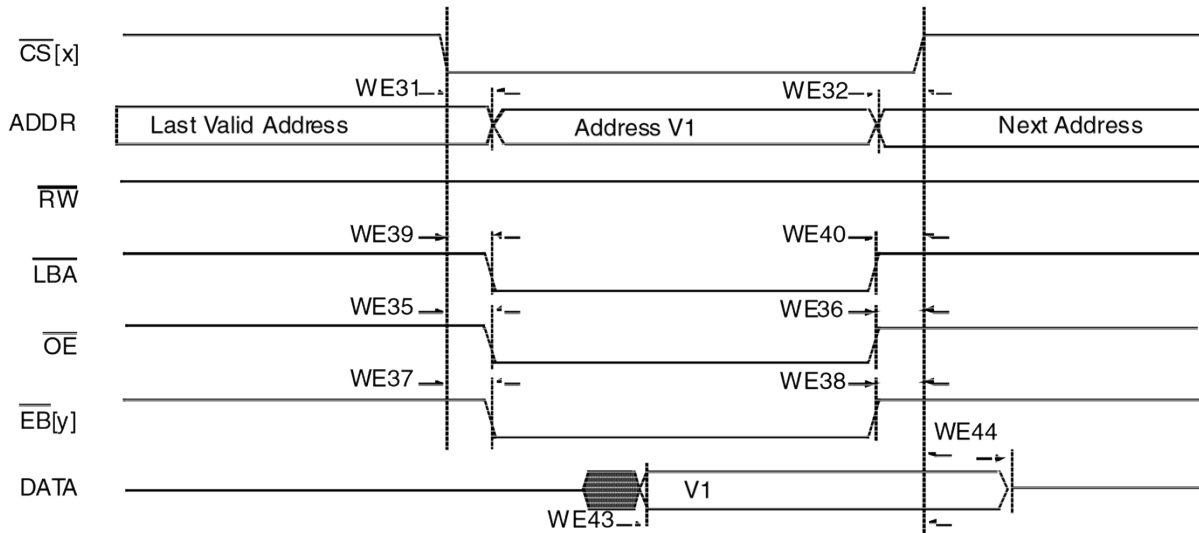


图 45. 异步内存读取访问

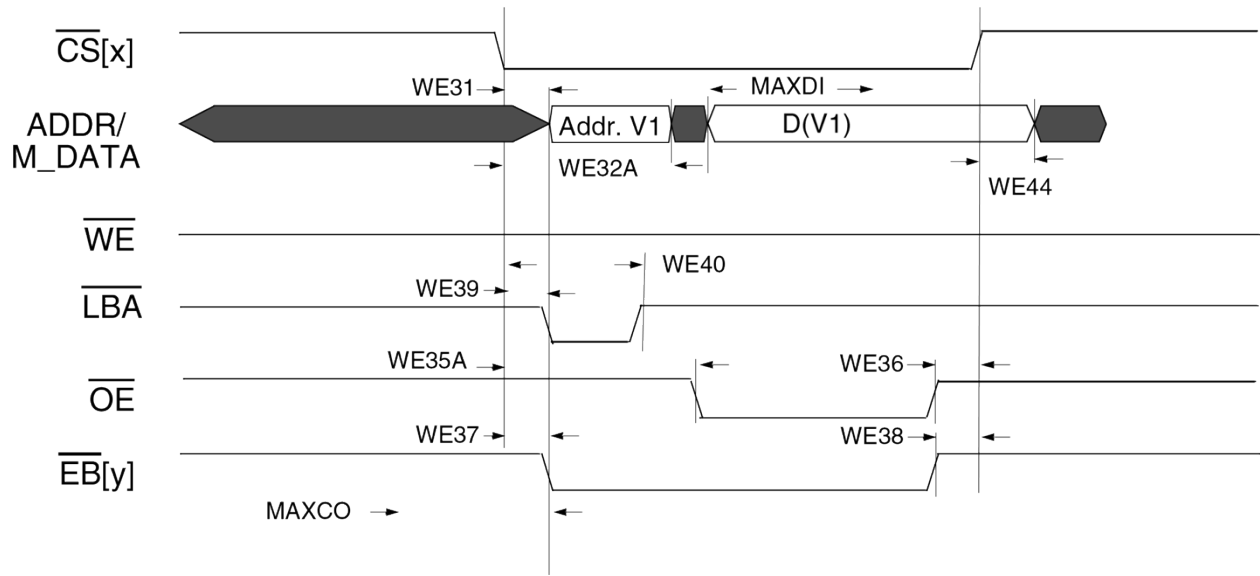


图 46. 异步 A/D 混合读取访问 (RWSC = 5)

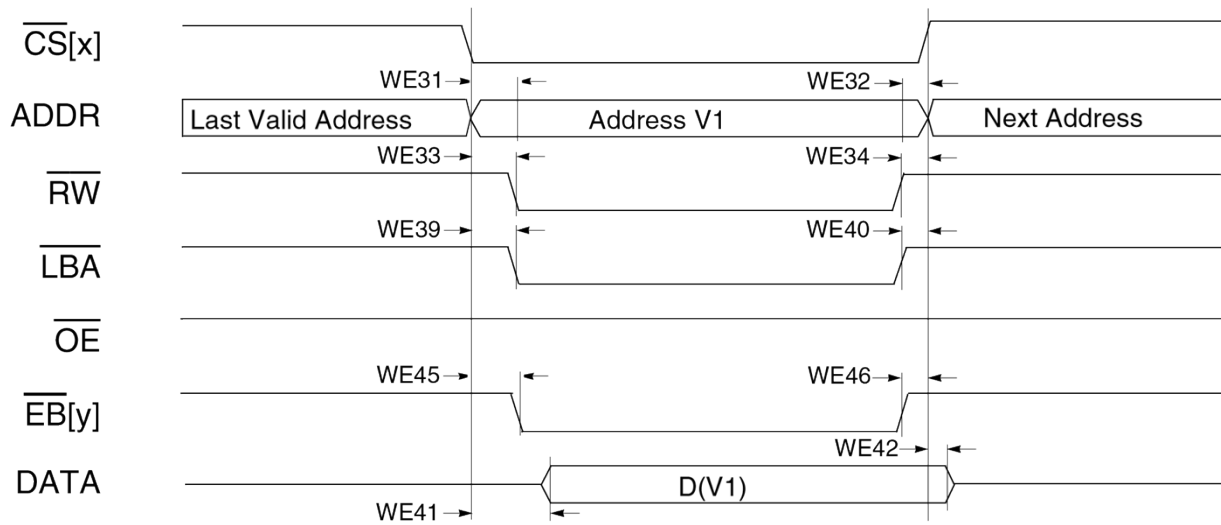


Figure 47. Asynchronous Memory Write Access

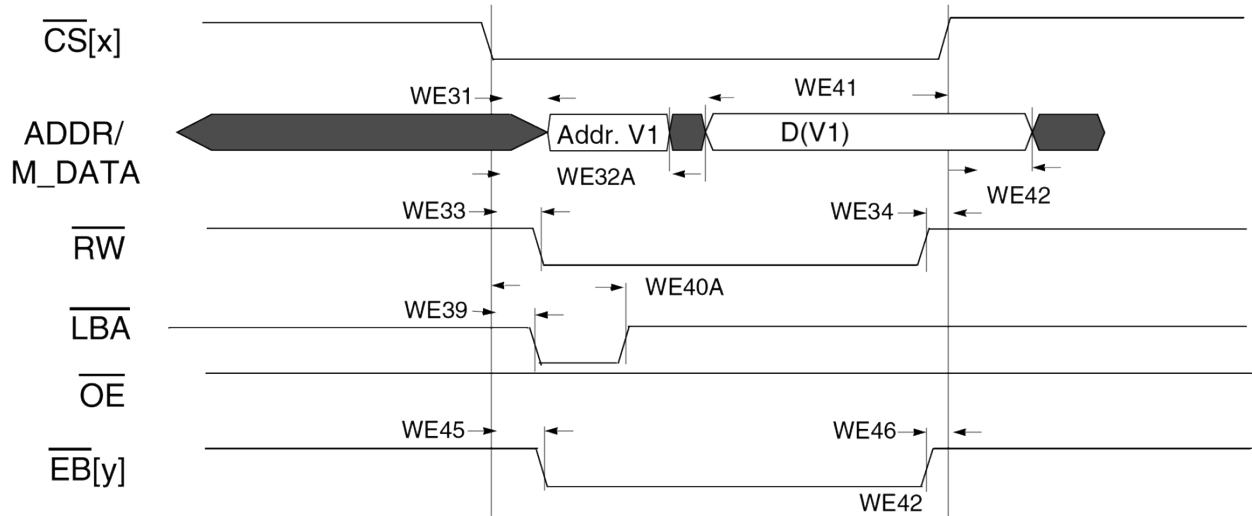


Figure 48. Asynchronous A/D Mux Write Access

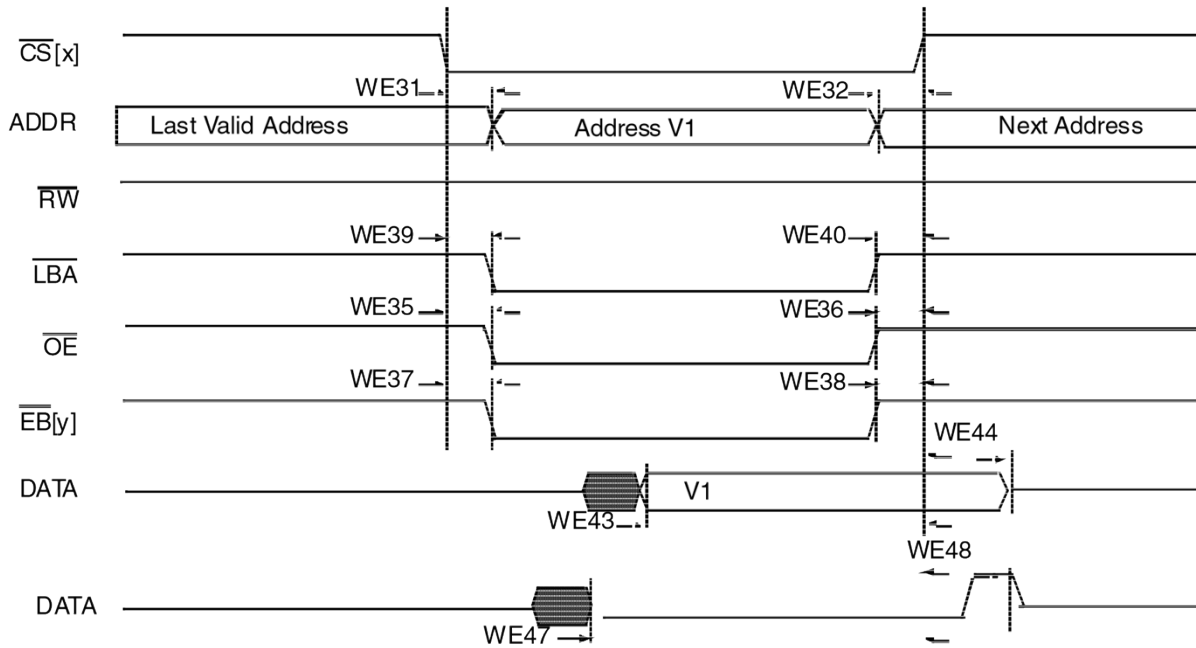


图 49. DTACK 读取访问

表 57. 相对于芯片选择表的 WEIM 异步定时参数

参考编号	参数	确定由同步测量参数 <sup>1</sup>	分钟	麦克斯 (如果 SoC 支持 133 MHz)	单位
WE31	CS[x]有效到地址有效	WE4 – WE6 – CSA <sup>2</sup>	—	3 – CSA	Ns
WE32	地址无效到 CS[x]无效	WE7 – WE5 – CSN <sup>3</sup>	—	3 – CSN	Ns

表 57。相对于芯片选择表的 WEIM 异步定时参数 (续)

参考编号	参数	确定由 同步测量参数 <sup>1</sup>	分钟	麦克斯 (如果 SoC 支持 133 MHz)	单位
WE32A (混合 模拟-数字的)	CS[x]有效到地址无效	$WE4 - WE7 + (LBN + LBA + 1 - CSA^2)$	$-3 + (LBN + LBA + 1 - CSA)$	—	Ns
WE33	CS[x]有效到 RW 有效	$WE8 - WE6 + (RWA - CSA)$	—	$3 + (RWA - CSA)$	Ns
WE34	RW 无效到 CS[x]无效	$WE7 - WE9 + (RWN - CSN)$	—	$3 - (RWN\_CSN)$	Ns
WE35	CS[x]有效到 OE 有效	$WE10 - WE6 + (OEA - CSA)$	—	$3 + (OEA - CSA)$	Ns
WE35A (Muxed A/D)	CS[x]有效到 OE 有效	$WE10 - WE6 + (OEA + LBN + LBA + LAH + 1 - CSA)$	$-3 + (OEA + LBN + LBA + LAH + 1 - CSA)$	$3 + (OEA + LBN + LBA + LAH + 1 - CSA)$	Ns
WE36	OE 无效到 CS[x]无效	$WE7 - WE11 + (OEN - CSN)$	—	$3 - (OEN - CSN)$	Ns
WE37	CS[x]对 EB[y]有效 (读取访问)	$WE12 - WE6 + (EBRA - CSA)$	—	$3 + (EBRA^4 - CSA)$	Ns
WE38	EB[y]无效到 CS[x]无效 (阅读访问权限)	$WE7 - WE13 + (EBRN - CSN)$	—	$3 - (EBRN^5 - CSN)$	Ns
WE39	CS[x]有效到 LBA 有效	$WE14 - WE6 + (LBA - CSA)$	—	$3 + (LBA - CSA)$	Ns
WE40	LBA 无效到 CS[x]无效	$WE7 - WE15 - CSN$	—	$3 - CSN$	Ns
WE40A (Muxed A/D)	CS[x]对 LBA 无效有效	$WE14 - WE6 + (LBN + LBA + 1 - CSA)$	$-3 + (LBN + LBA + 1 - CSA)$	$3 + (LBN + LBA + 1 - CSA)$	Ns
WE41	CS[x]有效输出数据有效	$WE16 - WE6 - CSA$	—	$3 - CSA$	Ns
WE41A (Muxed A/D)	CS[x]有效输出数据有效	$WE16 - WE6 + (LBN + LBA + LAH + 1 - CSA)$	—	$3 + (LBN + LBA + LAH + 1 - CSA)$	Ns
WE42	输出数据对 CS 无效[x]病弱者	$WE17 - WE7 - CSN$	—	$3 - CSN$	Ns
WE43	输入数据对 CS[x]有效病弱者	$MAXCO - MAXCSO + MAXDI$	$MAXCO^6 - MAXCSO^7 + MAXDI^8$	—	Ns
WE44	CS[x]无效, 输入数据无效	0	0	—	Ns
WE45	CS[x]有效到 EB[y]有效 (写访问权限)	$WE12 - WE6 + (EBWA - CSA)$	—	$3 + (EBWA - CSA)$	Ns

WE46	EB[y]无效到 CS[x]无效 (写访问权限)	WE7 – WE13 + (EBWN – CSN)	—	–3 + (EBWN – CSN)	Ns
WE47	DTACK 对 CS[x]无效	MAXCO – MAXCSO + MAXDTI	MAXCO <sup>6</sup> – MAXCSO <sup>7</sup> + MAXDTI <sup>9</sup>	—	Ns
WE48	CS[x]无效到 DTACK 无效	0	0	—	Ns

飞思卡尔半导体

- 1 有关参数 WE4-WE21 的值，请参阅 BCD = 0 列表 56。
- 2  $\overline{CS}$  断言。此位字段确定在读/写周期中何时断言  $\overline{CS}$  信号。
- 3  $\overline{CS}$  否定。此位字段确定  $\overline{CS}$  信号在读/写周期中何时被否定。
- 4  $\overline{BE}$  断言。此位字段决定在读取周期中何时断言  $\overline{BE}$  信号。
- 5  $\overline{BE}$  否定。此位字段确定  $\overline{BE}$  信号在读取周期中何时被否定。
- 6 从内部驱动 ADDR/控制 FF 到芯片输出的最大输出延迟。
- 7 从 CS[x]内部驱动 FF 到 CS[x]输出的最大延迟。
- 8 数据从芯片输入数据到内部 FF 的最大延迟。
- 9 DTACK 从芯片 dtack 输入到其内部 FF 的最大延迟。

### 笔记

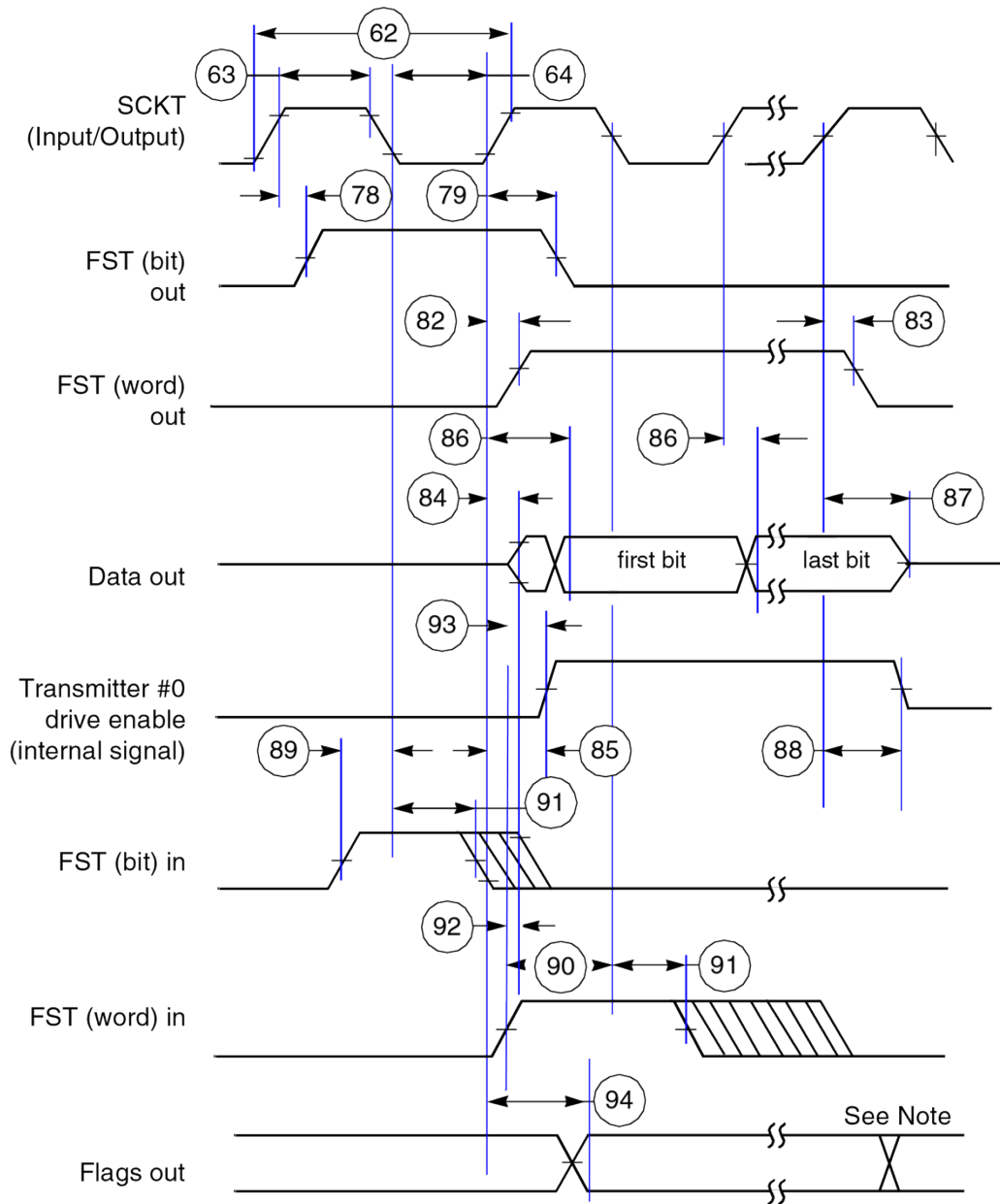
所有配置参数 (CSA、CSN、EBWA、EBWN、LBA、LBN、LAH、OEN、OEA、EBRA 和 EBRN) 均为循环单元。



### 3.7.7 增强的串行音频接口 (ESAI) 计时

本节介绍 ESAI 的一般定时要求，以及 ESAI 的发送和接收定时。

图 50 显示 ESAI 传输时序图。



**注意:** 在网络模式下，输出标志过渡可以在帧内每个时间段的开始时发生。在正常模式下，输出标志状态在整个帧期间被断言。

图 50. ESAI 传输时间

图 51 显示 ESAI 接收定时图。

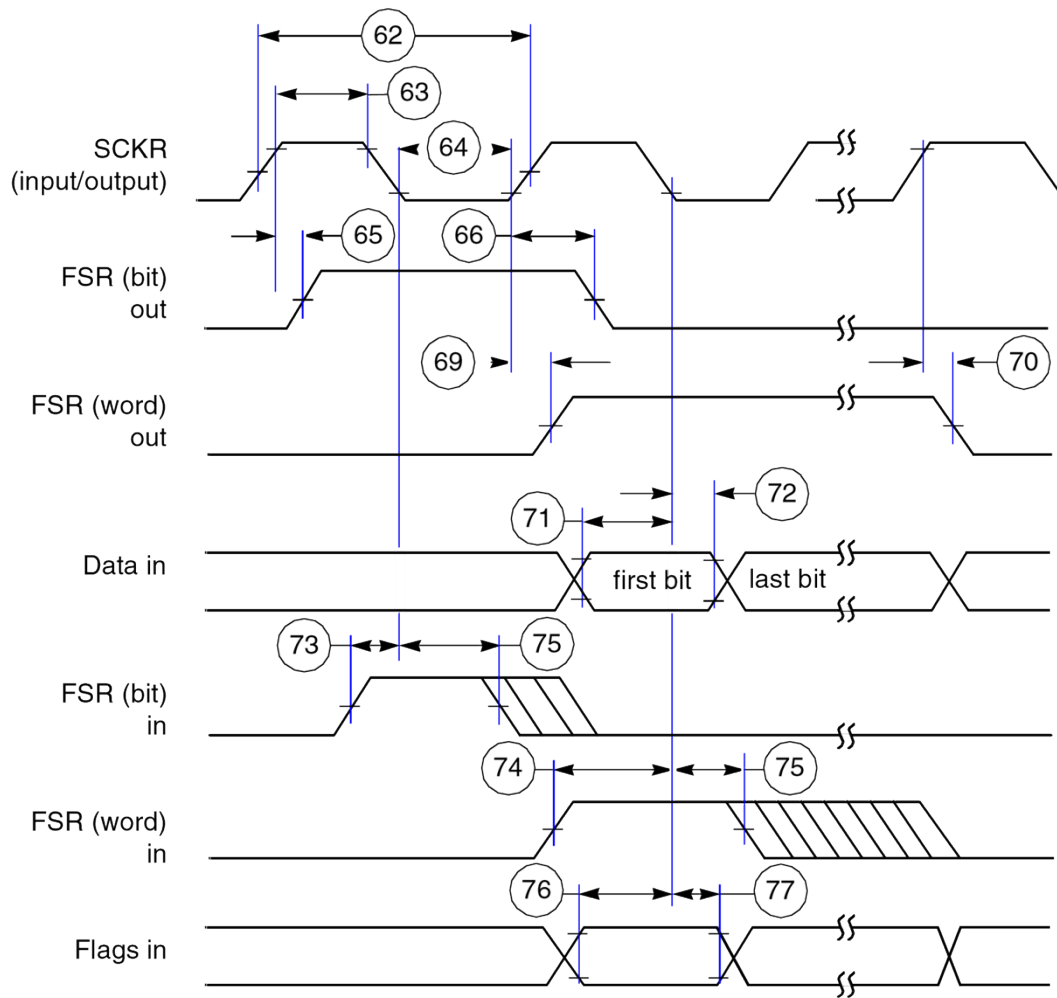


Figure 51. ESAI Receive Timing Diagram

图 52 显示 ESAI HCKT 定时图。

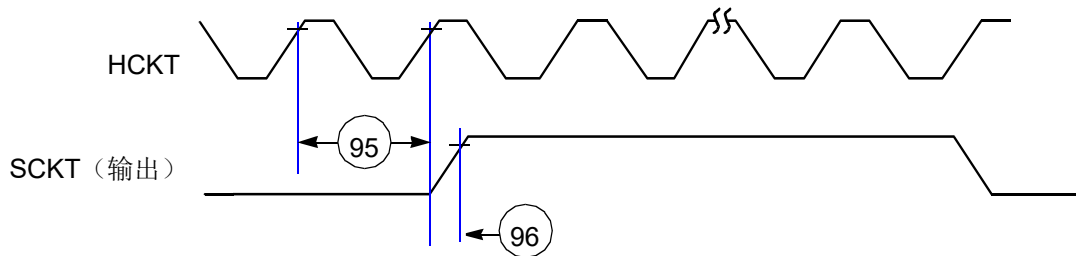


图 52. ESAI HCKT 计时

图 53 显示 ESAI HCKR 定时图。

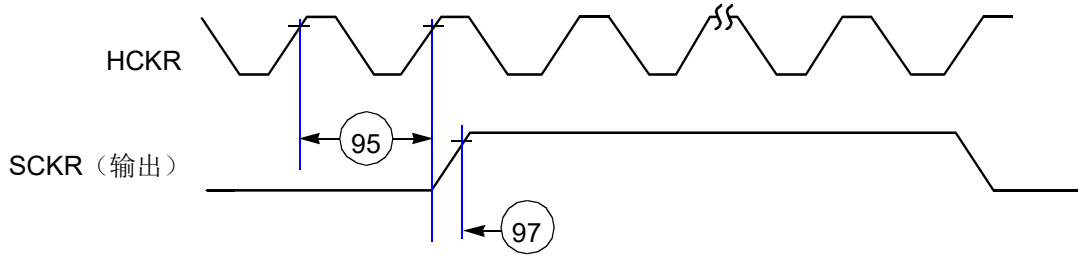


图 53. ESAI HCKR 计时

表 60 描述 ESAI 模块的一般时间要求。表 58 和表 59 分别描述中引用的条件和信号表 60。

表 58. ESAI 计时条件

标志	意义	评论
我 ck	内部时钟	在 i.MX25 中，内部时钟频率等于 IP 总线频率（133 兆赫）
X ck	外部时钟	外部时钟可能来自 CRM 模块或其他外部时钟源
我 ck a	内部时钟，异步模式	在异步模式下，SCKT 和 SCKR 是不同的时钟
我 ck s	内部时钟，同步模式	在同步模式下，SCKT 和 SCKR 是同一个时钟

表 59. ESAI 信号

信号名称	意义
SCKT	传输时钟
SCKR	接收时钟
FST	传输帧同步
HCKT	传输高频时钟
HCKR	接收高频时钟

表 60. ESAI 一般时间要求

不。	特点 <sup>1 2</sup>	标志	表达 <sup>3</sup>	分钟。	最大。	状况	单位
62	时钟周期 <sup>4</sup>	字母 Tssicc	4 × 字母 T 字母 C 4 × 字母 T 字母 C	30.0 30.0	— —	我 ck 我 ck	Ns
63	时钟高周期 对于内部时钟	— —	— 2 × 字母 T 字母 C- 9.0	— 6	— —	—	Ns

	对于外部时钟	—	2 × 字母 T 字母 C	15	—	—	
64	时钟低周期 对于内部时钟	—	2 × 字母 T 字母 C - 9.0	6	—	—	Ns
	对于外部时钟	—	2 × 字母 T 字母 C	15	—	—	

表 60. ESAI 一般时间要求 (续)

不。	特点 <sup>1 2</sup>	标志	表达 <sup>3</sup>	分钟。	最大。	状况	单位
65	SCKR 上升边缘到 FSR 出 (bl) 高	—	—	— —	17.0 7.0	X ck i ck a	Ns
66	SCKR 上升边缘到 FSR 出 (bl) 低	—	—	— —	17.0 7.0	X ck i ck a	Ns
67	SCKR 上升边缘到 FSR 出 (wr) 高 <sup>5</sup>	—	—	— —	19.0 9.0	X ck i ck a	Ns
68	SCKR 上升边缘到 FSR 出 (wr) 低 <sup>5</sup>	—	—	— —	19.0 9.0	X ck i ck a	Ns
69	SCKR 上升边缘到 FSR 出 (wl) 高	—	—	— —	16.0 6.0	X ck i ck a	Ns
70	SCKR 上升边缘到 FSR 出 (wl) 低	—	—	— —	17.0 7.0	X ck i ck a	Ns
71	SCKR (同步模式下的 SCK) 下降边缘之前 设置时间的数据	—	—	12.0 19.0	— —	X ck 我 ck	Ns
72	SCKR 下降边缘后保持时间的数据	—	—	3.5 9.0	— —	X ck 我 ck	Ns
73	FSR 输入 (bl, wr) 在 SCKR 下降边缘之前 很高 <sup>5</sup>	—	—	2.0 12.0	— —	X ck i ck a	Ns
74	FSR 输入 (wl) 在 SCKR 下降边缘之前高	—	—	2.0 12.0	— —	X ck i ck a	Ns
75	SCKR 下降边缘后的 FSR 输入保持时间	—	—	2.5 8.5	— —	X ck i ck a	Ns
76	SCKR 下降边缘之前的标志输入设置	—	—	0.0 19.0	— —	X ck i ck s	Ns
77	SCKR 下降边缘后的旗帜输入保持时间	—	—	6.0 0.0	— —	X ck i ck s	Ns

78	SCKT 上升边缘到 FST 出 (bl) 高	—	—	— —	18.0 8.0	X ck 我 ck	Ns
79	SCKT 上升边缘到 FST 出 (bl) 低	—	—	— —	20.0 10.0	X ck 我 ck	Ns
80	SCKT 上升边缘到 FST 出 (wr) 高 <sup>5</sup>	—	—	— —	20.0 10.0	X ck 我 ck	Ns
81	SCKT 上升边缘到 FST 出 (wr) 低 <sup>5</sup>	—	—	— —	22.0 12.0	X ck 我 ck	Ns
82	SCKT 上升边缘到 FST 出 (wl) 高	—	—	— —	19.0 9.0	X ck 我 ck	Ns
83	SCKT 上升边缘到 FST out (wl) 低	—	—	— —	20.0 10.0	X ck 我 ck	Ns
84	SCKT 从高阻抗提升边缘到数据外出	—	—	— —	22.0 17.0	X ck 我 ck	Ns
85	SCKT 上升边缘到发射器#0 驱动器启用断言	—	—	— —	17.0 11.0	X ck 我 ck	Ns

表 60. ESAI 一般时间要求 (续)

不。	特点 <sup>1 2</sup>	标志	表达 <sup>3</sup>	分钟。	最大。	状况	单位
86	SCKT 上升边缘到数据有效	—	—	— —	18.0 13.0	X ck 我 ck	Ns
87	SCKT 上升边缘到数据出高阻抗 <sup>6</sup>	—	—	— —	21.0 16.0	X ck 我 ck	Ns
88	SCKT 上升边缘到发射器#0 驱动器启用否定 <sup>6</sup>	—	—	— —	14.0 9.0	X ck 我 ck	Ns
89	SCKT 下降边缘之前的 FST 输入 (bl, wr) 设置时间 <sup>5</sup>	—	—	2.0 18.0	— —	X ck 我 ck	Ns
90	SCKT 下降边缘之前的 FST 输入 (wl) 设置时间	—	—	2.0 18.0	— —	X ck 我 ck	Ns
91	SCKT 下降边缘后的 FST 输入保持时间	—	—	4.0 5.0	— —	X ck 我 ck	Ns
92	FST 输入 (wl) 从高阻抗到数据输出	—	—	—	21.0	—	Ns
93	FST 输入 (wl) 到发射器#0 驱动器启用断言	—	—	—	14.0	—	Ns
94	标志输出在 SCKT 上升边缘后有效	—	—	— —	14.0 9.0	X ck 我 ck	Ns
95	HCKR/HCKT 时钟周期	—	2 x T <sub>字母 C</sub>	15	—	—	Ns
96	HCKT 输入上升边缘到 SCKT 输出	—	—	—	18.0	—	Ns

97	HCKR 输入上升边缘到 SCKR 输出	—	—	—	18.0	—	Ns
----	----------------------	---	---	---	------	---	----

<sup>1</sup> V<sub>核心\_VDD</sub> = 1.00 ± 0.10 V; T<sub>第十个英文字母 J</sub> = -40°C 至 125°C, C<sub>字母 i</sub> = 50 pF

<sup>2</sup> 在“特征”列中, bl = 位长度, wl = 字长, wr = 字长相对<sup>3</sup>在“表达”一栏中, T<sub>字母 c</sub> = 7.5 ns。

<sup>4</sup> 对于内部时钟, 外部时钟周期由 lcy<sub>c</sub> 和 ESAI 控制寄存器定义。

<sup>5</sup> 相对于时钟的词相对帧同步信号波形以与位长帧同步信号波形相同的方式运行, 但从第一个位时钟之前的一个串行时钟开始传播 (与位长帧同步信号相同), u 直到框架中第一个单词的倒数第二个位时钟。

<sup>6</sup> 定期取样, 而不是 100%测试。

### 3.7.8 增强的安全数字主机控制器 (eSDHCv2) 定时

图 54 显示 eSDHCv2 时序, 以及表 61 描述图中使用的时序参数 (SD1-SD8)。以下定义适用于中描述的值和信号表 61 冒号:

- LS: 低速模式。低速卡可以承受高达 400 kHz 的时钟
- FS: 全速模式。全速 MMC 卡时钟可以达到 20 MHz; 全速 SD/SDIO 卡时钟可以达到 25 MHz
- HS: 高速模式。高速 MMC 卡的时钟可以达到 52 MHz; SD/SDIO 卡时钟可以达到 50 MHz

从 eSDHCv2 到卡的输出

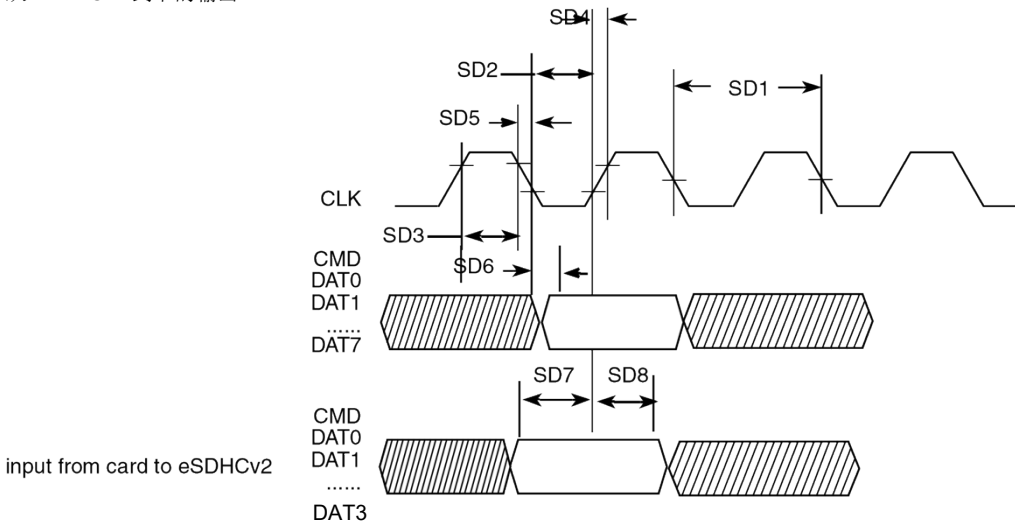


图 54. eSDHCv2 时间

表 61.eSDHCv2 接口计时规范

身份证	参数	符号	分钟。	最大。	单位
卡输入时钟					

SD1	时钟频率（低速）	第六个罗马字母代表 <sup>1</sup>	0	400	千赫
	时钟频率（SD/SDIO 全速/高速）	第六个罗马字母代表 <sup>2</sup>	0	25/50	兆赫
	时钟频率（MMC 全速/高速）	第六个罗马字母代表 <sup>3</sup>	0	20/52	兆赫
	时钟频率（识别模式）	第六个罗马字母眼科学博士	100	400	千赫
SD2	时钟低时间	字母 TWL	6.5	—	Ns
SD3	时钟高时间	字母 TWH	6.5	—	Ns
SD4	时钟上升时间	字母 $T_{TLH}$	—	3	Ns
SD5	时钟下降时间	字母 $T_{THL}$	—	3	Ns
<b>eSDHC 输出/卡输入 CMD, DAT (参考 CLK)</b>					
SD6	eSDHC 输出延迟	字母 T 眼科学博士	-3	3	Ns
<b>eSDHC 输入/卡输出 CMD, DAT (参考 CLK)</b>					
SD7	eSDHC 输入设置时间	字母 T <sub>ISU</sub>	2.5	—	Ns
SD8	eSDHC 输入保留时间	字母 T <sub>IH</sub> <sup>4</sup>	2.5	—	Ns

### 3.7.9 快速以太网控制器（FEC）定时

FEC 旨在支持符合 IEEE 802.3 标准的 10Mbps 和 100Mbps 以太网网络。需要外部收发器接口和收发器功能来完成媒体的接口。FEC 支持 10/100 Mbps MII（共 18 个引脚），10/100 Mbps RMII（十个引脚，包括串行管理接口）和仅 10Mbps 的 7 线接口（使用 7 个 MII 引脚），用于连接到外部以太网收发器。所有信号都与收发信号兼容，在 3.3V 的电压下运行。

以下小节描述了 MII 和 RMII 模式的时间。

#### 3.7.9.1 FEC MII 模式计时

以下小节描述了 MII 接收、传输、异步输入和串行管理信号定时。

<sup>1</sup> In low-speed mode, card clock must be lower than 400 kHz, voltage ranges from 2.7 to 3.6 V.

<sup>2</sup> In normal-speed mode for SD/SDIO card, clock frequency can be any value between 0 ~ 25 MHz. In high speed mode, clock frequency can be any value between 0 ~ 50 MHz.

<sup>3</sup> In normal-speed mode for MMC card, clock frequency can be any value between 0 ~ 20 MHz. In high speed mode, clock frequency can be any value between 0 ~ 52 MHz.

<sup>4</sup> To satisfy hold timing, the delay difference between clock input and cmd/data input must not exceed 2 ns.

### 3.7.9.1.4 MII 接收信号定时 (FEC\_RXD[3:0]、FEC\_RX\_DV、FEC\_RX\_ER 和 FEC\_RX\_CLK)

接收器正常工作，最高可达 25 MHz + 1% 的 FEC\_RX\_CLK 最大频率。没有最低频率要求。此外，处理器时钟频率必须超过 FEC\_RX\_CLK 频率的两倍。

图 55 显示 MII 接收信号计时。表 62 描述图中所示的时序参数 (M1-M4)。

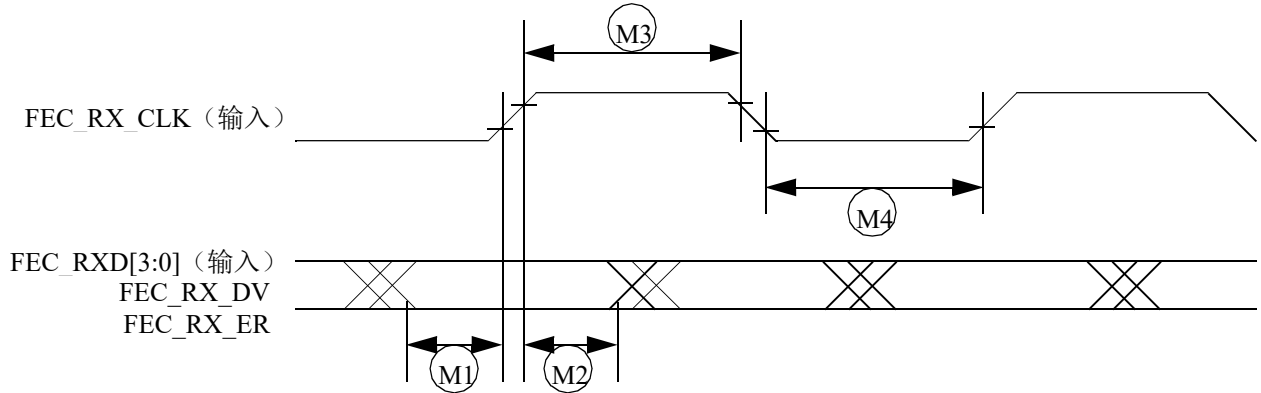


图 55. MII 接收信号定时图

表 62. MII 接收信号定时

身份证	特征 <sup>1</sup>	分钟。	最大。	单位
M1	FEC_RXD[3:0], FEC_RX_DV, FEC_RX_ER 到 FEC_RX_CLK 设置	5	—	Ns
M2	FEC_RX_CLK 到 FEC_RXD[3:0], FEC_RX_DV, FEC_RX_ER 保留	5	—	Ns
M3	FEC_RX_CLK 脉冲宽度高	35%	65%	FEC_RX_CLK 期
M4	FEC_RX_CLK 脉冲宽度低	35%	65%	FEC_RX_CLK 期

### 3.7.9.1.5 MII 传输信号定时 (FEC\_TXD[3:0]、FEC\_TX\_EN、FEC\_TX\_ER 和 FEC\_TX\_CLK)

发射器正常工作，最高可达 25 MHz + 1% 的 FEC\_TX\_CLK 最大频率。没有最低频率要求。此外，处理器时钟频率必须超过 FEC\_TX\_CLK 频率的两倍。

图 56 显示 MII 传输信号定时。表 63 描述图中所示的定时参数 (M5-M8)。

<sup>1</sup> FEC\_RX\_DV, FEC\_RX\_CLK, and FEC\_RXD0 have the same timing in 10 Mbps 7-wire interface mode.

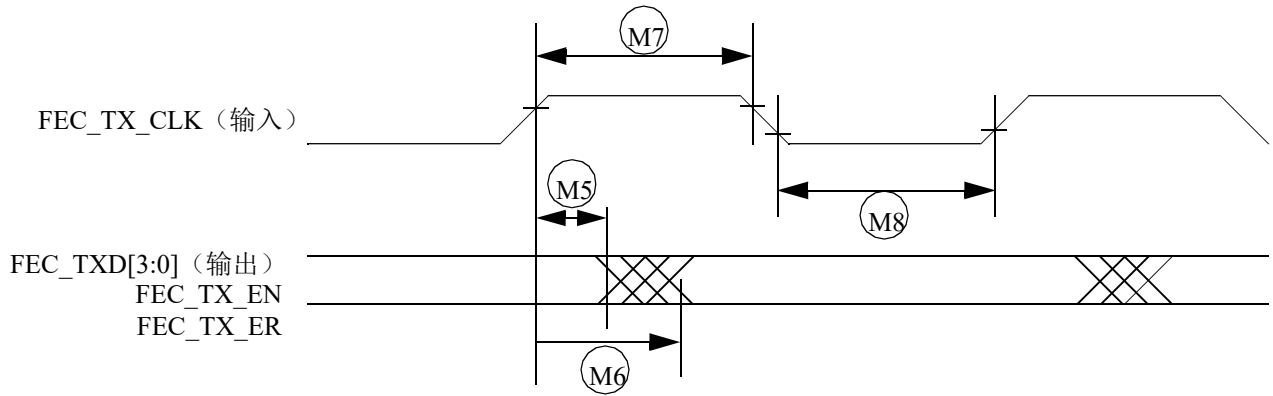


图 56. MII 传输信号定时图

表 63. MII 传输信号计时

身份证	特征 <sup>1</sup>	分钟。	最大。	单位
M5	FEC_TX_CLK 到 FEC_TXD[3:0], FEC_TX_EN, FEC_TX_ER 无效	5	—	Ns
M6	FEC_TX_CLK 到 FEC_TXD[3:0], FEC_TX_EN, FEC_TX_ER 有效	—	20	Ns
M7	FEC_TX_CLK 脉冲宽度高	35%	65%	FEC_TX_CLK 期
M8	FEC_TX_CLK 脉冲宽度低	35%	65%	FEC_TX_CLK 期

<sup>1</sup>FEC\_TX\_EN、FEC\_TX\_CLK 和 FEC\_TXD0 在 10Mbps 7 线接口模式下具有相同的时序。

### 3.7.9.1.6 MII 异步输入信号定时 (FEC\_CRS 和 FEC\_COL)

图 57 显示 MII 异步输入时序。表 64 描述图中所示的时序参数 (M9)。

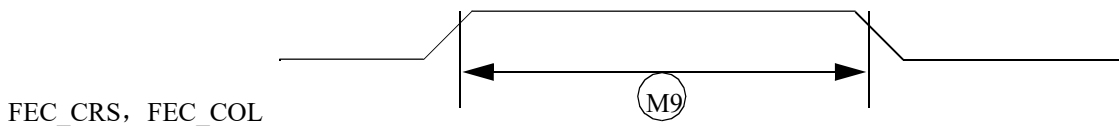


图 57. MII 异步输入定时图

表 64. MII 异步输入信号定时

身份证	特征	分钟。	最大。	单位
M9 <sup>1</sup>	FEC_CRS 到 FEC_COL 最小脉冲宽度	1.5	—	FEC_TX_CLK 期

<sup>1</sup>FEC\_COL 在 10Mbit 7 线接口模式下具有相同的时序。

### 3.7.9.2 MII 串行管理通道定时 (FEC\_MDIO 和 FEC\_MDC)

MDC 频率设计为等于或小于 2.5 MHz，以符合 IEEE 802.3 标准 MII 规范。然而，在最大 MDC 频率为 15 MHz 的情况下，FEC 可以正常工作。

图 58 显示 MII 异步输入时序。表 65 描述图中显示的时序参数 (M10-M15)。

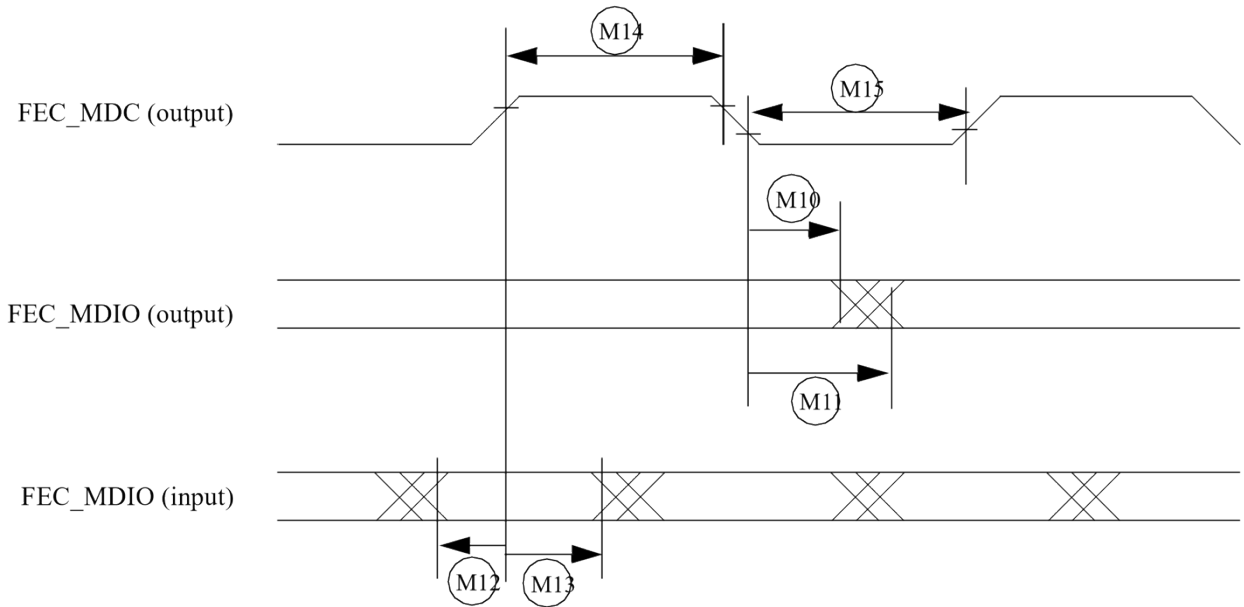


图 58. MII 串行管理通道定时图

表 65. MII 串行管理通道计时

身份证	特征	分钟。	最大。	单位
M10	FEC_MDC 下降边缘到 FEC_MDIO 输出无效 (分钟。传播延迟)	0	—	Ns
M11	FEC_MDC 下降边缘到 FEC_MDIO 输出有效 (最大。传播延迟)	—	5	Ns
M12	FEC_MDIO (输入) 到 FEC_MDC 上升边缘设置	18	—	Ns
M13	FEC_MDIO (输入) 到 FEC_MDC 上升边缘保持	0	—	Ns
M14	FEC_MDC 脉冲宽度高	40%	60%	FEC_MDC 期
M15	FEC_MDC 脉冲宽度低	40%	60%	FEC_MDC 期

### 3.7.9.3 RMII 模式计时

在 RMII 模式下，FEC\_TX\_CLK 用作 REF\_CLK，这是一个  $50 \text{ MHz} \pm 50 \text{ ppm}$  的连续参考时钟。FEC\_RX\_DV 在 RMII 中用作 CRS\_DV。RMII 模式下的其他信号包括 FEC\_TX\_EN、FEC\_TXD[1:0]、FEC\_RXD[1:0] 和 FEC\_RX\_ER。

图 59 显示 RMII 模式计时。表 66 描述图中所示的定时参数 (M16-M21)。

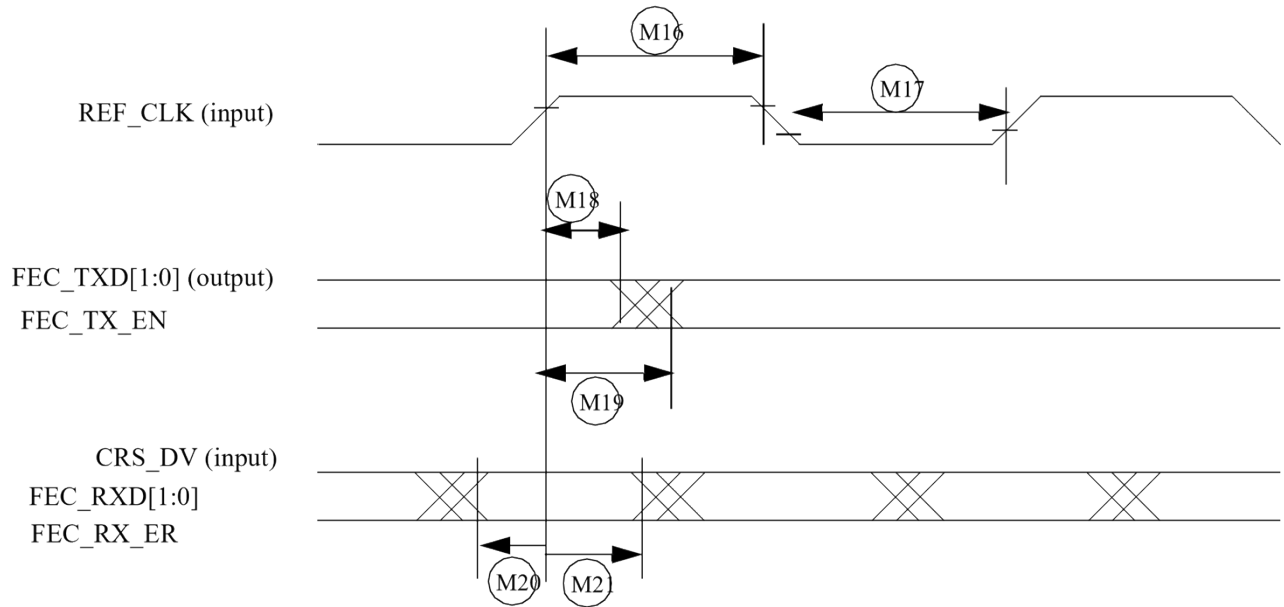


图 59. RMII 模式信号定时图

表 66. RMII 信号定时

身份证	特征	分钟。	最大。	单位
M16	REF_CLK (FEC_TX_CLK) 脉冲宽度高	35%	65%	REF_CLK 期
M17	REF_CLK (FEC_TX_CLK) 脉冲宽度低	35%	65%	REF_CLK 期
M18	REF_CLK 到 FEC_TXD[1:0], FEC_TX_EN 无效	3	—	Ns
M19	REF_CLK 到 FEC_TXD[1:0], FEC_TX_EN 有效	—	12	Ns
M20	FEC_RXD[1:0], CRS_DV (FEC_RX_DV), FEC_RX_ER 到 REF_CLK 设置	2	—	Ns
M21	REF_CLK 到 FEC_RXD[1:0], FEC_RX_DV, FEC_RX_ER 保持	2	—	Ns

### 3.7.10 控制器区域网络 (FlexCAN) 收发器参数和定时

表 67 和表 68 显示 FlexCAN 收发器 Tx 和 Rx 引脚的电压要求。

表 67. Tx 引脚特性

参数	标志	分钟。	类型。	最大。	单位
高电平输出电压	V <sub>OH</sub>	2	—	V <sub>CC</sub> <sup>1</sup> + 0.3	V
低电平输出电压	V <sub>OL</sub>	—	0.8	—	V

<sup>1</sup>V<sub>CC</sub> = +3.3 V ± 5%

表 68. Rx 引脚特性

参数	标志	分钟。	类型。	最大。	单位
----	----	-----	-----	-----	----

高电平输入电压	$V_{IH}$	$0.8 \times V_{CC}^1$	—	$V_{CC}^1$	V
低电平输入电压	V 伊利诺伊州	—	0.4	—	V

<sup>1</sup> $V_{CC} = +3.3 \text{ V} \pm 5\%$

图 60 穿过图 63 显示 FlexCAN 定时，包括待机和关机信号的定时。

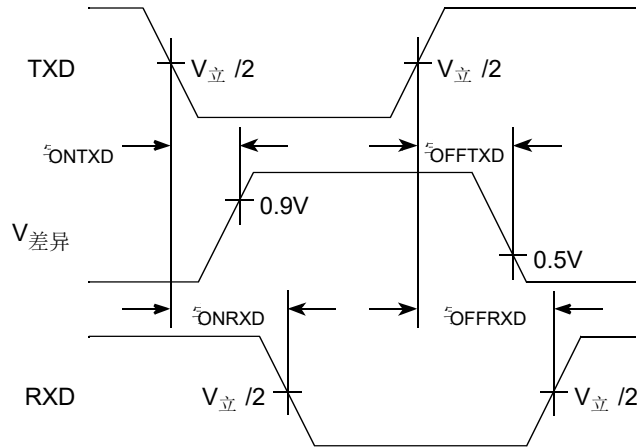


图 60. FlexCAN 定时图

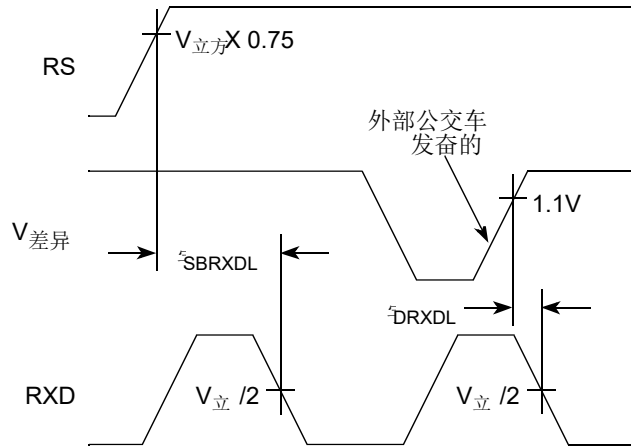


图 61. FlexCAN 待机信号的定时图

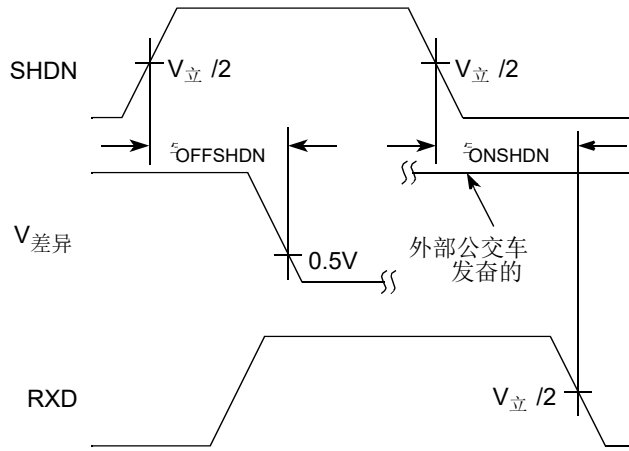


图 62. FlexCAN 关机信号的时序图

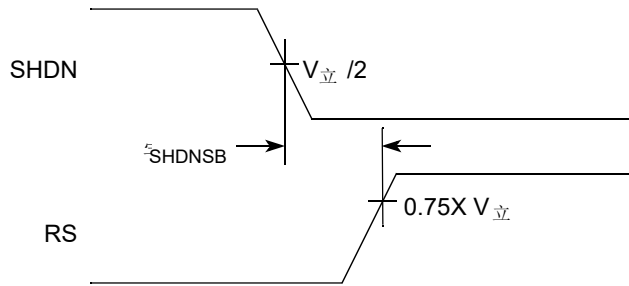


图 63. FlexCAN 关机到待机信号的定时图

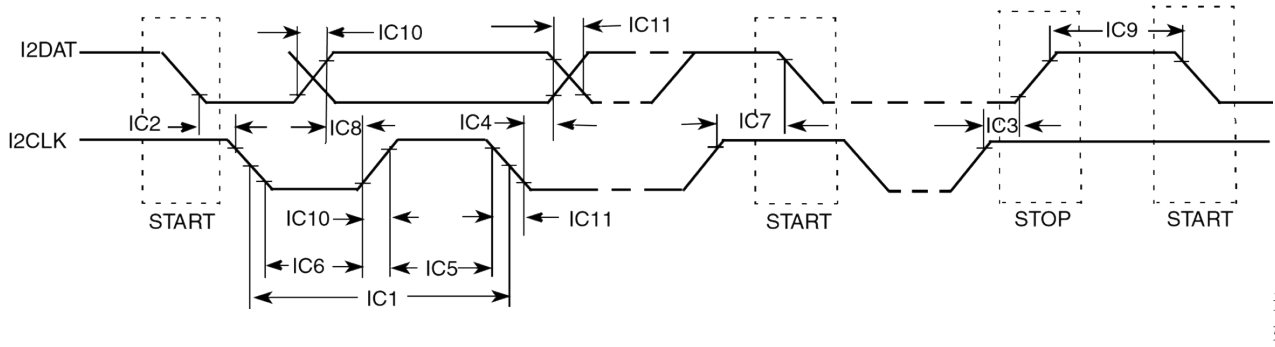
由于整数倍数是不可能的，考虑到 SoC 必须运行的频率范围，DPLL 仅在 FOL 模式下工作。

### 3.7.11 IC 间通信 (I<sup>2</sup>C) 时机

我 I<sup>2</sup>C 通信协议由以下七个要素组成：

- 开始
- 数据源/接收者
- 数据方向
- 奴隶承认
- 数据
- 数据确认
- 阻止

图 64 显示 I<sup>2</sup>C 的 I 的 I<sup>2</sup>C 模块。表 69 和表 70 描述 I<sup>2</sup>C 模块定时参数 (IC1-IC6) 如图所示。



开始

图 64。我<sup>2</sup>C 模块定时图

表 69。I2C 模块定时参数：3.0 V +/-0.30 V

身份证	参数	标准模式		快速模式		单位
		分钟。	最大。	分钟。	最大。	
IC1	I2CLK 循环时间	10	—	2.5	—	M 罗马字母的第十九个
IC2	保留时间（重复）开始条件	4.0	—	0.6	—	M 罗马字母的第十九个
IC3	STOP 条件的设置时间	4.0	—	0.6	—	M 罗马字母的第十九个
IC4	数据保留时间	01	3.45 <sup>2</sup>	01	0.9 <sup>2</sup>	M 罗马字母的第十九个
IC5	I2CLK 时钟的高周期	4.0	—	0.6	—	M 罗马字母的第十九个
IC6	I2CLK 时钟的低周期	4.7	—	1.3	—	M 罗马字母的第十九个

IC7	重复 START 条件的设置时间	4.7	—	0.6	—	M 罗马字母的第十九个
IC8	数据设置时间	250	—	100 <sup>3</sup>	—	Ns
IC9	STOP 和 START 条件之间的巴士空闲时间	4.7	—	1.3	—	M 罗马字母的第十九个
IC10	I2DAT 和 I2CLK 信号的上升时间	—	1000	20+0.1C 字母 b <sup>4</sup>	300	Ns
IC11	I2DAT 和 I2CLK 信号的下降时间	—	300	20+0.1C 字母 b <sup>4</sup>	300	Ns
IC12	每条总线的电容负载 (C 字母 b)	—	400	—	400	pF

- <sup>1</sup> 设备内部必须为 I2DAT 信号提供至少 300 ns 的保持时间，以桥接 I2CLK 下降边缘的未定义区域。
- <sup>2</sup> 只有当设备没有延长 I2CLK 信号的低周期（ID no IC5）时，才需要满足最大保持时间
- <sup>3</sup> 快速模式 I2C 总线设备可以在标准模式 I2C 总线系统中使用，但必须满足 250 ns 的设置时间（ID No IC7）要求。如果设备没有延长 I2CLK 信号的低周期，则自动出现这种情况。
- 如果此类设备确实延长了 I2CLK 信号的 LOW 周期，它必须在 I2CLK 线发布之前将下一个数据位输出到 I2DAT 行  
 $\text{max\_rise\_time (ID No IC9)} + \text{data\_setup\_time (ID No IC7)} = 1000 + 250 = 1250 \text{ ns}$ （根据标准模式 I2C 总线规范）。
- <sup>4</sup> 字母 C 字母 b=一条公交线路的总电容（以 pF 为单位）。

**表 70。I2C 模块正时参数：1.8 V +/- 0.10 V**

身份证	参数	标准模式		单位
		分钟。	最大。	
IC1	I2CLK 循环时间	10	—	M 罗马字母的第十九个
IC2	保留时间（重复）开始条件	4.0	—	M 罗马字母的第十九个
IC3	STOP 条件的设置时间	4.0	—	M 罗马字母的第十九个
IC4	数据保留时间	01	3.45 <sup>2</sup>	M 罗马字母的第十九个
IC5	I2CLK 时钟的高周期	4.0	—	M 罗马字母的第十九个
IC6	I2CLK 时钟的低周期	4.7	—	M 罗马字母的第十九个
IC7	重复 START 条件的设置时间	4.7	—	M 罗马字母的第十九个
IC8	数据设置时间	250	—	Ns

- <sup>1</sup> A device must internally provide a hold time of at least 300 ns for I2DAT signal in order to bridge the undefined region of the falling edge of I2CLK.
- <sup>2</sup> The maximum hold time has only to be met if the device does not stretch the LOW period (ID no IC5) of the I2CLK signal

IC9	STOP 和 START 条件之间的巴士空闲时间	4.7	—	M 罗马字母的第十九个
IC10	I2DAT 和 I2CLK 信号的上升时间	—	1000	Ns
IC11	I2DAT 和 I2CLK 信号的下降时间	—	300	Ns
IC12	每条总线的电容负载 (C 字母 b)	—	400	pF

### 3.7.12 液晶显示控制器 (LCDC) 定时

图 65 和图 66 分别非 TFT 和 TFT 模式下显示 LCDC 定时，以及表 71 和表 72 列出相关数字中使用的计时参数。

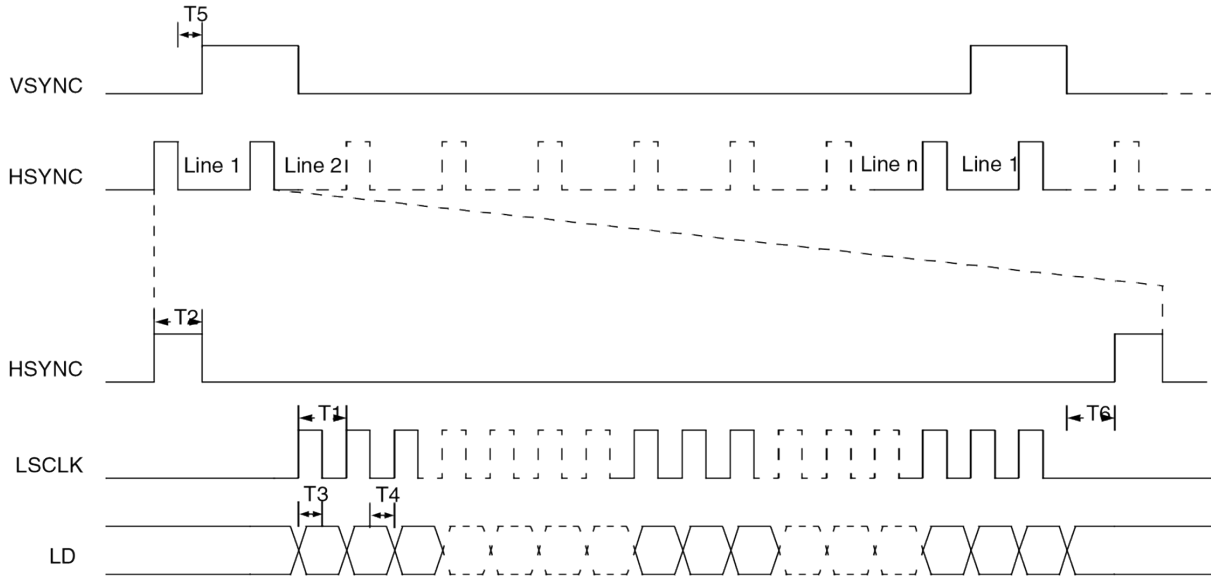


图 65. LCDC 非 TFT 模式定时图

表 71. LCDC 非 TFT 模式定时参数

身份证	描述	分钟。	最大。	单位
T1	像素时钟周期	22.5	1000	Ns
T2	HSYNC 宽度	1	—	字母 T <sup>3</sup>
T3	LD 设置时间	5	—	Ns
T4	LD 等待时间	5	—	Ns
T5	在 HSYNC 和 VSYNC 上升边缘之间等待	2	—	字母 T <sub>1</sub>
T6	在最后数据和 HSYNC 上升边缘之间等待	1	—	字母 T <sub>1</sub>

<sup>3</sup> T is pixel clock period

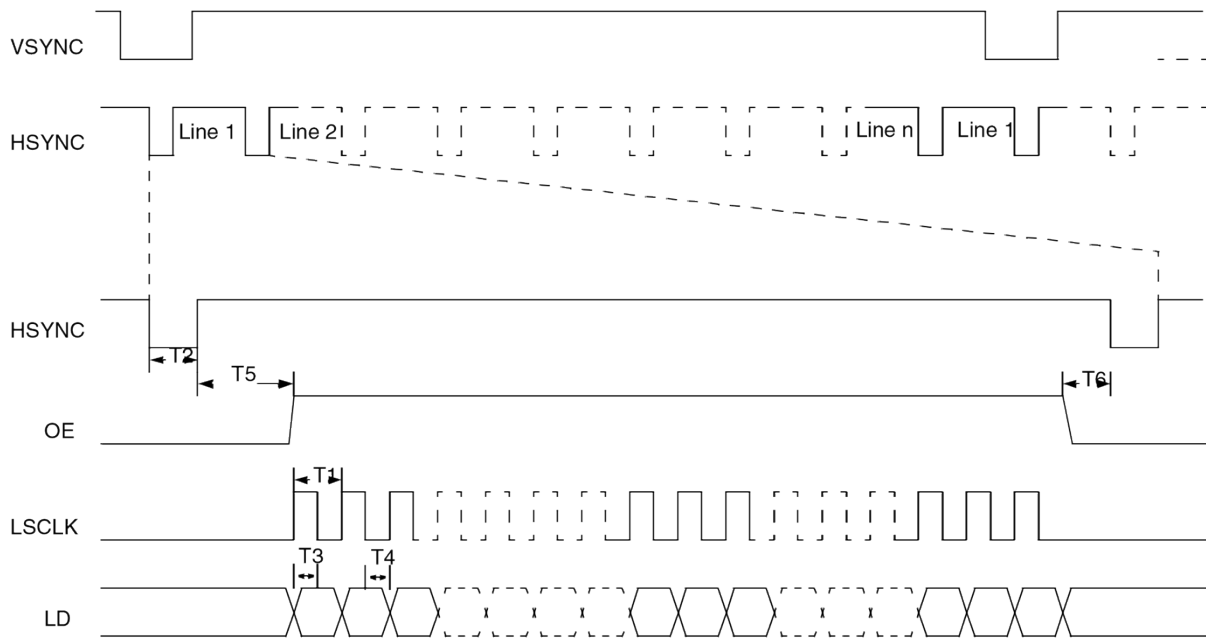


图 66。LCDC TFT 模式定时图

表 72。LCDC TFT 模式定时参数

身份证	描述	分钟。	妈	单位
T1	像素时钟周期	22.5	1000	Ns
T2	HSYNC 宽度	1	—	字母 T1
T3	LD 设置时间	5	—	Ns
T4	LD 等待时间	5	—	Ns
T5	从 HSYNC 结束到 OE 脉冲开始的延迟	3	—	字母 T1
T6	从 OE 结束到 HSYNC 脉冲开始的延迟	1	—	字母 T1

<sup>1</sup>T 是像素时钟周期

### 3.7.13 脉冲宽度调制器 (PWM) 定时参数

图 67 描绘了 PWM 的时序，以及表 73 列出 PWM 定时特性。

PWM 可以编程为从三个时钟信号中选择一个作为其源频率。选定的时钟信号在输入计数器之前通过预缩放器。输出在脉冲宽度调制器输出 (PWMO) 外部引脚处可用。

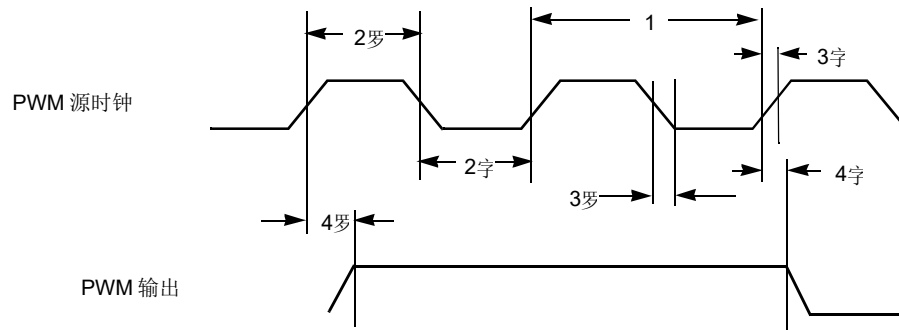


图 67. PWM 计时

表 73. PWM 输出定时参数

参考编号	参数	最小值	最大程度	单位
1	系统 CLK 频率 <sup>1</sup>	0	lpg_clk	兆赫
2a	时钟高时间	12.29	—	Ns
2b	时钟低时间	9.91	—	Ns
3a	时钟下降时间	—	0.5	Ns
3b	时钟上升时间	—	0.5	Ns
4a	输出延迟时间	—	9.37	Ns
4b	输出设置时间	8.71	—	Ns

<sup>1</sup>PWMO 的 CL = 30 pF

### 3.7.14 订阅者身份模块 (SIM) 计时

每个 SIM 模块接口总共由 12 个引脚组成 (两个独立的端口, 每个端口包含六个信号)。通常, 一个端口使用五个信号。

该接口旨在与同步 SIM 卡一起使用, 这意味着 SIM 模块提供 SIM 卡使用的时钟。时钟频率通常是 Tx/Rx 数据速率的 372 倍; 然而, SIM 模块也可以使用 16 倍于 Tx/Rx 数据速率的 CLK 频率。时钟和数据之间没有时间关系。SIM 卡使用 SIM 模块提供给 SIM 卡的时钟, 以与标准 UART 数据交换相同的方式从数据中恢复时钟。所有六个信号 (五个用于 SIM 模块的双向 Tx/Rx) 是异步的。

在正常模式下, 信号之间没有所需的时序关系。SIM 卡由接口设备启动; SIM 卡响应重置。虽然 SIM 接口没有定义的要求, 但 ISO/IEC 7816 定义了重置和断电序列 (有关详细信息, 请参阅 ISO/IEC 7816)。

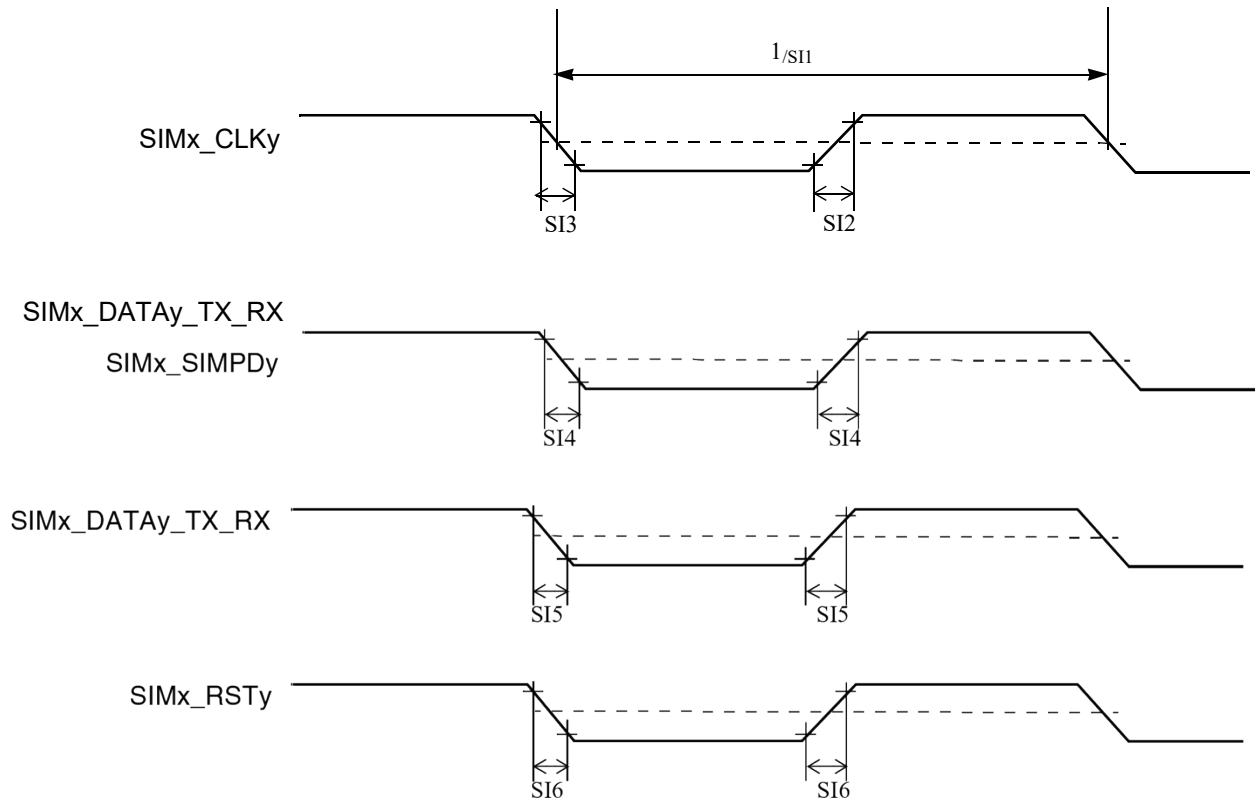


图 68. SIM 卡时钟计时图

表 74 定义了 SIM 接口的一般时序要求。

表 74. 定时规格，高驱动强度

身份证 <sup>4</sup>	参数	标志	分钟。	最大。	单位
SI1	SIM 时钟频率 (SIMx_CLKy) <sup>1</sup>	罗马字母的第十九个频率	0.01	25	兆赫
SI2	SIM 时钟上升时间 (SIMx_CLKy) <sup>2</sup>	罗马字母的第十九个增强	—	$0.09 \times (1/S_{\text{频率}})$	Ns
SI3	SIM 卡时钟下降时间 (SIMx_CLKy) <sup>5</sup>	罗马字母的第十九个秋天	—	$0.09 \times (1/S_{\text{频率}})$	Ns

<sup>4</sup> % duty cycle clock, <sup>2</sup>

With C = 50 pF

<sup>5</sup> With C = 50 pF

SI4	SIM 输入转换时间 (SIMx_DATAy_RX_TX, SIMx_SIMPDy)	罗马字母的第十九个变性的	10	25	Ns
SI5	SIM I/O 上升时间/下降时间 (SIMx_DATAy_RX_TX) <sup>6</sup>	Tr/Tf	—	1	M 罗马字母的第十九个
SI6	SIM RST 上升时间/下降时间 (SIMx_RSTy) <sup>7</sup>	Tr/Tf	—	1	M 罗马字母的第十九个

### 3.7.14.1 SIM 卡重置序列

SIM 卡可能有内部重置，或主动低重置。以下子集描述了这两种情况下的重置序列。

#### 3.7.14.1.1 带有内部重置的 SIM 卡

图 69 显示带有内部重置的 SIM 卡的重置顺序。重置序列包括以下步骤：

- 开机后，在 SIM 卡上启用时钟信号 *英语字母中的第二十四字母\_CLK* 第 25 个字母（时间 T0）
- 200 个时钟周期后，SIM 卡 *英语字母中的第二十四字母\_数据* 第 25 个字母必须断言 *\_RX\_TX*。
- 该卡必须在 SIM 卡上发送响应 *英语字母中的第二十四字母\_数据* 第 25 个字母 *\_RX\_TX* 在 T0 后确认 400-40000 时钟周期之间的重置。

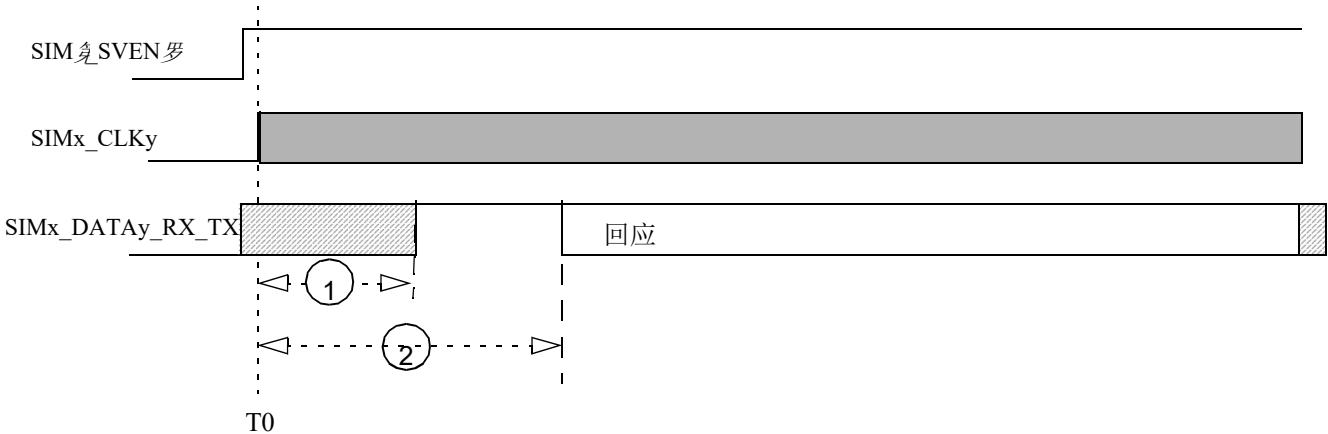


图 69。内部重置卡重置顺序

表 75 定义了 SIM 接口的一般时序要求。

表 75。时序规格，内部重置卡重置序列

<sup>6</sup> With Cin = 30 pF, Cout = 30 pF,

<sup>7</sup> With Cin = 30 pF,

参考编号	分钟。	最大。	单位
1	—	200	Clk 循环
2	400	40,000	Clk 循环

### 3.7.14.1.2 主动低重置的 SIM 卡

图 70 显示具有活动低重置的 SIM 卡的重置顺序。重置序列包括以下步骤：

- 开机后，在 SIM 卡上启用时钟信号 *英语字母中的第二十四字母\_CLK 第 25 个字母*（时间 T0）
- 200 个时钟周期后，SIM 卡 *英语字母中的第二十四字母\_数据 第 25 个字母* 必须断言 *\_RX\_TX*。
- SIM 卡 *英语字母中的第二十四字母\_RST 第 25 个字母* T0 后必须保持至少 40,000 个时钟周期的低（在这 40,000 个时钟周期内，RX 不会收到响应）
- SIM 卡 *英语字母中的第二十四字母\_RST 第 25 个字母* 断言（在时间 T1）
- SIM 卡 *英语字母中的第二十四字母\_RST 第 25 个字母* 在 T1 之后，必须保持至少 40,000 个时钟周期，并且必须在 SIM 卡上收到响应 *英语字母中的第二十四字母\_数据 第 25 个字母\_RX\_TX* 在 T1 后 400 到 40,000 个时钟周期之间。

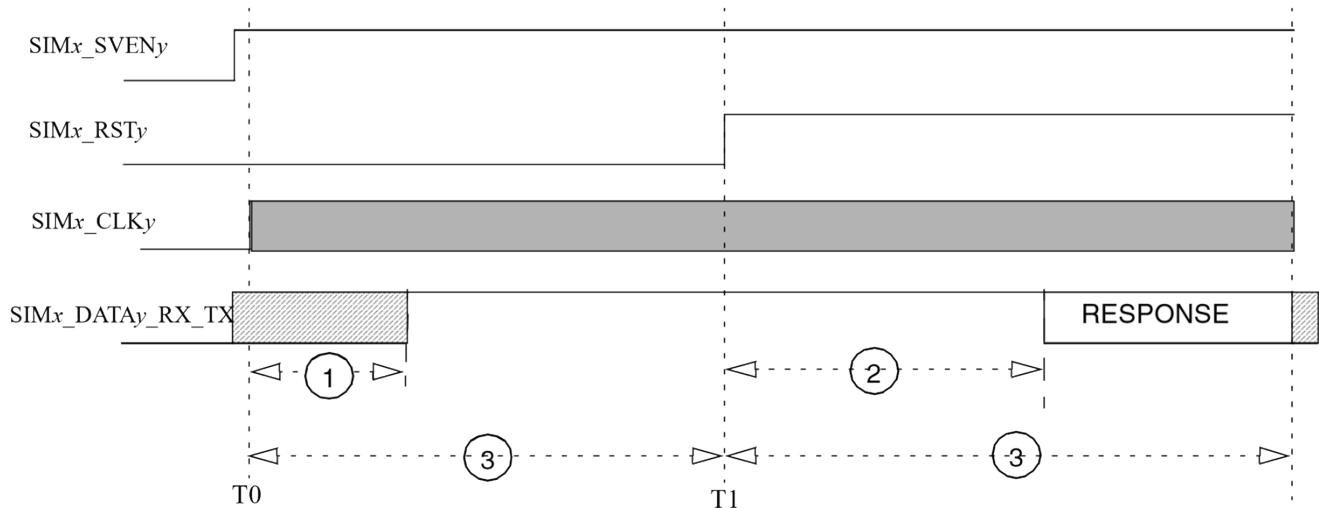


图 70。主动-低重置 SIM 卡重置序列

表 76 定义了 SIM 接口的一般时序要求。

表 76。计时规格，主动-低重置 SIM 卡重置序列

参考编号	分钟。	最大。	单位
1	—	200	Clk 循环
2	400	40,000	Clk 循环

3	40,000	—	Clk 循环
---	--------	---	--------

### 3.7.14.2 SIM 卡断电序列

图 71 显示 SIM 接口断电交流正时图。表 77 显示图中显示的参数 (SI7-SI10) 的时序要求。

SIM 接口的断电顺序如下：

- SIM 卡英语字母中的第二十四字母\_SIMPD 第 25 字母端口检测取出 SIM 卡
- SIM 卡英语字母中的第二十四字母\_RST 第 25 字母被否定了
- SIM 卡英语字母中的第二十四字母\_CLK 第 25 字母被否定了
- SIM 卡英语字母中的第二十四字母\_数据 第 25 字母\_RX\_TX 被否定
- SIM 卡英语字母中的第二十四字母\_SVEN 第 25 字母被否定了

上述每个步骤都需要一个 CKIL 周期 (通常为 32 kHz)。断电可能由 SIM 卡移除检测启动；也可能由处理器启动。

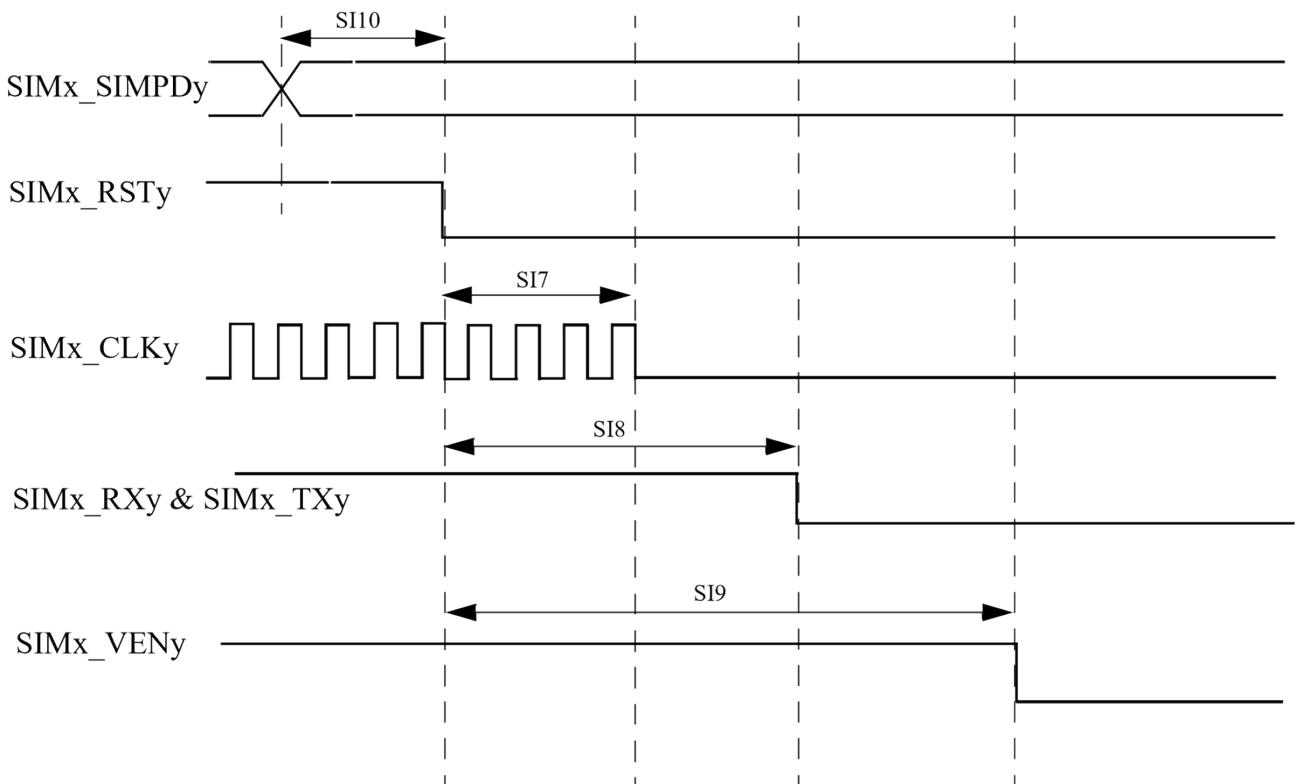


图 71。智能卡接口断电交流计时

表 77。断电序列的计时要求

身份证	参数	标志	分钟。	最大。	单位
SI7	SIM 卡重置为 SIM 卡时钟停止	罗马字母的第十九个 Rst2clk	$0.9 \times 1/Fckil$	$1.1 \times 1/Fckil$	Ns

SI8	SIM 重置为 SIM Tx 数据低	罗马字母的第十九个 Rst2dat	$1.8 \times 1/Fckil$	$2.2 \times 1/Fckil$	Ns
SI9	SIM 重置为 SIM 卡电压启用低	罗马字母的第十九个 Rst2ven	$2.7 \times 1/Fckil$	$3.3 \times 1/Fckil$	Ns
SI10	SIM 卡存在检测到 SIM 卡重置低	罗马字母的第十九个 Pd2rst	$0.9 \times 1/Fckil$	$1.1 \times 1/Fckil$	Ns

### 3.7.15 系统 JTAG 控制器 (SJC) 计时

图 72 穿过图 75 分别显示测试时钟输入、边界扫描、测试访问端口和

SJC 的 TRST 时间。表 78 描述图中所示的 SJC 定时参数 (SJ1-SJ13)。

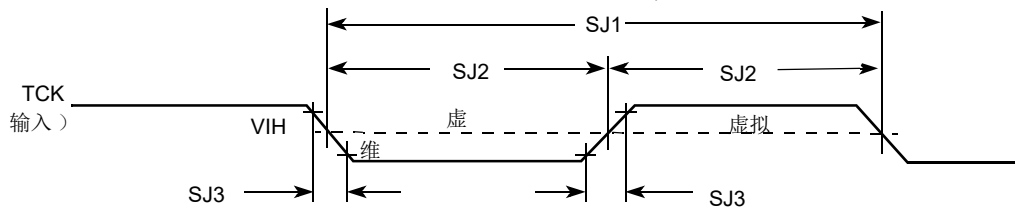
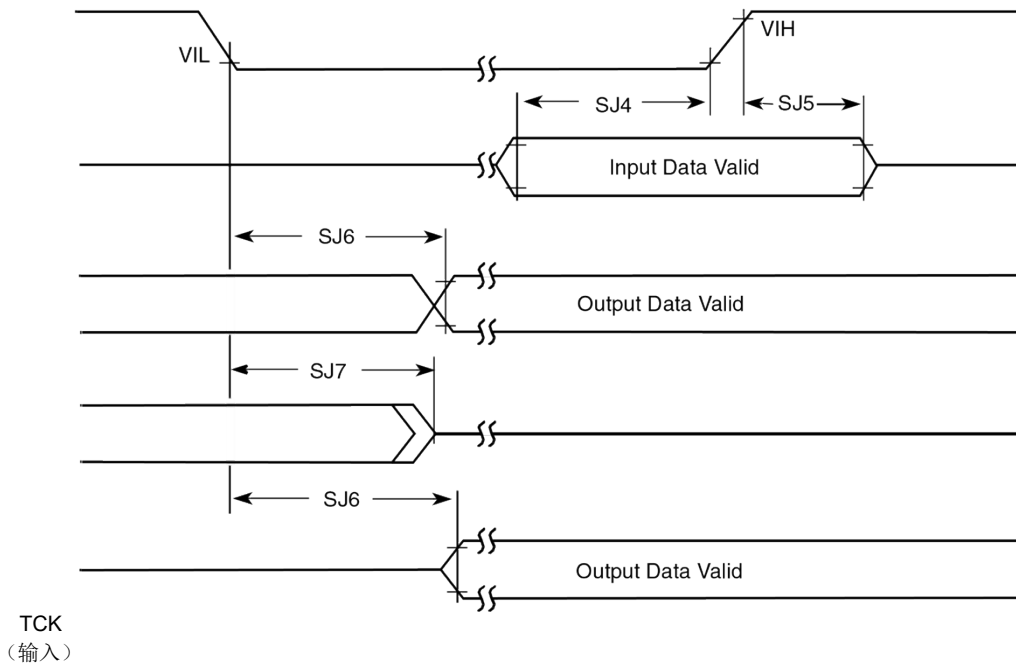


图 72. 测试时钟输入定时图



数据  
输入

数据  
输出

数据  
输出

数据  
输出

图 73. 边界扫描 (JTAG) 定时图

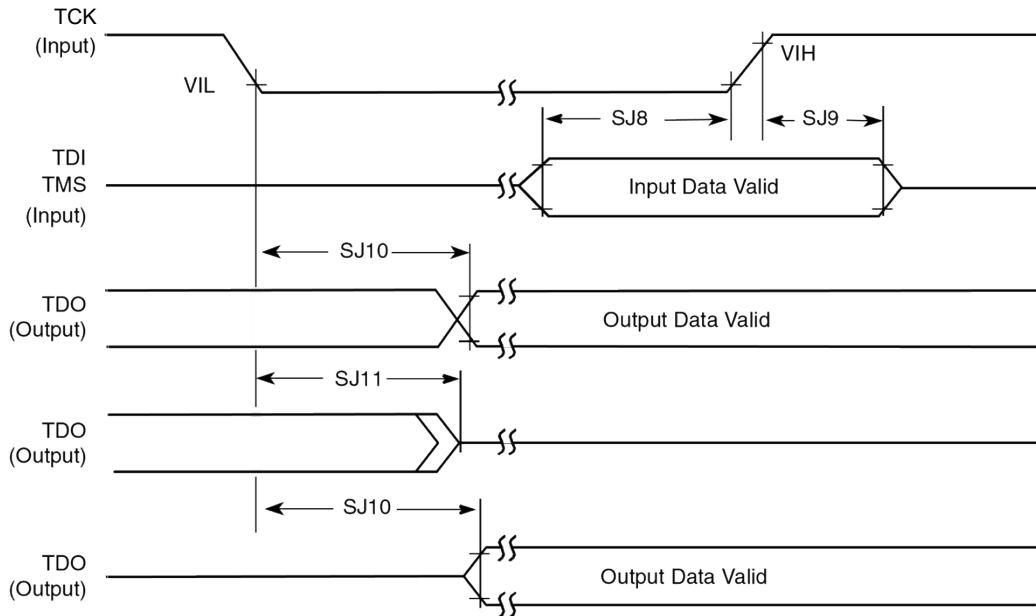


图 74. 测试访问端口定时图

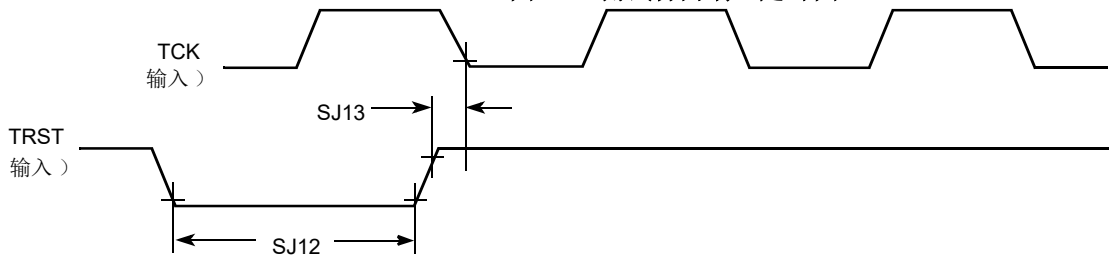


图 75. TRST 定时图

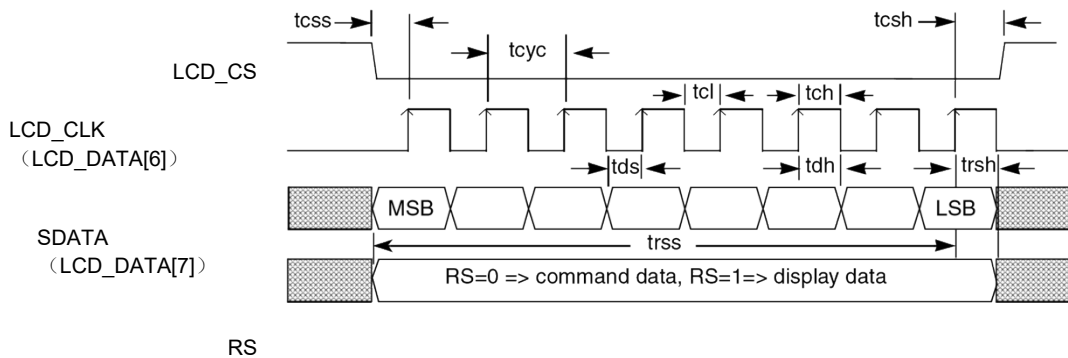
表 78. SJC 计时参数

身份证	参数	所有频率		单位
		分钟。	最大。	

SJ1	TCK 周期时间	100 <sup>8</sup>	—	Ns
SJ2	TCK 时钟脉冲宽度测量在 $V_{M}$ 罗马字母的第十三个字母 <sup>9</sup>	40	—	Ns
SJ3	TCK 的上升和下降时间	—	3	Ns
SJ4	边界扫描输入数据设置时间	10	—	Ns
SJ5	边界扫描输入数据保持时间	50	—	Ns
SJ6	TCK 低输出数据有效	—	50	Ns
SJ7	TCK 低输出高阻抗	—	50	Ns
SJ8	TMS, TDI 数据设置时间	10	—	Ns
SJ9	TMS, TDI 数据保留时间	50	—	Ns
SJ10	TCK 低到 TDO 数据有效	—	44	Ns
SJ11	TCK 低到 TDO 高阻抗	—	44	Ns
SJ12	TRST 断言时间	100	—	Ns
SJ13	TRST 设置时间到 TCK 低	40	—	Ns

### 3.7.16 智能液晶显示控制器 (SLCDC)

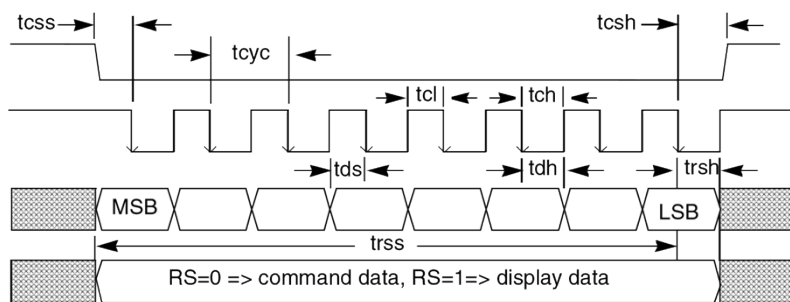
图 76 和图 77 分别显示串行传输和并行传输的 SLCDC 时间。表 79 和表 80 描述相应图中显示的时间参数。



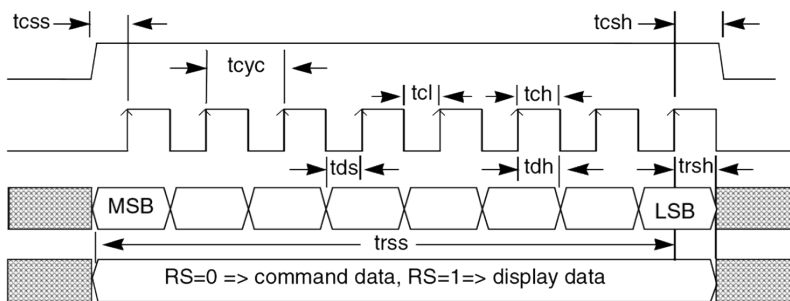
(此图表显示了 SCKPOL = 1, CSPOL = 0 的情况)

<sup>8</sup> In cases where SDMA TAP is put in the chain, the maximum TCK frequency is limited by the maximum ratio of 1:8 of SDMA core frequency to TCK. This implies a maximum frequency of 8.25 MHz (or 121.2 ns) for a 66 MHz IPG clock.

<sup>9</sup>  $V_M$  - mid point voltage



(This diagram shows the case SCKPOL = 0, CSPOL = 0)



LCD\_CS

LCD\_CLK (LCD\_DATA[6])

SDATA (LCD\_DATA[7])

RS

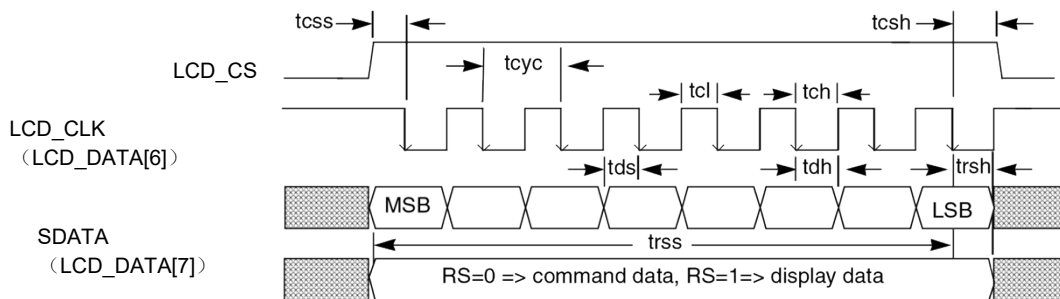
LCD\_CS

LCD\_CLK (LCD\_DATA[6])

SDATA (LCD\_DATA[7])

RS

(此图显示了 SCKPOL = 1 的情况，CSPOL = 1)



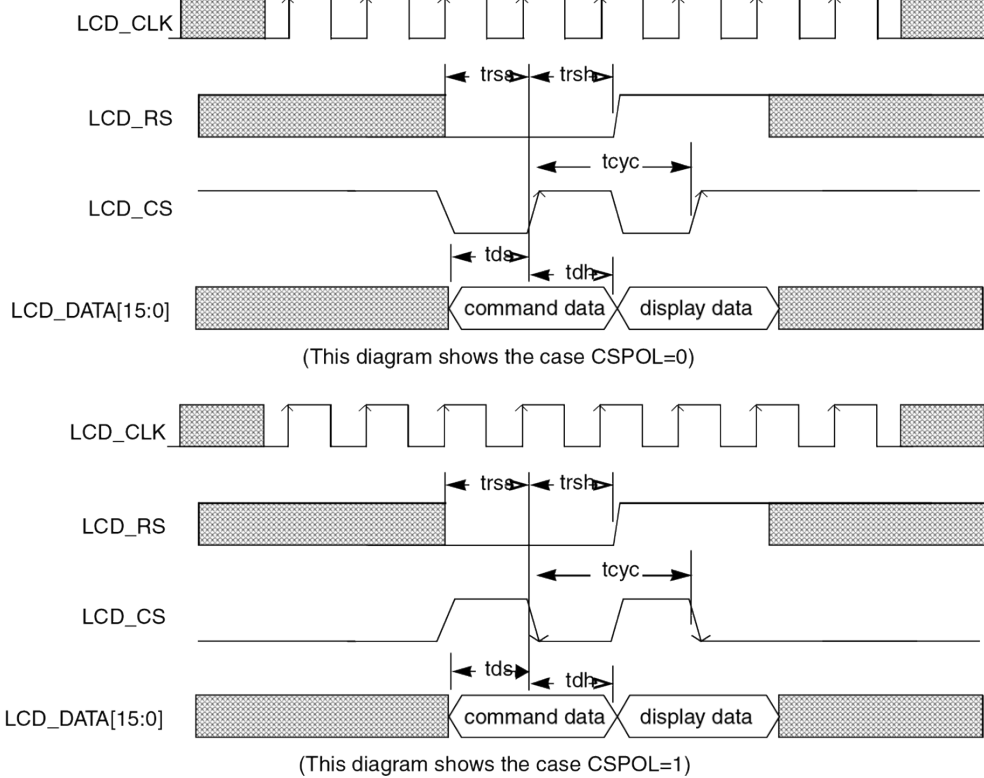
RS

**i.MX25 Applications Processor for Consumer and Industrial Products, Rev. 10**

(此图表显示情况 SCKPOL = 0, CSPOL = 1)

**图 76. SLCDC 定时图-串行传输到 LCD 设备**  
**表 79. SLCDC 串行接口定时参数**

标志	参数	分钟。	类型。	最大。	单位
字母 T <sub>Css</sub>	芯片选择设置时间	(T <sub>Cyc</sub> /2) (±) T <sub>道具</sub>	—	—	Ns
字母 T <sub>Csh</sub>	芯片选择保留时间	(T <sub>Cyc</sub> /2) (±) T <sub>道具</sub>	—	—	Ns
字母 T <sub>Cyc</sub>	串行时钟周期时间	39 (±) T <sub>道具</sub>	—	2641	Ns
字母 T <sub>厘升</sub>	串行时钟低脉冲	18 (±) T <sub>道具</sub>	—	—	Ns
字母 T <sub>Ch</sub>	串行时钟高脉冲	18 (±) T <sub>道具</sub>	—	—	Ns
字母 T <sub>鍵</sub>	数据设置时间	(T <sub>Cyc</sub> /2) (±) T <sub>道具</sub>	—	—	Ns
字母 T <sub>丈夫</sub>	数据保留时间	(T <sub>Cyc</sub> /2) (±) T <sub>道具</sub>	—	—	Ns
字母 T <sub>Rss</sub>	注册选择设置时间	(15×字母 T <sub>Cyc</sub> /2) (±) T <sub>道具</sub>	—	—	Ns
字母 T <sub>Rsh</sub>	注册选择保留时间	(T <sub>Cyc</sub> /2) (±) T <sub>道具</sub>	—	—	Ns



**图 77. SLCDC 定时图-并行传输到 LCD 设备**  
**表 80. SLCDC 并行接口定时参数**

标志	参数	分钟。	类型。	最大。	单位
字母 T <sub>Cyc</sub>	平行时钟循环时间	78 (±) T <sub>道具</sub>	—	4923	Ns

字母 T <sub>鏈</sub>	数据设置时间	$(T_{Cycl}/2) (\pm) T_{道具}$	—	—	—
字母 T <sub>丈夫</sub>	数据保留时间	$(T_{Cycl}/2) (\pm) T_{道具}$	—	—	—
字母 T <sub>Rss</sub>	注册选择设置时间	$(T_{Cycl}/2) (\pm) T_{道具}$	—	—	—
字母 T <sub>Rsh</sub>	注册选择保留时间	$(T_{Cycl}/2) (\pm) T_{道具}$	—	—	—

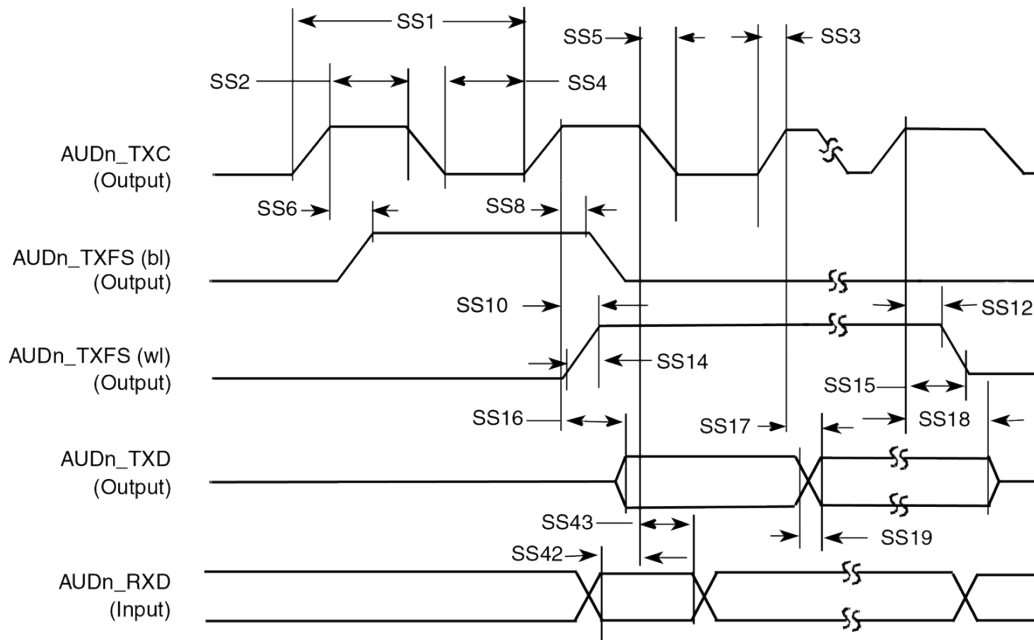
### 3.7.17 同步串行接口 (SSI) 计时

以下小节描述了四种情况下的 SSI 时间：

- 带外部时钟的发射器
- 带外部时钟的接收器
- 带内部时钟的发射器
- 带内部时钟的接收器

#### 3.7.17.1 带有内部时钟的 SSI 发射器定时

图 78 显示带有内部时钟的 SSI 发射器的时序，以及表 81 描述定时参数 (SS1-SS52)。



**Note:** SRXD Input in Synchronous mode only

图 78. 带有内部时钟定时图的 SSI 发射器

Figure 90 shows the USB receive waveform in DAT\_SE0 bidirectional mode diagram.

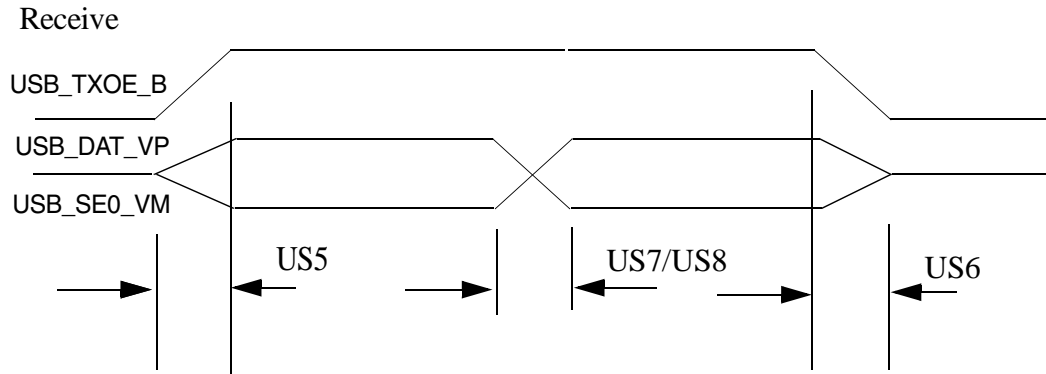


Figure 90. USB Receive Waveform in DAT\_SE0 Bidirectional Mode

Table 91 shows the OTG port timing specification in DAT\_SE0 bidirectional mode.

Table 91. OTG Port Timing Specification in DAT\_SE0 Bidirectional Mode

No.	Parameter	Signal Name	Direction	Min.	Max.	Unit	Conditions/ Reference Signal
US1	Tx rise/fall time	USB_DAT_VP	Out	—	5.0	ns	50 pF
US2	Tx rise/fall time	USB_SE0_VM	Out	—	5.0	ns	50 pF
US3	Tx rise/fall time	USB_TXOE_B	Out	—	5.0	ns	50 pF
US4	Tx duty cycle	USB_DAT_VP	Out	49.0	51.0	%	—
US5	Enable Delay	USB_DAT_VP USB_SE0_VM	In	—	8.0	ns	USB_TXOE_B
US6	Disable Delay	USB_DAT_VP USB_SE0_VM	In	—	10.0	ns	USB_TXOE_B
US7	Rx rise/fall time	USB_DAT_VP	In	—	3.0	ns	35 pF
US8	Rx rise/fall time	USB_SE0_VM	In	—	3.0	ns	35 pF

### 3.7.20.1.2 DAT\_SE0 Unidirectional Mode Timing

Table 92 defines the DAT\_SE0 unidirectional mode signals.

Table 92. Signal Definitions—DAT\_SE0 Unidirectional Mode

Name	Direction	Signal Description
USB_TXOE_B	Out	Transmit enable, active low
USB_DAT_VP	Out	Tx data when USB_TXOE_B is low
USB_SE0_VM	Out	SE0 drive when USB_TXOE_B is low
USB_VP1	In	Buffered data on DP when USB_TXOE_B is high
USB_VM1	In	Buffered data on DM when USB_TXOE_B is high
USB_RCV	In	Differential Rx data when USB_TXOE_B is high

Figure 91 shows the USB transmit waveform in DAT\_SE0 unidirectional mode diagram.

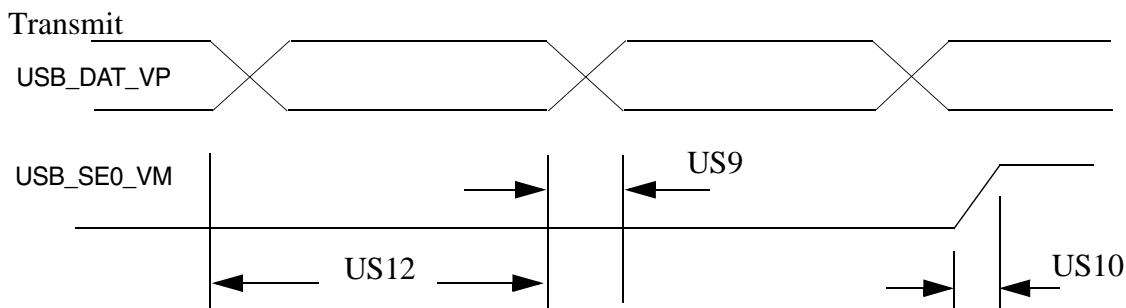


Figure 91. USB Transmit Waveform in DAT\_SE0 Unidirectional Mode

Figure 92 shows the USB receive waveform in DAT\_SE0 unidirectional mode diagram.

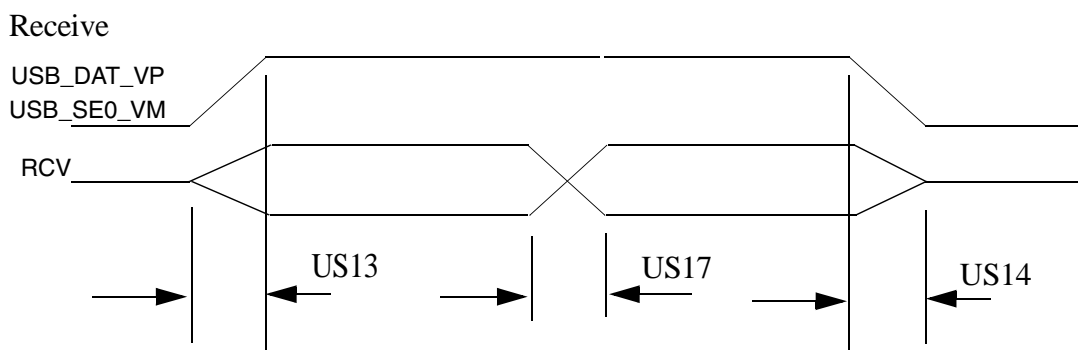


Figure 92. USB Receive Waveform in DAT\_SE0 Unidirectional Mode

Table 93 shows the USB port timing specification in DAT\_SE0 unidirectional mode.

Table 93. USB Port Timing Specification in DAT\_SE0 Unidirectional Mode

No.	Parameter	Signal Name	Signal Source	Min.	Max.	Unit	Condition/Reference Signal
US9	Tx rise/fall time	USB_DAT_VP	Out	—	5.0	ns	50 pF
US10	Tx rise/fall time	USB_SE0_VM	Out	—	5.0	ns	50 pF
US11	Tx rise/fall time	USB_TXOE_B	Out	—	5.0	ns	50 pF
US12	Tx duty cycle	USB_DAT_VP	Out	49.0	51.0	%	—
US13	Enable Delay	USB_DAT_VP USB_SE0_VM	In	—	8.0	ns	USB_TXOE_B
US14	Disable Delay	USB_DAT_VP USB_SE0_VM	In	—	10.0	ns	USB_TXOE_B
US15	Rx rise/fall time	USB_VP1	In	—	3.0	ns	35 pF
US16	Rx rise/fall time	USB_VM1	In	—	3.0	ns	35 pF
US17	Rx rise/fall time	USB_RCV	In	—	3.0	ns	35 pF

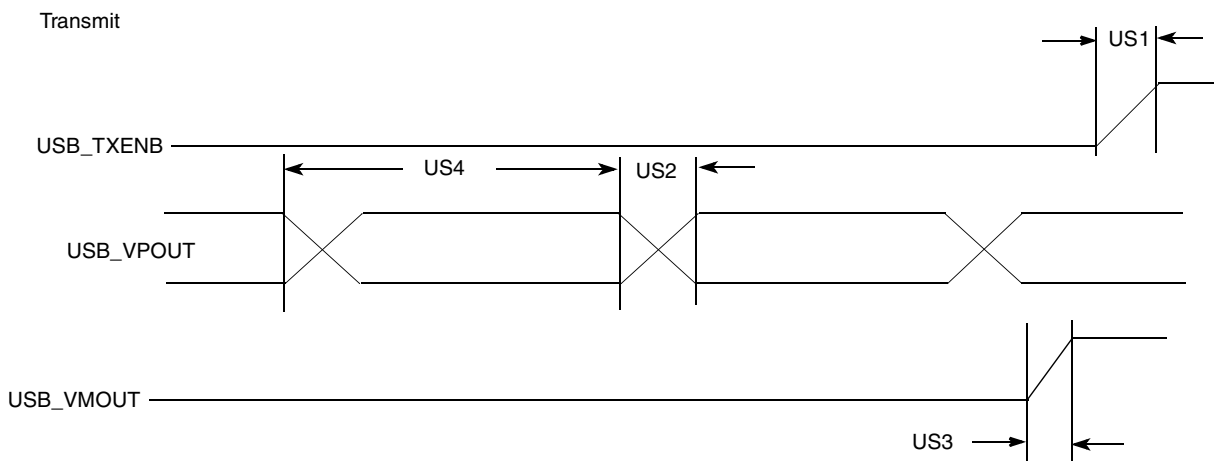
### 3.7.20.1.3 VP\_VM Bidirectional Mode Timing

Table 94 defines the VP\_VM bidirectional mode signals.

**Table 94. Signal Definitions—VP\_VM Bidirectional Mode**

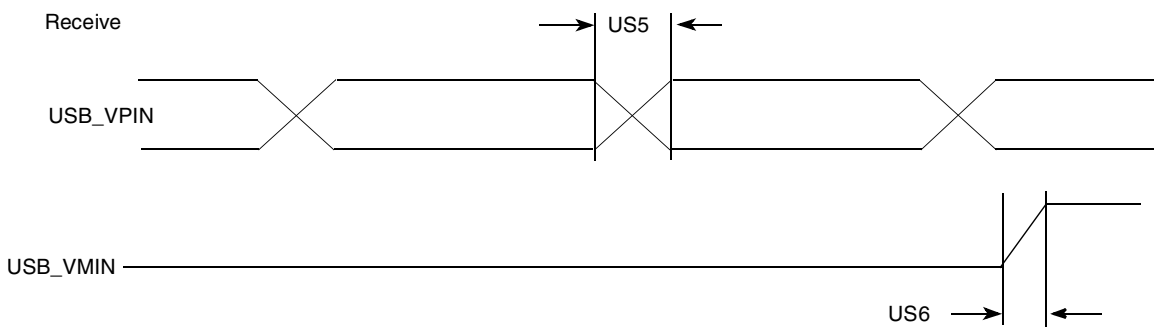
Name	Direction	Signal Description
USB_TXOE_B	Out	<ul style="list-style-type: none"> <li>Transmit enable, active low</li> </ul>
USB_DAT_VP	Out (Tx) In (Rx)	<ul style="list-style-type: none"> <li>Tx VP data when USB_TXOE_B is low</li> <li>Rx VP data when USB_TXOE_B is high</li> </ul>
USB_SE0_VM	Out (Tx) In (Rx)	<ul style="list-style-type: none"> <li>Tx VM data when USB_TXOE_B low</li> <li>Rx VM data when USB_TXOE_B high</li> </ul>
USB_RCV	In	<ul style="list-style-type: none"> <li>Differential Rx data</li> </ul>

Figure 93 shows the USB transmit waveform in VP\_VM bidirectional mode diagram.



**Figure 93. USB Transmit Waveform in VP\_VM Bidirectional Mode**

Figure 94 shows the USB receive waveform in VP\_VM bidirectional mode diagram.



**Figure 94. USB Receive Waveform in VP\_VM Bidirectional Mode**

Table 95 shows the USB port timing specification in VP\_VM bidirectional mode.

**Table 95. USB Port Timing Specifications in VP\_VM Bidirectional Mode**

No.	Parameter	Signal Name	Direction	Min.	Max.	Unit	Condition/ Reference Signal
US18	Tx rise/fall time	USB_DAT_VP	Out	—	5.0	ns	50 pF
US19	Tx rise/fall time	USB_SE0_VM	Out	—	5.0	ns	50 pF
US20	Tx rise/fall time	USB_TXOE_B	Out	—	5.0	ns	50 pF
US21	Tx duty cycle	USB_DAT_VP	Out	49.0	51.0	%	—
US22	Tx high overlap	USB_SE0_VM	Out	0.0	—	ns	USB_DAT_VP
US23	Tx low overlap	USB_SE0_VM	Out	—	0.0	ns	USB_DAT_VP
US24	Enable delay	USB_DAT_VP USB_SE0_VM	In	—	8.0	ns	USB_TXOE_B
US25	Disable delay	USB_DAT_VP USB_SE0_VM	In	—	10.0	ns	USB_TXOE_B
US26	Rx rise/fall time	USB_DAT_VP	In	—	3.0	ns	35 pF
US27	Rx rise/fall time	USB_SE0_VM	In	—	3.0	ns	35 pF
US28	Rx skew	USB_DAT_VP	Out	-4.0	+4.0	ns	USB_SE0_VM
US29	Rx skew	USB_RCV	Out	-6.0	+2.0	ns	USB_DAT_VP

### 3.7.20.1.4 VP\_VM Unidirectional Mode Timing

Table 96 defines the signals for USB in VP\_VM unidirectional mode.

**Table 96. Signal Definitions for USB VP\_VM Unidirectional Mode**

Name	Direction	Signal Description
USB_TXOE_B	Out	Transmit enable, active low
USB_DAT_VP	Out	Tx VP data when USB_TXOE_B is low
USB_SE0_VM	Out	Tx VM data when USB_TXOE_B is low
USB_VP1	In	Rx VP data when USB_TXOE_B is high
USB_VM1	In	Rx VM data when USB_TXOE_B is high
USB_RCV	In	Differential Rx data

Figure 95 shows the USB transmit waveform in VP\_VM unidirectional mode diagram.

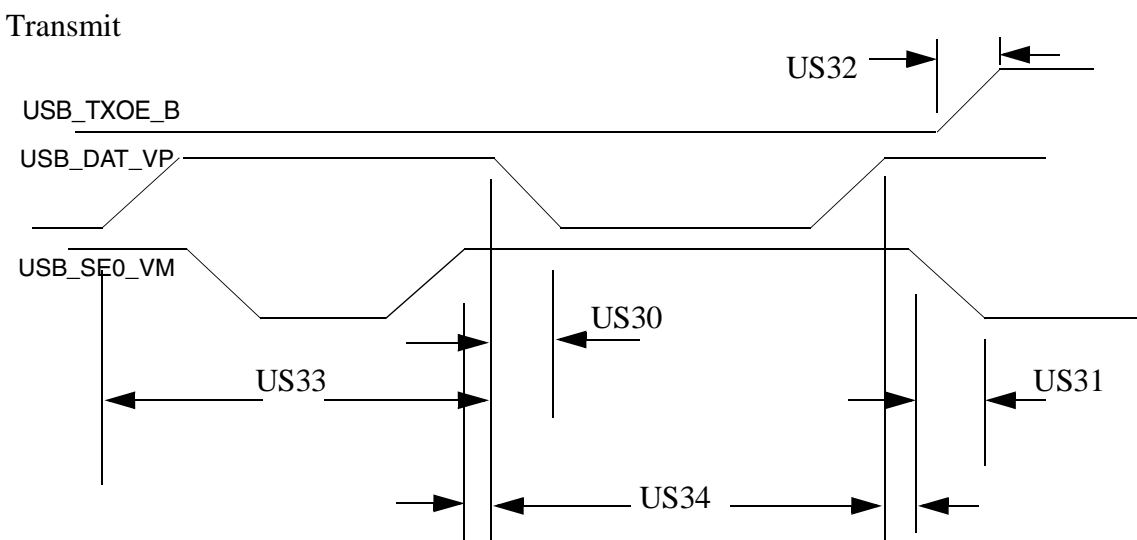


Figure 95. USB Transmit Waveform in VP\_VM Unidirectional Mode

Figure 96 shows the USB receive waveform in VP\_VM unidirectional mode diagram.

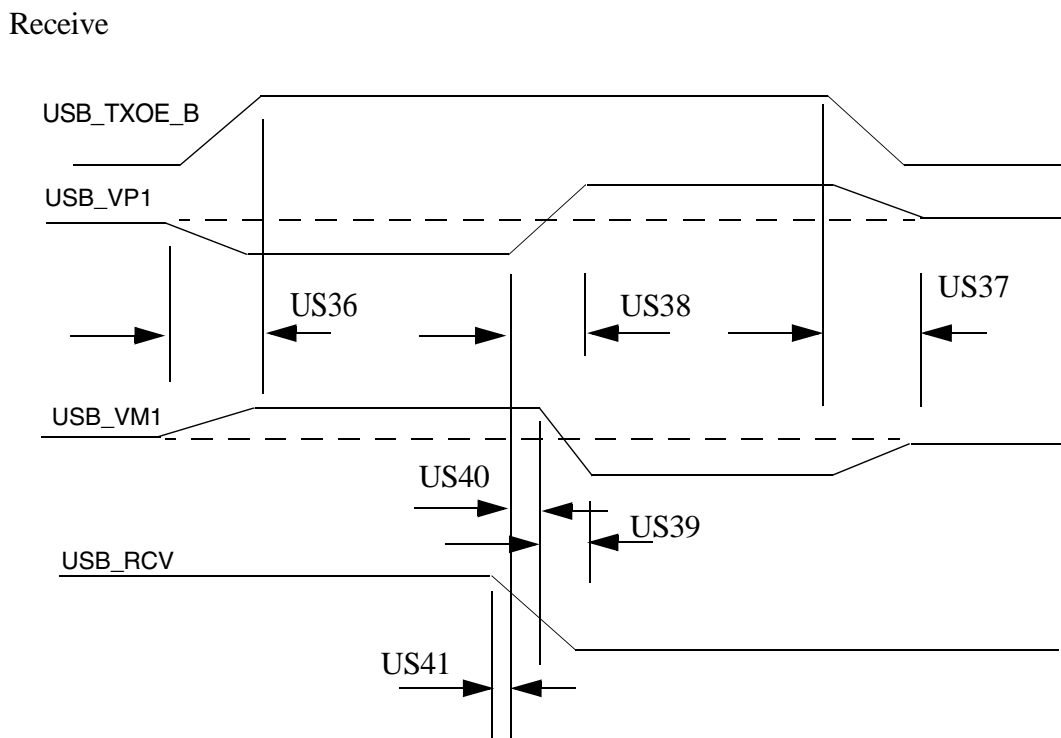


Figure 96. USB Receive Waveform in VP\_VM Unidirectional Mode

Table 97 shows the timing specifications for USB in VP\_VM unidirectional mode.

**Table 97. USB Timing Specifications in VP\_VM Unidirectional Mode**

No.	Parameter	Signal	Direction	Min.	Max.	Unit	Conditions/ Reference Signal
US30	Tx rise/fall time	USB_DAT_VP	Out	—	5.0	ns	50 pF
US31	Tx rise/fall time	USB_SE0_VM	Out	—	5.0	ns	50 pF
US32	Tx rise/fall time	USB_TXOE_B	Out	—	5.0	ns	50 pF
US33	Tx duty cycle	USB_DAT_VP	Out	49.0	51.0	%	—
US34	Tx high overlap	USB_SE0_VM	Out	0.0	—	ns	USB_DAT_VP
US35	Tx low overlap	USB_SE0_VM	Out	—	0.0	ns	USB_DAT_VP
US36	Enable delay	USB_DAT_VP USB_SE0_VM	In	—	8.0	ns	USB_TXOE_B
US37	Disable delay	USB_DAT_VP USB_SE0_VM	In	—	10.0	ns	USB_TXOE_B
US38	Rx rise/fall time	USB_VP1	In	—	3.0	ns	35 pF
US39	Rx rise/fall time	USB_VM1	In	—	3.0	ns	35 pF
US40	Rx skew	USB_VP1	Out	-4.0	+4.0	ns	USB_SE0_VM
US41	Rx skew	USB_RCV	Out	-6.0	+2.0	ns	USB_DAT_VP

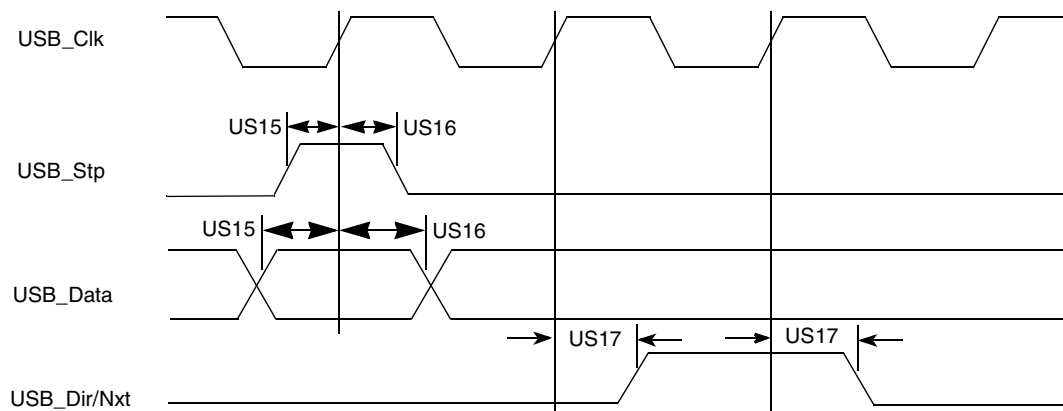
### 3.7.20.2 USB Parallel Interface Timing

Table 98 defines the USB parallel interface signals.

**Table 98. Signal Definitions for USB Parallel Interface**

Name	Direction	Signal Description
USB_Clk	In	Interface clock—All interface signals are synchronous to USB_Clk
USB_Data[7:0]	I/O	Bidirectional data bus, driven low by the link during idle—Bus ownership is determined by the direction
USB_Dir	In	Direction—Control the direction of the data bus
USB_Stp	Out	Stop—The link asserts this signal for one clock cycle to stop the data stream currently on the bus
USB_Nxt	In	Next—The PHY asserts this signal to throttle the data

Figure 97 shows the USB parallel mode transmit/receive waveform. Table 99 describes the timing parameters (USB15–USB17) shown in the figure.



**Figure 97. USB Parallel Mode Transmit/Receive Waveform**

**Table 99. USB Timing Specification in Parallel Mode**

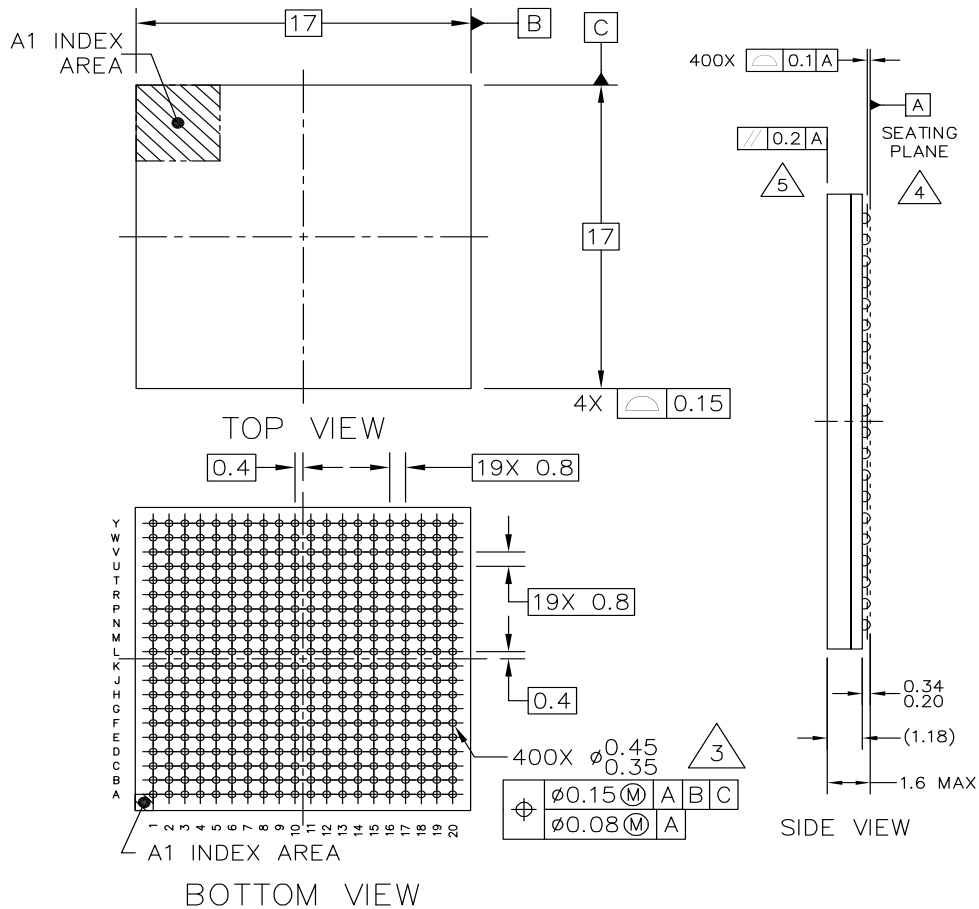
ID	Parameter	Min.	Max.	Unit	Conditions/Reference Signal
US15	Setup time (Dir&Nxt in, Data in)	6.0	—	ns	10 pF
US16	Hold time (Dir&Nxt in, Data in)	0.0	—	ns	10 pF
US17	Output delay time (Stp out, Data out)	—	9.0	ns	10 pF

## 4 Package Information and Contact Assignment

### 4.1 400 MAPBGA—Case 17x17 mm, 0.8 mm Pitch

Figure 98 shows the 17×17 mm i.MX25 production package. The following notes apply to Figure 98:

- All dimensions in millimeters.
- Dimensioning and tolerancing per ASME Y14.5M-1994.
- Maximum solder bump diameter measured parallel to datum A.
- Datum A, the seating plane, is determined by the spherical crowns of the solder bumps.
- Parallelism measurement shall exclude any effect of mark on top surface of package.



**Figure 98. 17x17 i.MX25 Production Package**

## 4.2 Ground, Power, Sense, and Reference Contact Assignments Case 17x17 mm, 0.8 mm Pitch

Table 100 shows the 17x17 mm package ground, power, sense, and reference contact assignments.

**Table 100. 17x17 mm Package Ground, Power Sense, and Reference Contact Assignments**

Contact Name	Contact Assignment
BATT_VDD	P10
FUSE_VDD	T17
MPLL_GND	U17
MPLL_VDD	U18
NGND_ADC	Y13
NVCC_ADC	W13
NVCC_CRM	N14
NVCC_CSI	J13, J14

**Table 100. 17×17 mm Package Ground, Power Sense, and Reference Contact Assignments (continued)**

Contact Name	Contact Assignment
NVCC_DRYICE <sup>1</sup>	W11
NVCC_EMI1	G6, G7, G8, G9, H6, H7, H8, J6, J7
NVCC_EMI2	G12, G13, G14, G15, H12, H13, H14
NVCC_JTAG	U10
NVCC_LCDC	P6, P7, R6, R7
NVCC_MISC	N5, N6, N7
NVCC_NFC	L6, L7, L8
NVCC_SDIO	R17
OSC24M_GND	W15
OSC24M_VDD	W16
QGND	A1, A11, A20, B11, C11, D11, E5, E6, E7, E8, E9, E10, E11, E12, E13, E14, E15, E16, F5, F6, F7, F8, F9, F10, F11, F12, F13, F14, F15, F16, G5, G10, G16, H5, H9, H10, H11, H15, H16, J5, J9, J10, J11, J15, J16, K1, K2, K3, K4, K5, K8, K9, K10, K11, K13, K14, K15, L5, L9, L10, L11, L12, L13, L14, L15, M8, M9, M10, M11, M12, M13, M14, M15, N9, N12, N13, N15, N16, P5, P13, P14, P15, P16, R5, R8, R9, R10, R11, R12, R13, R14, R15, R16, T5, T6, T7, T8, T9, T10, T11, T12, T13, T14, T15, T16, Y1, Y20
QVDD	G11, J8, J12, K6, K7, K12, M5, M6, M7, N8, P8, P9
REF	V11
UPLL_GND	M16
UPLL_VDD	L16
USBPHY1_UPLLVDD	M17
USBPHY1_UPLLVSS	N17
USBPHY1_VDDA	K16
USBPHY1_VDDA_BIAS	K19
USBPHY1_VSSA	L19
USBPHY1_VSSA_BIAS	J17
USBPHY2_VDD	W18
USBPHY2_VSS	W17

<sup>1</sup> NVCC\_DRYICE is a supply output. An external capacitor no less than 4  $\mu$ F must be connected to it. A 4.7  $\mu$ F capacitor is recommended.

## 4.3 Signal Contact Assignments—17 x 17 mm, 0.8 mm Pitch

Table 101 lists the 17×17 mm package i.MX25 signal contact assignments.

**Table 101. 17×17 mm Package i.MX25 Signal Contact Assignment**

Contact Name	Contact Assignment	Power Rail	I/O Buffer Type	Direction after Reset <sup>1</sup>	Configuration after Reset <sup>1</sup>
A0	A18	EMI2	DDR	OUTPUT	Low
A1	B17	EMI2	DDR	OUTPUT	Low
A2	C17	EMI2	DDR	OUTPUT	Low
A3	B18	EMI2	DDR	OUTPUT	Low
A4	C20	EMI2	DDR	OUTPUT	Low
A5	A19	EMI2	DDR	OUTPUT	Low
A6	C19	EMI2	DDR	OUTPUT	Low
A7	B19	EMI2	DDR	OUTPUT	Low
A8	D18	EMI2	DDR	OUTPUT	Low
A9	C18	EMI2	DDR	OUTPUT	Low
A10	A2	EMI1	DDR	OUTPUT	Low
MA10	D16	EMI2	DDR	OUTPUT	Low
A11	D20	EMI2	DDR	OUTPUT	Low
A12	D17	EMI2	DDR	OUTPUT	Low
A13	D19	EMI2	DDR	OUTPUT	Low
A14	A3	EMI1	DDR	OUTPUT	Low
A15	B4	EMI1	DDR	OUTPUT	Low
A16	C6	EMI1	DDR	OUTPUT	Low
A17	B5	EMI1	DDR	OUTPUT	Low
A18	D7	EMI1	DDR	OUTPUT	Low
A19	A4	EMI1	DDR	OUTPUT	Low
A20	B6	EMI1	DDR	OUTPUT	Low
A21	C7	EMI1	DDR	OUTPUT	Low
A22	A5	EMI1	DDR	OUTPUT	Low
A23	A6	EMI1	DDR	OUTPUT	Low
A24	B7	EMI1	DDR	OUTPUT	Low
A25	A7	EMI1	DDR	OUTPUT	Low
SD0	A12	EMI1	DDR	INPUT	Keeper
SD1	C13	EMI1	DDR	INPUT	Keeper
SD2	B13	EMI1	DDR	INPUT	Keeper

**Table 101. 17×17 mm Package i.MX25 Signal Contact Assignment (continued)**

Contact Name	Contact Assignment	Power Rail	I/O Buffer Type	Direction after Reset <sup>1</sup>	Configuration after Reset <sup>1</sup>
SD3	D14	EMI1	DDR	INPUT	Keeper
SD4	D13	EMI1	DDR	INPUT	Keeper
SD5	A13	EMI1	DDR	INPUT	Keeper
SD6	D12	EMI1	DDR	INPUT	Keeper
SD7	A10	EMI1	DDR	INPUT	Keeper
SD8	B9	EMI1	DDR	INPUT	Keeper
SD9	D10	EMI1	DDR	INPUT	Keeper
SD10	B10	EMI1	DDR	INPUT	Keeper
SD11	C10	EMI1	DDR	INPUT	Keeper
SD12	C9	EMI1	DDR	INPUT	Keeper
SD13	A9	EMI1	DDR	INPUT	Keeper
SD14	D9	EMI1	DDR	INPUT	Keeper
SD15	A8	EMI1	DDR	INPUT	Keeper
SDBA1	A16	EMI2	DDR	OUTPUT	Low
SDBA0	B15	EMI2	DDR	OUTPUT	Low
DQM0	C12	EMI1	DDR	OUTPUT	High
DQM1	C8	EMI1	DDR	OUTPUT	High
RAS	C14	EMI2	DDR	OUTPUT	High
CAS	C16	EMI2	DDR	OUTPUT	High
SDWE	A15	EMI2	DDR	OUTPUT	High
SDCKE0	D15	EMI2	DDR	OUTPUT	High
SDCKE1	C15	EMI2	DDR	OUTPUT	High
SDCLK	B14	EMI2	DDR	OUTPUT	Low
SDCLK_B	A14	EMI2	DDR	OUTPUT	High
SDQS0	B12	EMI2	DDR	INPUT	Keeper
SDQS1	B8	EMI2	DDR	INPUT	Keeper
EB0	B3	EMI1	DDR	OUTPUT	High
EB1	C5	EMI1	DDR	OUTPUT	High
OE	D6	EMI1	DDR	OUTPUT	High
CS0	C3	EMI1	DDR	OUTPUT	High
CS1	D3	EMI1	DDR	OUTPUT	High
CS2	B16	EMI2	DDR	OUTPUT	High

**Table 101. 17×17 mm Package i.MX25 Signal Contact Assignment (continued)**

Contact Name	Contact Assignment	Power Rail	I/O Buffer Type	Direction after Reset <sup>1</sup>	Configuration after Reset <sup>1</sup>
CS3	A17	EMI2	DDR	OUTPUT	High
CS4	D5	EMI1	GPIO	OUTPUT	High
CS5	D4	EMI1	GPIO	OUTPUT	High
NF_CE0	D2	NFC	GPIO	OUTPUT	High
ECB	B2	EMI1	GPIO	INPUT	100 K $\Omega$ Pull-Up
LBA	B1	EMI1	DDR	OUTPUT	High
BCLK	D8	EMI1	DDR	OUTPUT	Low
RW	C4	EMI1	DDR	OUTPUT	High
NFWE_B	G4	NFC	GPIO	OUTPUT	High
NFRE_B	C1	NFC	GPIO	OUTPUT	High
NFALE	F4	NFC	GPIO	OUTPUT	Low
NFCLE	E4	NFC	GPIO	OUTPUT	Low
NFWP_B	H4	NFC	GPIO	OUTPUT	High
NFRB	C2	NFC	GPIO	INPUT	100 K $\Omega$ Pull-Up
D15	J2	NFC	GPIO	INPUT	Keeper
D14	J1	NFC	GPIO	INPUT	Keeper
D13	H2	NFC	GPIO	INPUT	Keeper
D12	H3	NFC	GPIO	INPUT	Keeper
D11	F1	NFC	GPIO	INPUT	100 K $\Omega$ Pull-Up
D10	F2	NFC	GPIO	INPUT	Keeper
D9	D1	NFC	GPIO	INPUT	Keeper
D8	E2	NFC	GPIO	INPUT	Keeper
D7	J3	NFC	GPIO	INPUT	Keeper
D6	H1	NFC	GPIO	INPUT	Keeper
D5	G1	NFC	GPIO	INPUT	Keeper
D4	G2	NFC	GPIO	INPUT	Keeper
D3	G3	NFC	GPIO	INPUT	Keeper
D2	E1	NFC	GPIO	INPUT	Keeper
D1	F3	NFC	GPIO	INPUT	Keeper
D0	E3	NFC	GPIO	INPUT	Keeper
LD0 <sup>2</sup>	Y7	LCDC	GPIO	OUTPUT	Low
LD1 <sup>2</sup>	V8	LCDC	GPIO	OUTPUT	Low

**Table 101. 17×17 mm Package i.MX25 Signal Contact Assignment (continued)**

Contact Name	Contact Assignment	Power Rail	I/O Buffer Type	Direction after Reset <sup>1</sup>	Configuration after Reset <sup>1</sup>
LD2 <sup>2</sup>	W7	LCDC	GPIO	OUTPUT	Low
LD3 <sup>2</sup>	U8	LCDC	GPIO	OUTPUT	Low
LD4 <sup>2</sup>	Y6	LCDC	GPIO	OUTPUT	Low
LD5 <sup>2</sup>	V7	LCDC	GPIO	OUTPUT	Low
LD6 <sup>2</sup>	W6	LCDC	GPIO	OUTPUT	Low
LD7 <sup>2</sup>	Y5	LCDC	GPIO	OUTPUT	Low
LD8 <sup>2</sup>	V6	LCDC	GPIO	OUTPUT	Low
LD9 <sup>2</sup>	W5	LCDC	GPIO	OUTPUT	Low
LD10 <sup>2</sup>	Y4	LCDC	GPIO	OUTPUT	Low
LD11 <sup>2</sup>	Y3	LCDC	GPIO	OUTPUT	Low
LD12 <sup>2</sup>	V5	LCDC	GPIO	OUTPUT	Low
LD13 <sup>2</sup>	W4	LCDC	GPIO	OUTPUT	Low
LD14 <sup>2</sup>	V4	LCDC	GPIO	OUTPUT	Low
LD15 <sup>2</sup>	W3	LCDC	GPIO	OUTPUT	Low
HSYNC <sup>2</sup>	U7	LCDC	GPIO	OUTPUT	Low
VSYNC <sup>2</sup>	U6	LCDC	GPIO	OUTPUT	Low
LSCLK <sup>2</sup>	U5	LCDC	GPIO	OUTPUT	Low
OE_ACD <sup>2</sup>	V3	LCDC	GPIO	OUTPUT	Low
CONTRAST	U4	LCDC	GPIO	OUTPUT	Low
PWM <sup>2</sup>	W2	LCDC	GPIO	INPUT	100 KΩ Pull-Down
CSI_D2	F18	CSI	GPIO	INPUT	Keeper
CSI_D3	E19	CSI	GPIO	INPUT	Keeper
CSI_D4	F19	CSI	GPIO	INPUT	Keeper
CSI_D5	G18	CSI	GPIO	INPUT	Keeper
CSI_D6	E20	CSI	GPIO	INPUT	Keeper
CSI_D7	E18	CSI	GPIO	INPUT	Keeper
CSI_D8	G19	CSI	GPIO	INPUT	Keeper
CSI_D9	F20	CSI	GPIO	INPUT	Keeper
CSI_MCLK <sup>2</sup>	H18	CSI	GPIO	OUTPUT	Low
CSI_VSYNC <sup>2</sup>	G20	CSI	GPIO	INPUT	Keeper
CSI_HSYNC <sup>2</sup>	H19	CSI	GPIO	INPUT	Keeper
CSI_PIXCLK <sup>2</sup>	H20	CSI	GPIO	INPUT	Keeper

图 90 在 DAT\_SE0 双向模式图中显示 USB 接收波形。

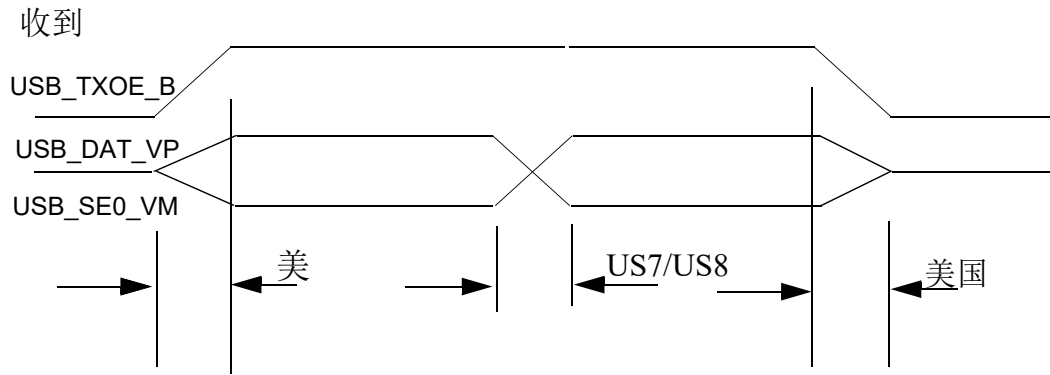


图 90. DAT\_SE0 双向模式下的 USB 接收波形

表 91 在 DAT\_SE0 双向模式下显示 OTG 端口定时规范。

表 91. DAT\_SE0 双向模式下的 OTG 端口定时规范

不。	参数	信号名称	方向	分钟。	最大。	单位	条件/参考信号
美国 1	Tx 上升/下降时间	USB_DAT_VP	在外面	—	5.0	Ns	50 pF
美国 2	Tx 上升/下降时间	USB_SE0_VM	在外面	—	5.0	Ns	50 pF
美国 3	Tx 上升/下降时间	USB_TXOE_B	在外面	—	5.0	Ns	50 pF
美国 4	Tx 占空比	USB_DAT_VP	在外面	49.0	51.0	%	—
美国 5	启用延迟	USB_DAT_VP USB_SE0_VM	钢	—	8.0	Ns	USB_TXOE_B
美国 6	禁用延迟	USB_DAT_VP USB_SE0_VM	钢	—	10.0	Ns	USB_TXOE_B
美国 7	Rx 上升/下降时间	USB_DAT_VP	钢	—	3.0	Ns	35 pF
美国 8	Rx 上升/下降时间	USB_SE0_VM	钢	—	3.0	Ns	35 pF

### 3.7.20.1.2 DAT\_SE0 单向模式计时

表 92 定义了 DAT\_SE0 单向模式信号。

表 92. 信号定义—DAT\_SE0 单向模式

名字	方向	信号描述
USB_TXOE_B	在外面	传输启用，活动低
USB_DAT_VP	在外面	USB_TXOE_B 低时的 Tx 数据
USB_SE0_VM	在外面	USB_TXOE_B 低时 SE0 驱动器
USB_VP1	钢	当 USB_TXOE_B 高时，DP 上的缓冲数据

USB_VM1	钢	当 USB_TXOE_B 高时, DM 上的缓冲数据
USB_RCV	钢	当 USB_TXOE_B 高时, 差分 Rx 数据

图 91 在 DAT\_SE0 单向模式图中显示 USB 传输波形。

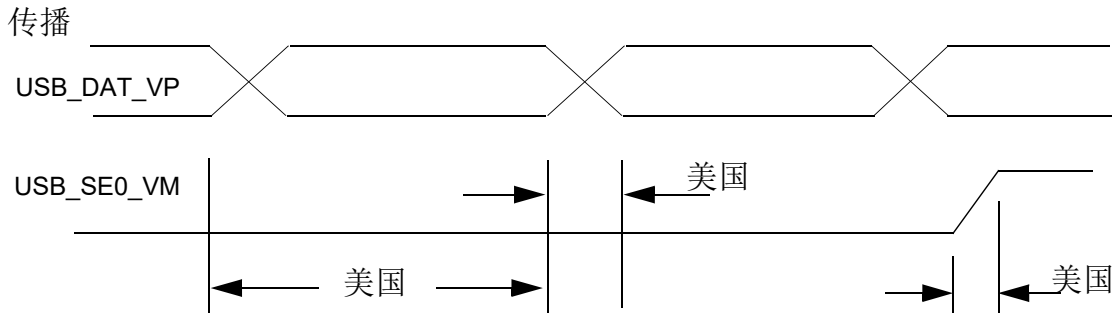


图 91. DAT\_SE0 单向模式下的 USB 传输波形

图 92 在 DAT\_SE0 单向模式图中显示 USB 接收波形。

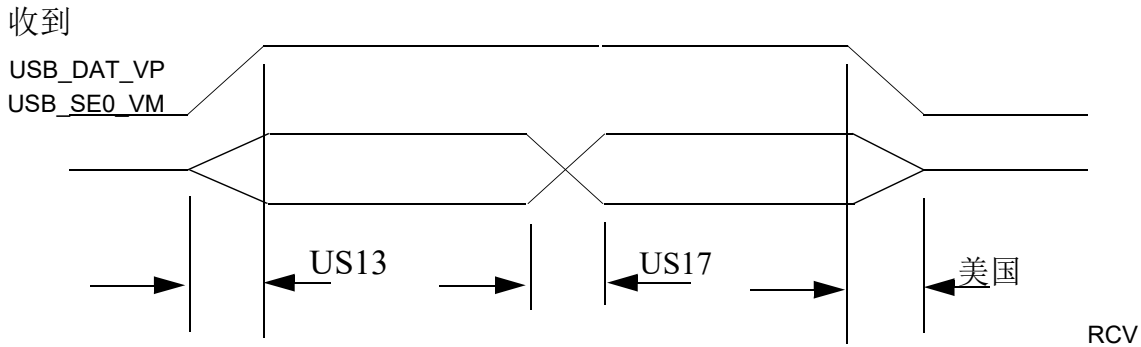


图 92. DAT\_SE0 单向模式下的 USB 接收波形

表 93 在 DAT\_SE0 单向模式下显示 USB 端口时序规格。

表 93. DAT\_SE0 单向模式下的 USB 端口计时规范

不。	参数	信号名称	信号源	分钟。	最大。	单位	条件/参考信号
美国 9	Tx 上升/下降时间	USB_DAT_VP	在外面	—	5.0	Ns	50 pF
美国 10	Tx 上升/下降时间	USB_SE0_VM	在外面	—	5.0	Ns	50 pF
美国 11	Tx 上升/下降时间	USB_TXOE_B	在外面	—	5.0	Ns	50 pF
美国 12	Tx 占空比	USB_DAT_VP	在外面	49.0	51.0	%	—
US13	启用延迟	USB_DAT_VP USB_SE0_VM	钢	—	8.0	Ns	USB_TXOE_B
美国 14	禁用延迟	USB_DAT_VP USB_SE0_VM	钢	—	10.0	Ns	USB_TXOE_B

US15	Rx 上升/下降时间	USB_VP1	钢	—	3.0	Ns	35 pF
美国 16	Rx 上升/下降时间	USB_VM1	钢	—	3.0	Ns	35 pF
US17	Rx 上升/下降时间	USB_RCV	钢	—	3.0	Ns	35 pF

### 3.7.20.1.3 VP\_VM 双向模式定时

表 94 定义 VP\_VM 双向模式信号。

表 94。信号定义—VP\_VM 双向模式

名字	方向	信号描述
USB_TXOE_B	在外面	• 传输启用, 主动低
USB_DAT_VP	出 (Tx) 在 (Rx)	• 当 USB_TXOE_B 低时, Tx VP 数据 • 当 USB_TXOE_B 高时, Rx VP 数据
USB_SE0_VM	出 (Tx) 入 (Rx)	• 当 USB_TXOE_B 低时, Tx VM 数据 • USB_TXOE_B 高时的 Rx VM 数据
USB_RCV	钢	• 差分 Rx 数据

图 93 在 VP\_VM 双向模式图中显示 USB 传输波形。

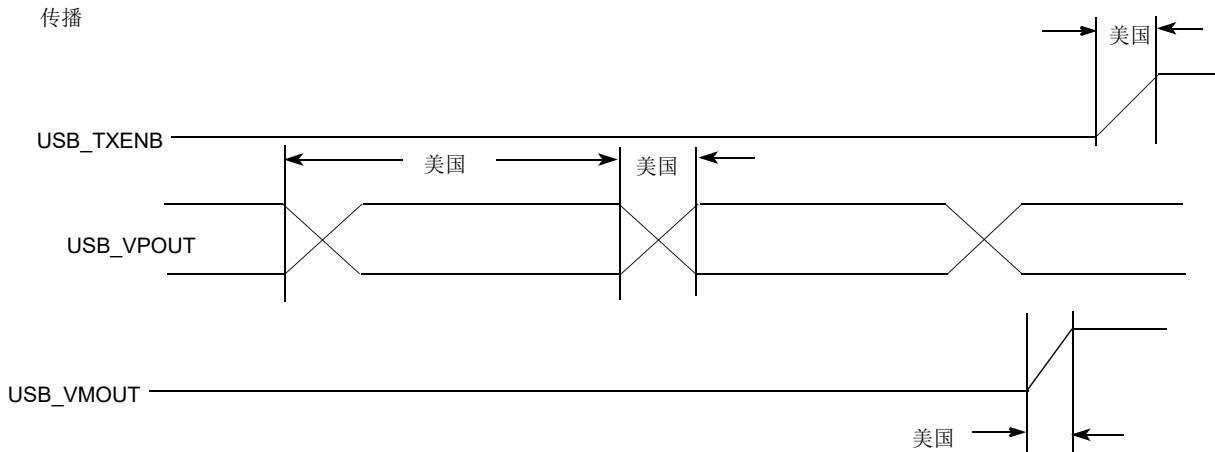


图 93。VP\_VM 双向模式下的 USB 传输波形

图 94 在 VP\_VM 双向模式图中显示 USB 接收波形。

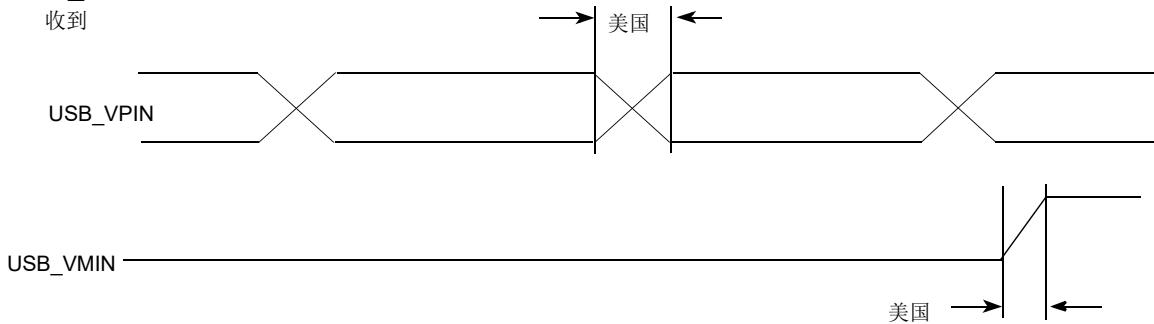


图 94。VP\_VM 双向模式下的 USB 接收波形

表 95 在 VP\_VM 双向模式下显示 USB 端口定时规范。

表 95. VP\_VM 双向模式下的 USB 端口定时规格

不。	参数	信号名称	方向	分钟。	最大。	单位	条件/参考信号
US18	Tx 上升/下降时间	USB_DAT_VP	在外面	—	5.0	Ns	50 pF
US19	Tx 上升/下降时间	USB_SE0_VM	在外面	—	5.0	Ns	50 pF
20 美元	Tx 上升/下降时间	USB_TXOE_B	在外面	—	5.0	Ns	50 pF
US21	Tx 占空比	USB_DAT_VP	在外面	49.0	51.0	%	—
US22	Tx 高重叠	USB_SE0_VM	在外面	0.0	—	Ns	USB_DAT_VP
US23	Tx 低重叠	USB_SE0_VM	在外面	—	0.0	Ns	USB_DAT_VP
美国 24	启用延迟	USB_DAT_VP USB_SE0_VM	钢	—	8.0	Ns	USB_TXOE_B
25 美元	禁用延迟	USB_DAT_VP USB_SE0_VM	钢	—	10.0	Ns	USB_TXOE_B
美国 26	Rx 上升/下降时间	USB_DAT_VP	钢	—	3.0	Ns	35 pF
US27	Rx 上升/下降时间	USB_SE0_VM	钢	—	3.0	Ns	35 pF
美国 28	Rx 斜	USB_DAT_VP	在外面	-4.0	+4.0	Ns	USB_SE0_VM
美国 29	Rx 斜	USB_RCV	在外面	-6.0	+2.0	Ns	USB_DAT_VP

### 3.7.20.1.4 VP\_VM 单向模式定时

表 96 在 VP\_VM 单向模式下定义 USB 的信号。

表 96. USB VP\_VM 单向模式的信号定义

名字	方向	信号描述
USB_TXOE_B	在外面	传输启用, 活动低
USB_DAT_VP	在外面	当 USB_TXOE_B 低时, Tx VP 数据
USB_SE0_VM	在外面	当 USB_TXOE_B 低时, Tx VM 数据
USB_VP1	钢	当 USB_TXOE_B 高时, Rx VP 数据
USB_VM1	钢	当 USB_TXOE_B 高时, Rx VM 数据
USB_RCV	钢	差分 Rx 数据

图 95 在 VP\_VM 单向模式图中显示 USB 传输波形。

传播

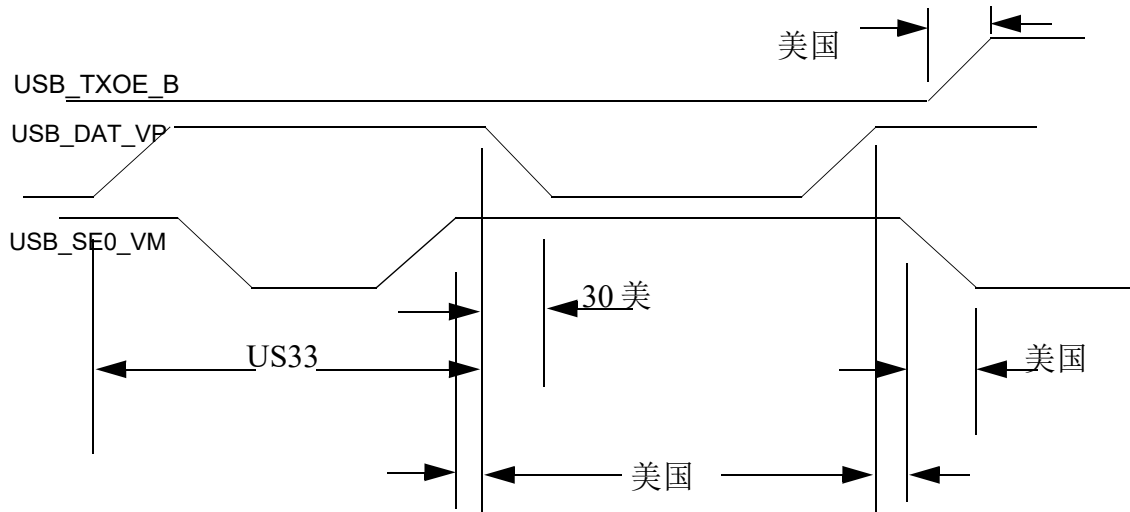


图 95. VP\_VM 单向模式下的 USB 传输波形

图 96 在 VP\_VM 单向模式图中显示 USB 接收波形。

收到

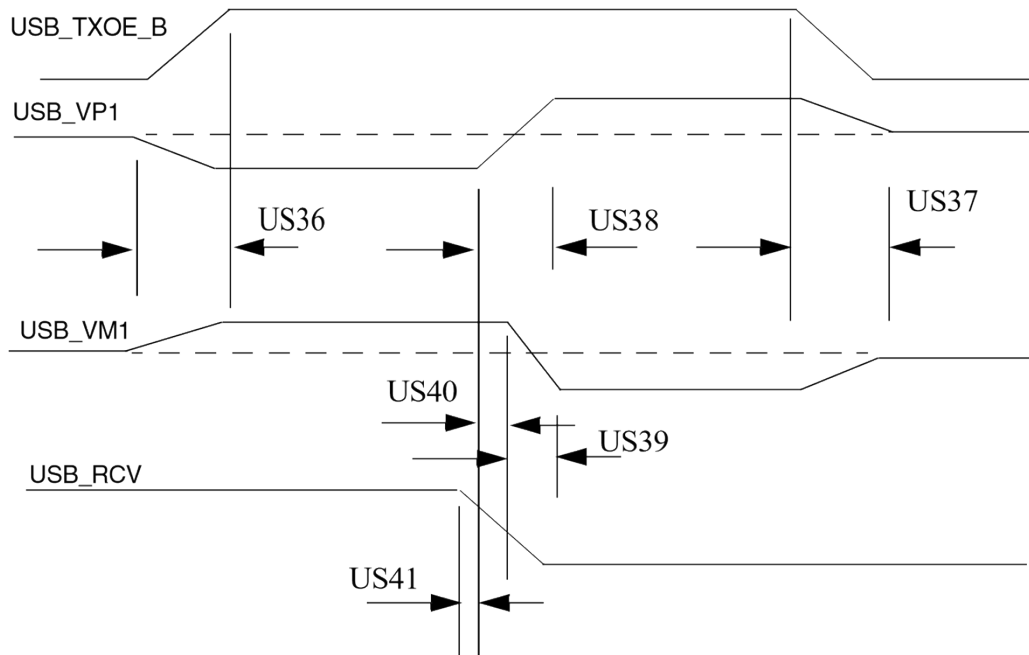


图 96. VP\_VM 单向模式下的 USB 接收波形

表 97 显示 VP\_VM 单向模式下 USB 的时序规格。

表 97. VP\_VM 单向模式下的 USB 计时规格

不。	参数	信号	方向	分钟。	最大。	单位	条件/参考信号
30 美元	Tx 上升/下降时间	USB_DAT_VP	在外面	—	5.0	Ns	50 pF

美国 31	Tx 上升/下降时间	USB_SE0_VM	在外面	—	5.0	Ns	50 pF
美国 32	Tx 上升/下降时间	USB_TXOE_B	在外面	—	5.0	Ns	50 pF
US33	Tx 占空比	USB_DAT_VP	在外面	49.0	51.0	%	—
美国 34	Tx 高重叠	USB_SE0_VM	在外面	0.0	—	Ns	USB_DAT_VP
US35	Tx 低重叠	USB_SE0_VM	在外面	—	0.0	Ns	USB_DAT_VP
美国 36	启用延迟	USB_DAT_VP USB_SE0_VM	钢	—	8.0	Ns	USB_TXOE_B
US37	禁用延迟	USB_DAT_VP USB_SE0_VM	钢	—	10.0	Ns	USB_TXOE_B
38 美元	Rx 上升/下降时间	USB_VP1	钢	—	3.0	Ns	35 pF
美国 39	Rx 上升/下降时间	USB_VM1	钢	—	3.0	Ns	35 pF
US40	Rx 斜	USB_VP1	在外面	-4.0	+4.0	Ns	USB_SE0_VM
美国 41	Rx 斜	USB_RCV	在外面	-6.0	+2.0	Ns	USB_DAT_VP

### 3.7.20.2 USB 并行接口定时

表 98 定义 USB 并行接口信号。

表 98。USB 并行接口的信号定义

名字	方向	信号描述
USB_Clk	钢	接口时钟—所有接口信号都与 USB_Clk 同步
USB_数据[7:0]	I/O	双向数据总线，在空闲期间由链路低驱动-总线所有权由方向决定
USB_Dir	钢	方向—控制数据总线的方向
USB_Stp	在外面	停止—链接断言此信号为一个时钟周期，以停止当前在总线上的数据流
USB_Nxt	钢	接下来—PHY 断言这个信号来限制数据

图 97 显示 USB 并行模式传输/接收波形。表 99 描述图中所示的时序参数 (USB15-USB17)。

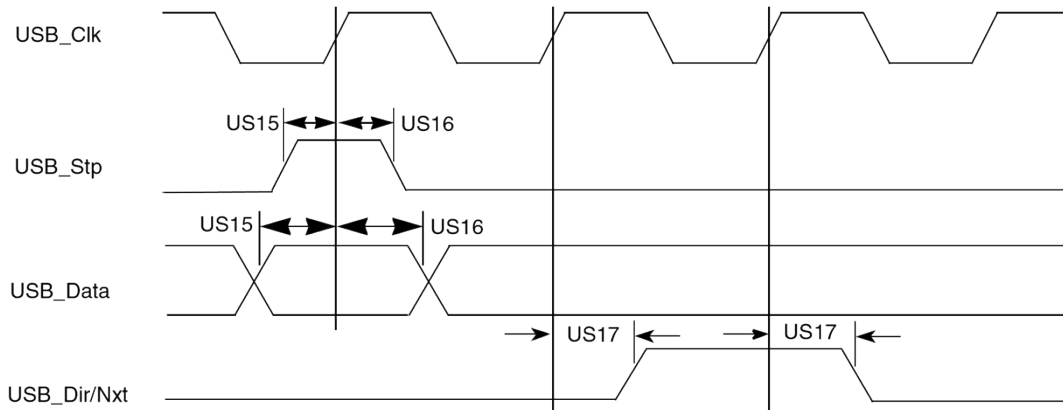


图 97. USB 并行模式传输/接收波形

表 99. 并行模式下的 USB 计时规格

身份证	参数	分钟。	最大。	单位	条件/参考信号
US15	设置时间 (Dir&Nxt in, Data in)	6.0	—	Ns	10 pF
美国 16	保留时间 (Dir&Nxt in, Data in)	0.0	—	Ns	10 pF
US17	输出延迟时间 (Stp 输出, 数据输出)	—	9.0	Ns	10 pF

## 4 包裹信息和联系人分配

### 4.1 400 MAPBGA—外壳 17x17 毫米，0.8 毫米间距

图 98 显示 17×17 毫米 i.MX25 生产包。以下注释适用于图 98 冒号：

- 所有尺寸以毫米为单位。
- 根据 ASME Y14.5M-1994 的尺寸和容忍度。
- 最大焊料凸起直径与基准 A 平行测量。
- 基准 A，即座椅平面，由焊料凸起的球形冠决定。
- 并行度测量应排除包装顶部表面标记的任何影响。

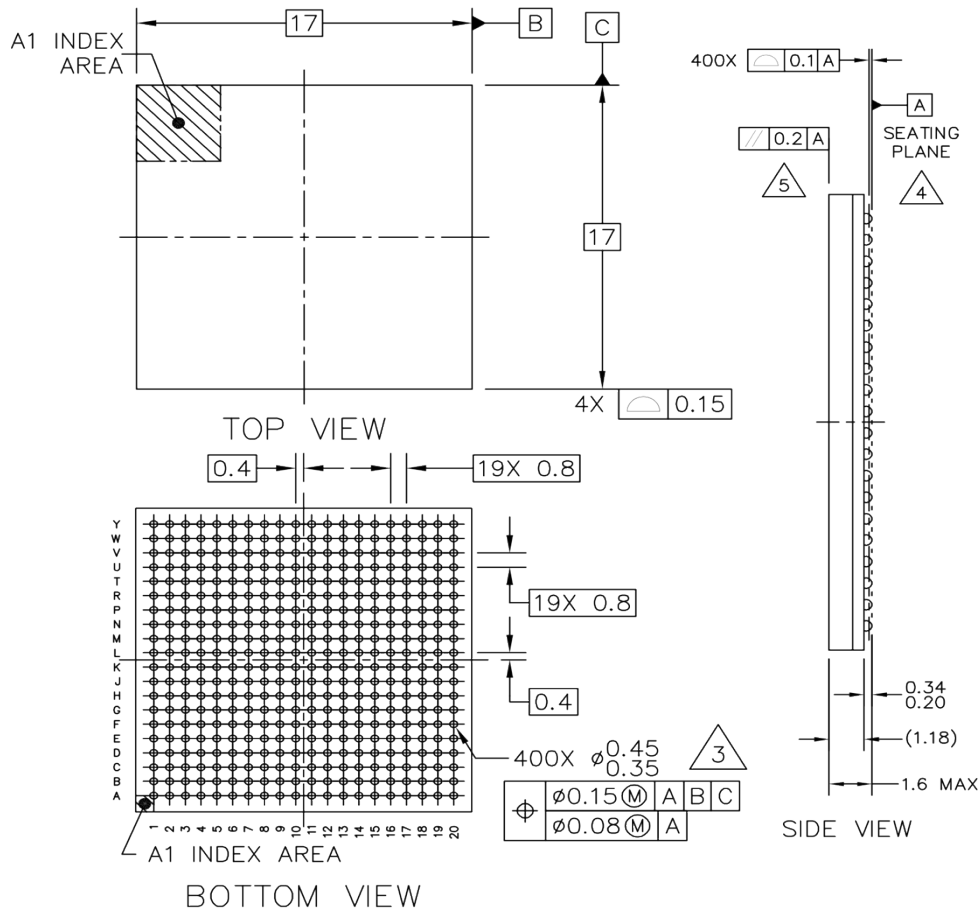


Figure 98. 17x17 i.MX25 Production Package

## 4.2 地面、功率、感应和参考接触分配案例 17x17 毫米，0.8 毫米间距

表 100 显示 17x17 毫米封装接地、功率、感应和参考接触分配。

表 100. 17x17 毫米封装接地、功率感应和参考接触分配

联系人姓名	联系人分配
BATT_VDD	P10
FUSE_VDD	T17
MPLL_GND	U17
MPLL_VDD	U18
NGND_ADC	Y13
NVCC_ADC	W13

NVCC_CRM	N14
NVCC_CSI	J13, J14

表 100. 17×17 毫米封装接地、功率感应和参考接触分配 (续)

联系人姓名	联系人分配
NVCC_DRYICE <sup>1</sup>	W11
NVCC_EMI1	G6, G7, G8, G9, H6, H7, H8, J6, J7
NVCC_EMI2	G12, G13, G14, G15, H12, H13, H14
NVCC_JTAG	U10
NVCC_LCDC	P6, P7, R6, R7
NVCC_MISC	N5, N6, N7
NVCC_NFC	L6, L7, L8
NVCC_SDIO	R17
OSC24M_GND	W15
OSC24M_VDD	W16
QGND	A1, A11, A20, B11, C11, D11, E5, E6, E7, E8, E9, E10, E11, E12, E13, E14, E15, E16, F5, F6, F7, F8, F9, F10, F11, F12, F13, F14, F15, F16, G5, G10, G16, H5, H9, H10, H11, H15, H16, J5, J9, J10, J11, J15, J16, K1, K2, K3, K4, K5, K8, K9, K10, K11, K13, K14, K15, L5, L9, L10, L11, L12, L13, L14, L15, M8, M9, M10, M11, M12, M13, M14, M15, N9, N12, N13, N15, N16, P5, P13, P14, P15, P16, R5, R8, R9, R10, R11, R12, R13, R14, R15, R16, T5, T6, T7, T8, T9, T10, T11, T12, T13, T14, T15, T16, Y1, Y20
QVDD	G11, J8, J12, K6, K7, K12, M5, M6, M7, N8, P8, P9
文件编号	V11
UPLL_GND	M16
UPLL_VDD	L16
USBPHY1_UPLLVD	M17
USBPHY1_UPLLVS	N17
USBPHY1_VDDA	K16

<sup>1</sup> NVCC\_DRYICE is a supply output. An external capacitor no less than 4  $\mu$ F must be connected to it. A 4.7  $\mu$ F capacitor is recommended.

USBPHY1_VDDA_BIAS	K19
USBPHY1_VSSA	L19
USBPHY1_VSSA_BIAS	J17
USBPHY2_VDD	W18
USBPHY2_VSS	W17

### 4.3 信号接触分配—17 x 17 毫米，0.8 毫米间距

表 101 列出 17×17 毫米封装 i.MX25 信号接触分配。

表 101. 17×17 毫米封装 i.MX25 信号接触分配

联系人姓名	联系人分配	电力铁路	I/O 缓冲区类型	重置后的方向 <sup>1</sup>	重置后的配置 <sup>1</sup>
A0	A18	EMI2	DDR	输出信息	低
A1	B17	EMI2	DDR	输出信息	低
A2	C17	EMI2	DDR	输出信息	低
A3	B18	EMI2	DDR	输出信息	低
A4	C20	EMI2	DDR	输出信息	低
A5	A19	EMI2	DDR	输出信息	低
A6	C19	EMI2	DDR	输出信息	低
A7	B19	EMI2	DDR	输出信息	低
A8	D18	EMI2	DDR	输出信息	低
A9	C18	EMI2	DDR	输出信息	低
A10	A2	EMI1	DDR	输出信息	低
MA10	D16	EMI2	DDR	输出信息	低
A11	D20	EMI2	DDR	输出信息	低
A12	D17	EMI2	DDR	输出信息	低
A13	D19	EMI2	DDR	输出信息	低
A14	A3	EMI1	DDR	输出信息	低
A15	B4	EMI1	DDR	输出信息	低
A16	C6	EMI1	DDR	输出信息	低

A17	B5	EMI1	DDR	输出信息	低
A18	D7	EMI1	DDR	输出信息	低
A19	A4	EMI1	DDR	输出信息	低
A20	B6	EMI1	DDR	输出信息	低
A21	C7	EMI1	DDR	输出信息	低
A22	A5	EMI1	DDR	输出信息	低
A23	A6	EMI1	DDR	输出信息	低
A24	B7	EMI1	DDR	输出信息	低
A25	A7	EMI1	DDR	输出信息	低
SD0	A12	EMI1	DDR	输入的信息	看守人
SD1	C13	EMI1	DDR	输入的信息	看守人
SD2	B13	EMI1	DDR	输入的信息	看守人

**Table 101. 17×17 mm Package i.MX25 Signal Contact Assignment (continued)**

联系人姓名	联系人分配	电力铁路	I/O 缓冲区类型	之后的方向调整 <sup>1</sup>	重置后的配置 <sup>1</sup>
SD3	D14	EMI1	DDR	输入的信息	看守人
SD4	D13	EMI1	DDR	输入的信息	看守人
SD5	A13	EMI1	DDR	输入的信息	看守人
SD6	D12	EMI1	DDR	输入的信息	看守人
SD7	A10	EMI1	DDR	输入的信息	看守人
SD8	B9	EMI1	DDR	输入的信息	看守人
SD9	D10	EMI1	DDR	输入的信息	看守人
SD10	B10	EMI1	DDR	输入的信息	看守人
SD11	C10	EMI1	DDR	输入的信息	看守人
SD12	C9	EMI1	DDR	输入的信息	看守人
SD13	A9	EMI1	DDR	输入的信息	看守人
SD14	D9	EMI1	DDR	输入的信息	看守人
SD15	A8	EMI1	DDR	输入的信息	看守人
SDBA1	A16	EMI2	DDR	输出信息	低
SDBA0	B15	EMI2	DDR	输出信息	低
DQM0	C12	EMI1	DDR	输出信息	高中
DQM1	C8	EMI1	DDR	输出信息	高中
网状激活系统	C14	EMI2	DDR	输出信息	高中
CAS	C16	EMI2	DDR	输出信息	高中
SDWE	A15	EMI2	DDR	输出信息	高中
SDCKE0	D15	EMI2	DDR	输出信息	高中
SDCKE1	C15	EMI2	DDR	输出信息	高中
SDCLK	B14	EMI2	DDR	输出信息	低
SDCLK_B	A14	EMI2	DDR	输出信息	高中
SDQS0	B12	EMI2	DDR	输入的信息	看守人

**Table 101. 17×17 mm Package i.MX25 Signal Contact Assignment (continued)**

SDQS1	B8	EMI2	DDR	输入的信息	看守人
EB0	B3	EMI1	DDR	输出信息	高中
EB1	C5	EMI1	DDR	输出信息	高中
OE	D6	EMI1	DDR	输出信息	高中
CS0	C3	EMI1	DDR	输出信息	高中
CS1	D3	EMI1	DDR	输出信息	高中
CS2	B16	EMI2	DDR	输出信息	高中

联系人姓名	联系人分配	电力铁路	I/O 缓冲区类型	之后的方向调整 <sup>1</sup>	重置后的配置 <sup>1</sup>
CS3	A17	EMI2	DDR	输出信息	高中
CS4	D5	EMI1	GPIO	输出信息	高中
CS5	D4	EMI1	GPIO	输出信息	高中
NF_CE0	D2	NFC	GPIO	输出信息	高中
欧洲央行	B2	EMI1	GPIO	输入的信息	100 KΩ 引体向上
LBA	B1	EMI1	DDR	输出信息	高中
BCLK	D8	EMI1	DDR	输出信息	低
RW	C4	EMI1	DDR	输出信息	高中
NFWE_B	G4	NFC	GPIO	输出信息	高中
NFRE_B	C1	NFC	GPIO	输出信息	高中
NFALE	F4	NFC	GPIO	输出信息	低
NFCLE	E4	NFC	GPIO	输出信息	低
NFWP_B	H4	NFC	GPIO	输出信息	高中
NFRB	C2	NFC	GPIO	输入的信息	100 KΩ 引体向上
D15	J2	NFC	GPIO	输入的信息	看守人
D14	J1	NFC	GPIO	输入的信息	看守人
D13	H2	NFC	GPIO	输入的信息	看守人
D12	H3	NFC	GPIO	输入的信息	看守人

**i.MX25 Applications Processor for Consumer and Industrial Products, Rev. 10**

**Table 101. 17×17 mm Package i.MX25 Signal Contact Assignment (continued)**

D11	F1	NFC	GPIO	输入的信息	100 KΩ 引体向上
D10	F2	NFC	GPIO	输入的信息	看守人
D9	D1	NFC	GPIO	输入的信息	看守人
D8	E2	NFC	GPIO	输入的信息	看守人
D7	J3	NFC	GPIO	输入的信息	看守人
D6	H1	NFC	GPIO	输入的信息	看守人
D5	G1	NFC	GPIO	输入的信息	看守人
D4	G2	NFC	GPIO	输入的信息	看守人
D3	G3	NFC	GPIO	输入的信息	看守人
D2	E1	NFC	GPIO	输入的信息	看守人
D1	F3	NFC	GPIO	输入的信息	看守人
D0	E3	NFC	GPIO	输入的信息	看守人
LD0 <sup>2</sup>	Y7	LCDC	GPIO	输出信息	低
LD1 <sup>2</sup>	V8	LCDC	GPIO	输出信息	低

联系人姓名	联系人分配	电力铁路	I/O 缓冲区类型	之后的方向调整 <sup>1</sup>	重置后的配置 <sup>1</sup>
LD2 <sup>2</sup>	W7	LCDC	GPIO	输出信息	低
LD3 <sup>2</sup>	U8	LCDC	GPIO	输出信息	低
LD4 <sup>2</sup>	Y6	LCDC	GPIO	输出信息	低
LD5 <sup>2</sup>	V7	LCDC	GPIO	输出信息	低
LD6 <sup>2</sup>	W6	LCDC	GPIO	输出信息	低
LD7 <sup>2</sup>	Y5	LCDC	GPIO	输出信息	低
LD8 <sup>2</sup>	V6	LCDC	GPIO	输出信息	低
LD9 <sup>2</sup>	W5	LCDC	GPIO	输出信息	低
LD10 <sup>2</sup>	Y4	LCDC	GPIO	输出信息	低
LD11 <sup>2</sup>	Y3	LCDC	GPIO	输出信息	低
LD12 <sup>2</sup>	V5	LCDC	GPIO	输出信息	低

**Table 101. 17×17 mm Package i.MX25 Signal Contact Assignment (continued)**

LD13 <sup>2</sup>	W4	LCDC	GPIO	输出信息	低
LD14 <sup>2</sup>	V4	LCDC	GPIO	输出信息	低
LD15 <sup>2</sup>	W3	LCDC	GPIO	输出信息	低
HSYNC <sup>2</sup>	U7	LCDC	GPIO	输出信息	低
VSYNC <sup>2</sup>	U6	LCDC	GPIO	输出信息	低
LSCLK <sup>2</sup>	U5	LCDC	GPIO	输出信息	低
OE_ACD <sup>2</sup>	V3	LCDC	GPIO	输出信息	低
对比	U4	LCDC	GPIO	输出信息	低
PWM <sup>2</sup>	W2	LCDC	GPIO	输入的信息	100 KΩ 下拉
CSI_D2	F18	CSI	GPIO	输入的信息	看守人
CSI_D3	E19	CSI	GPIO	输入的信息	看守人
CSI_D4	F19	CSI	GPIO	输入的信息	看守人
CSI_D5	G18	CSI	GPIO	输入的信息	看守人
CSI_D6	E20	CSI	GPIO	输入的信息	看守人
CSI_D7	E18	CSI	GPIO	输入的信息	看守人
CSI_D8	G19	CSI	GPIO	输入的信息	看守人
CSI_D9	F20	CSI	GPIO	输入的信息	看守人
CSI_MCLK <sup>2</sup>	H18	CSI	GPIO	输出信息	低
CSI_VSYNC <sup>2</sup>	20 国集团	CSI	GPIO	输入的信息	看守人
CSI_HSYNC <sup>2</sup>	H19	CSI	GPIO	输入的信息	看守人
CSI_PIXCLK <sup>2</sup>	H20	CSI	GPIO	输入的信息	看守人

**Table 101. 17×17 mm Package i.MX25 Signal Contact Assignment (continued)**

联系人姓名	联系人分配	电力铁路	I/O 缓冲区类型	之后的方向调整 <sup>1</sup>	重置后的配置 <sup>1</sup>
I2C1_CLK	F17	CSI	GPIO	输入的信息	100 KΩ 引体向上
I2C1_DAT	G17	CSI	GPIO	输入的信息	100 KΩ 引体向上
CSPI1_MOSI	T4	MISC	GPIO	输入的信息	100 KΩ 引体向上
CSPI1_MISO	W1	MISC	GPIO	输出信息	低
CSPI1_SS0	R4	MISC	GPIO	输入的信息	100 KΩ 引体向上
CSPI1_SS1	V2	MISC	GPIO	输入的信息	100 KΩ 引体向上
CSPI1_SCLK	U3	MISC	GPIO	输入的信息	100 KΩ 引体向上
CSPI1_RDY	V1	MISC	GPIO	输入的信息	100 KΩ 引体向上
UART1_RXD	U2	MISC	GPIO	输入的信息	100 KΩ 引体向上
UART1_TXD	U1	MISC	GPIO	输出信息	高中
UART1_RTS	T3	MISC	GPIO	输入的信息	100 KΩ 引体向上
UART1_CTS	T2	MISC	GPIO	输出信息	高中
UART2_RXD	P4	MISC	GPIO	输入的信息	100 KΩ 引体向上
UART2_TXD	T1	MISC	GPIO	输出信息	高中
UART2_RTS	R3	MISC	GPIO	输入的信息	100 KΩ 引体向上
UART2_CTS	R2	MISC	GPIO	输入的信息	—
SD1_CMD	K20	SDIO	GPIO	输入的信息	47 KΩ 引体向上
SD1_CLK	M20	SDIO	GPIO	输出信息	高中
SD1_DATA0	L20	SDIO	GPIO	输入的信息	47 KΩ 引体向上
SD1_数据 1	N20	SDIO	GPIO	输入的信息	47 KΩ 引体向上
SD1_数据 2	M19	SDIO	GPIO	输入的信息	47 KΩ 引体向上
SD1_DATA3	J20	SDIO	GPIO	输入的信息	47 KΩ 引体向上

**i.MX25 Applications Processor for Consumer and Industrial Products, Rev. 10**

**Table 101. 17×17 mm Package i.MX25 Signal Contact Assignment (continued)**

KPP_ROW0	N4	MISC	GPIO	输入的信息	100 KΩ 引体向上
KPP_ROW1	R1	MISC	GPIO	输入的信息	100 KΩ 引体向上
KPP_ROW2	P3	MISC	GPIO	输入的信息	100 KΩ 引体向上
KPP_ROW3	P2	MISC	GPIO	输入的信息	100 KΩ 引体向上
KPP_COL0	P1	MISC	GPIO	输入的信息	100 KΩ 引体向上
KPP_COL1	N3	MISC	GPIO	输入的信息	100 KΩ 引体向上
KPP_COL2	N2	MISC	GPIO	输入的信息	100 KΩ 引体向上
KPP_COL3	N1	MISC	GPIO	输入的信息	100 KΩ 引体向上
FEC_MDC	L1	MISC	GPIO	输出信息	低
FEC_MDIO	L2	MISC	GPIO	输入的信息	22 KΩ 引体向上

联系人姓名	联系人分配	电力铁路	I/O 缓冲区类型	之后的方向调整 <sup>1</sup>	重置后的配置 <sup>1</sup>
FEC_TDATA0	L3	MISC	GPIO	输出信息	高中
FEC_TDATA1	J4	MISC	GPIO	输出信息	高中
FEC_TX_EN	M2	MISC	GPIO	输出信息	低
FEC_RDATA0	M1	MISC	GPIO	输入的信息	100 KΩ 下拉
FEC_RDATA1	M4	MISC	GPIO	输入的信息	100 KΩ 下拉
FEC_RX_DV	M3	MISC	GPIO	输入的信息	100 KΩ 下拉
FEC_TX_CLK	L4	MISC	GPIO	输入的信息	100 KΩ 下拉
RTCK	W10	JTAG	GPIO	输出信息	低
TCK	V10	JTAG	GPIO	输入的信息	100 KΩ 下拉
TMS	Y9	JTAG	GPIO	输入的信息	47 KΩ 引体向上
TDI	W9	JTAG	GPIO	输入的信息	47 KΩ 引体向上
TDO	Y8	JTAG	GPIO	输入的信息	—
TRSTB	V9	JTAG	GPIO	输入的信息	47 KΩ 引体向上

**Table 101. 17×17 mm Package i.MX25 Signal Contact Assignment (continued)**

DE_B	W8	JTAG	GPIO	输入的信息	47 KΩ 引体向上
SJC_MOD	U9	JTAG	GPIO	输入的信息	100 KΩ 引体向上
USBPHY1_VBUS	K17	USBPHY1	模拟	模拟	—
USBPHY1_DP	L18	USBPHY1	模拟	模拟	—
USBPHY1_DM	K18	USBPHY1	模拟	模拟	—
USBPHY1_UID	J18	USBPHY1	模拟	模拟	—
USBPHY1_RREF	L17	USBPHY1_BIAS	模拟	模拟	—
USBPHY2_DM	Y19	USBPHY2	模拟	模拟	—
USBPHY2_DP	Y18	USBPHY2	模拟	模拟	—
GPIO_A	N19	CRM	GPIO	输入的信息	—
GPIO_B	N18	CRM	GPIO	输入的信息	100 KΩ 下拉
GPIO_C	P17	CRM	GPIO	输入的信息	100 KΩ 下拉
GPIO_D	P19	CRM	GPIO	输入的信息	—
GPIO_E	P18	CRM	GPIO	输入的信息	100 KΩ 引体向上
GPIO_F	R19	CRM	GPIO	输入的信息	—
EXT_ARMCLK	R20	CRM	GPIO	输入的信息	—
UPLL_BYPCLK	U20	CRM	GPIO	输入的信息	—
VSTBY_REQ	R18	CRM	GPIO	输出信息	低
VSTBY_ACK <sup>3</sup>	T20	CRM	GPIO	输出信息	低

联系人姓名	联系人分配	电力铁路	I/O 缓冲区类型	之后的方向调整 <sup>1</sup>	重置后的配置 <sup>1</sup>
力量_失败	T19	CRM	GPIO	输入的信息	100 KΩ 下拉
重置_B	T18	CRM	GPIO	输入的信息	100 KΩ 引体向上
POR_B	U19	CRM	GPIO	输入的信息	100 KΩ 引体向上
CLKO	V20	CRM	GPIO	输出信息	低

<sup>1</sup> The state immediately after reset and before ROM firmware or software has executed.

**Table 101. 17×17 mm Package i.MX25 Signal Contact Assignment (continued)**

启动_MODE0 <sup>12</sup>	V19	CRM	GPIO	输入的信息	100 KΩ 下拉
BOOT_MODE1 <sup>2</sup>	W20	CRM	GPIO	输入的信息	100 KΩ 下拉
CLK_SEL	W19	CRM	GPIO	输入的信息	100 KΩ 下拉
测试模式	V18	CRM	GPIO	输入的信息	100 KΩ 下拉
OSC24M_EXTAL	Y15	OSC24M	模拟	模拟	—
OSC24M_XTAL	Y16	OSC24M	模拟	模拟	—
OSC32K_EXTAL	Y11	干冰	模拟	模拟	—
OSC32K_XTAL	Y10	干冰	模拟	模拟	—
琥珀_A	N10	干冰	模拟	模拟	—
TAMPER_B	N11	干冰	模拟	模拟	—
MESH_C	P11	干冰	模拟	模拟	—
网格_D	P12	干冰	模拟	模拟	—
OSC_BYP	Y12	干冰	模拟	模拟	—
XP	V14	ADC	模拟	模拟	—
XN	U13	ADC	模拟	模拟	—
YP	V13	ADC	模拟	模拟	—
YN	W12	ADC	模拟	模拟	—
雨刮器	U14	ADC	模拟	模拟	—
INAUX0	U11	ADC	模拟	模拟	—
INAUX1	V12	ADC	模拟	模拟	—
INAUX2	U12	ADC	模拟	模拟	—

<sup>1</sup> During power-on reset this port acts as input for fuse override signal.

<sup>2</sup> During power-on reset this port acts as output for diagnostic signal.

表 102 列出 17×17 毫米封装 i.MX25 无连接接触分配。表 102。17×17 毫米封装

**i.MX25 无连接接触分配**

信号名称	联系人分配
NC_BGA_B20	B20
NC_BGA_E17	E17
NC_BGA_H17	H17
NC_BGA_J19	J19
NC_BGA_M18	M18
NC_BGA_P20	P20
NC_BGA_U15	U15
NC_BGA_U16	U16
NC_BGA_V15	V15
NC_BGA_V16	V16
NC_BGA_V17	V17
NC_BGA_W14	W14
NC_BGA_Y2	Y2
NC_BGA_Y14	Y14
NC_BGA_Y17	Y17

## 4.4 i.MX25 17x17 包装球图

表 103 显示 i.MX25 17×17 包球图。

表 103. i.MX25 17×17 包球地图

第	H	G	第	E	D	字	字	罗
D14	D6	D5	D11	D2	D9	NFRE_B	LBA	QGND 1
D15	D13	D4	D10	D8	NF_CEO	NFRB	欧洲	A10 2
D7	D12	D3	D1	D0	CS1	CS0	EB0	A14 3
FEC_TDATA1	NFWP_B	NFWE_B	NFALE	NFCLE	CS5	RW	A15	A19 4
QGND	QGND	QGND	QGND	QGND	CS4	EB1	A17	A22 5
NVCC_EMI1	NVCC_EMI1	NVCC_EMI1	QGND	QGND	OE	A16	A20	A23 6
NVCC_EMI1	NVCC_EMI1	NVCC_EMI1	QGND	QGND	A18	A21	A24	A25 7
QVDD	NVCC_EMI1	NVCC_EMI1	QGND	QGND	BCLK	DQM1	SDQS1	SD15 8
QGND	QGND	NVCC_EMI1	QGND	QGND	SD14	SD12	SD8	SD13 9
QGND	QGND	QGND	QGND	QGND	SD9	SD11	SD10	SD7 10
QGND	QGND	QVDD	QGND	QGND	QGND	QGND	QGND	QGND 11
QVDD	NVCC_EMI2	NVCC_EMI2	QGND	QGND	SD6	DQM0	SDQS0	SD0 12
NVCC_CSI	NVCC_EMI2	NVCC_EMI2	QGND	QGND	SD4	SD1	SD2	SD5 13
NVCC_CSI	NVCC_EMI2	NVCC_EMI2	QGND	QGND	SD3	网状	SDCLK	SDCLK_B 14
QGND	QGND	NVCC_EMI2	QGND	QGND	SDCKE0	SDCKE1	SDBA0	SDWE 15
QGND	QGND	QGND	QGND	QGND	MA10	CAS	CS2	SDBA1 16
USBPHY1_VSSA_BIAS	NC_BGA_H17	I2C1_DAT	I2C1_CLK	NC_BGA_E17	A12	A2	A1	CS3 17
USBPHY1_UID	CSI_MCLK	CSI_D5	CSI_D2	CSI_D7	A8	A9	A3	A0 18
NC_BGA_J19	CSI_HSYNC	CSI_D8	CSI_D4	CSI_D3	A13	A6	A7	A5 19
SD1_DATA3	CSI_PIXCLK	CSI_VSYNC	CSI_D9	CSI_D6	A11	A4	NC_BGA_B20	QGND 20

表 103. i.MX25 17×17 包球地图 (续)

字	字	P	第	罗	字	K
UART2_TXD	KPP_ROW1	KPP_COL0	KPP_COL3	FEC_RDATA0	FEC_MDC	QGND 1
UART1_CTS	UART2_CTS	KPP_ROW3	KPP_COL2	FEC_TX_EN	FEC_MDIO	QGND 2
UART1_RTS	UART2_RTS	KPP_ROW2	KPP_COL1	FEC_RX_DV	FEC_TDATA0	QGND 3
CSPI1_MOSI	CSPI1_SS0	UART2_RXD	KPP_ROW0	FEC_RDATA1	FEC_TX_CLK	QGND 4
QGND	QGND	QGND	NVCC_MISC	QVDD	QGND	QGND 5
QGND	NVCC_LCDC	NVCC_LCDC	NVCC_MISC	QVDD	NVCC_NFC	QVDD 6
QGND	NVCC_LCDC	NVCC_LCDC	NVCC_MISC	QVDD	NVCC_NFC	QVDD 7
QGND	QGND	QVDD	QVDD	QGND	NVCC_NFC	QGND 8
QGND	QGND	QVDD	QGND	QGND	QGND	QGND 9
QGND	QGND	BAT_VDD	坦珀_A	QGND	QGND	QGND 10
QGND	QGND	MESH_C	TAMPER_B	QGND	QGND	QGND 11
QGND	QGND	网格_D	QGND	QGND	QGND	QVDD 12
QGND	QGND	QGND	QGND	QGND	QGND	QGND 13
QGND	QGND	QGND	NVCC_CRM	QGND	QGND	QGND 14
QGND	QGND	QGND	QGND	QGND	QGND	QGND 15
QGND	QGND	QGND	QGND	UPLL_GND	UPLL_VDD	USBPHY1_VDDA 16
FUSE_VDD	NVCC_SDIO	GPIO_C	USBPHY1_UPLLVS	USBPHY1_UPLLVD	USBPHY1_RREF	USBPHY1_VBUS 17
重置_B	VSTBY_REQ	GPIO_E	GPIO_B	NC_BGA_M18	USBPHY1_DP	USBPHY1_DM 18
力量_失败	GPIO_F	GPIO_D	GPIO_A	SD1_数据 2	USBPHY1_VSSA	USBPHY1_VDDA_BIAS 19
VSTBY_ACK	EXT_ARMCLK	NC_BGA_P20	SD1_数据 1	SD1_CLK	SD1_DATA0	SD1_CMD 20

表 103. i.MX25 17×17 包球地图 (续)

第	罗	V	第
	CSPI1_MISO	CSPI1_RDY	UART1_TXD 1
QGND			
NC_BGA_Y2	PWM	CSPI1_SS1	UART1_RXD 2
LD11	LD15	OE_ACD	CSPI1_SCLK 3
LD10	LD13	LD14	对比 4
LD7	LD9	LD12	LSCLK 5
LD4	LD6	LD8	VSYNC 6
LD0	LD2	LD5	HSYNC 7
TDO	DE_B	LD1	LD3 8
TMS	TDI	TRSTB	SJC_MOD 9
OSC32K_XTAL	RTCK	TCK	NVCC_JTAG 10
OSC32K_EXTAL	NVCC_DRYICE	文件	INAUX0 11
OSC_BYP	YN	INAUX1	INAUX2 12
NGND_ADC	NVCC_ADC	YP	XN 13
NC_BGA_Y14	NC_BGA_W14	XP	雨刮器 14
OSC24M_EXTAL	OSC24M_GND	NC_BGA_V15	NC_BGA_U15 15
OSC24M_XTAL	OSC24M_VDD	NC_BGA_V16	NC_BGA_U16 16
NC_BGA_Y17	USBPHY2_VSS	NC_BGA_V17	MPLL_GND 17
USBPHY2_DP	USBPHY2_VDD	测试模式	MPLL_VDD 18
USBPHY2_DM	CLK_SEL	启动_MODE0	POR_B 19
QGND	BOOT_MODE1	CLKO	UPLL_BYPCCLK 20

## 4.5 347 MAPBGA—外壳 12 x 12 毫米，0.5 毫米间距

图 99 显示 12×12 毫米 i.MX25 生产封装。以下注释适用于图 99 冒号：

- 所有尺寸以毫米为单位。根据 ASME Y14.5M-1994 的尺寸和容量。
- 与基准 A 平行测量的最大焊料球直径。
- 基准 A，即座椅平面，由焊料球的球形冠决定。
- 平行度测量应排除标记对包装顶部表面的任何影响。

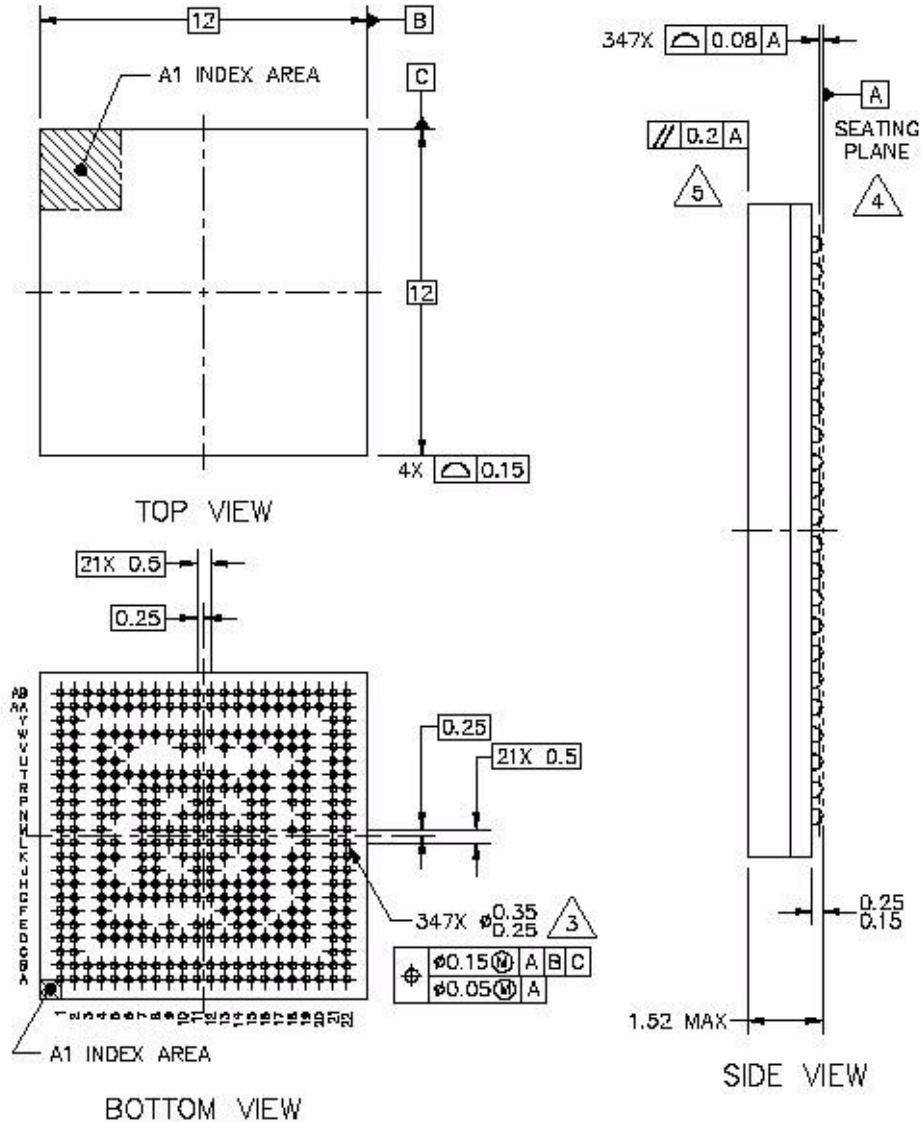


图 99。12×12 毫米 i.MX25 生产包

## 4.6 地面、功率、感应和参考接触分配箱 12x12 毫米，0.5 毫米间距

表 104 显示 12×12 毫米封装接地、功率、感应和参考接触分配。

**表 104. 12x12 毫米封装接地、功率感应和参考接触分配**

联系人姓名	联系人分配
BATT_VDD	AA10
FUSE_VDD	P18
MPLL_GND	V17
MPLL_VDD	W19
NGND_ADC	N15
NVCC_ADC	P15
NVCC_CRM	P16
NVCC_CSI	J15, J16
NVCC_DRYICE <sup>1</sup>	R14
NVCC_EMI1	G8, G9, G10, H8, H9, H10
NVCC_EMI2	E15, F15, G15, G16, H15, H16
NVCC_JTAG	W10
NVCC_LCDC	R8, R9, T8
NVCC_MISC	P7, P8, R7, T7
NVCC_NFC	J7, J8, K7, K8
NVCC_SDIO	N19
OSC24M_GND	T15
OSC24M_VDD	V15
QGND	A1, A22, B2, B14, B21, E18, F13, F14, F18, G6, G11, G12, G14, H11, H12, H14, J12, K10, K11, K12, K13, L7, L8, L9, L10, L11, L12, L13, L14, L15, L16, M7, M8, M9, M10, M11, M12, M13, M14, M15, M16, N10, N11, N12, N13, P11, P12, R11, R12, R18, T5, T6, T11, T12, T18, V18, V19, W2, W9, Y21, AA2, AA21, AB1, AB18, AB21, AB22, J11
QVDD	G7, G13, H7, H13, H18, J18, N7, N8, R10, R15, R16, T9, T10, V10,
文件编号	AA14
UPLL_GND	N16
UPLL_VDD	M18

USBPHY1_UPLLVD	L21
USBPHY1_UPLLSS	M19
USBPHY1_VDDA	K15, K16
USBPHY1_VDDA_BIAS	L22

表 104. 12x12 毫米封装接地、功率感应和参考接触分配 (续)

联系人姓名	联系人分配
USBPHY1_VSSA	K19
USBPHY1_VSSA_BIAS	K18
USBPHY2_VDD	T16
USBPHY2_VSS	W16

<sup>1</sup>NVCC\_DRYICE 是一个供应输出。必须连接不少于 4 $\mu$ F 的外部电容器。建议使用 4.7 $\mu$ F 电容器。

## 4.7 信号接触分配—12 x 12 毫米，0.5 毫米间距

表 105 列出 12x12 毫米封装 i.MX25 信号触点分配。

表 105. 12x12 毫米封装 i.MX25 信号接触分配

联系人姓名	联系人分配	电力铁路	I/O 缓冲区类型	之后的方向调整 <sup>1</sup>	重置后的配置 <sup>1</sup>
A0	A20	EMI2	DDR	输出信息	低
A1	A19	EMI2	DDR	输出信息	低
A2	B18	EMI2	DDR	输出信息	低
A3	D17	EMI2	DDR	输出信息	低
A4	A21	EMI2	DDR	输出信息	低
A5	B19	EMI2	DDR	输出信息	低
A6	D18	EMI2	DDR	输出信息	低
A7	B20	EMI2	DDR	输出信息	低
A8	E19	EMI2	DDR	输出信息	低
A9	D19	EMI2	DDR	输出信息	低

A10	B5	EMI1	DDR	输出信息	低
MA10	E17	EMI2	DDR	输出信息	低
A11	C21	EMI2	DDR	输出信息	低
A12	B22	EMI2	DDR	输出信息	低
A13	D21	EMI2	DDR	输出信息	低
A14	A4	EMI1	DDR	输出信息	低
A15	D6	EMI1	DDR	输出信息	低
A16	A5	EMI1	DDR	输出信息	低
A17	E6	EMI1	DDR	输出信息	低
A18	A6	EMI1	DDR	输出信息	低
A19	E7	EMI1	DDR	输出信息	低

**Table 105. 12x12 mm Package i.MX25 Signal Contact Assignment (continued)**

联系人姓名	联系人分配	电力铁路	I/O 缓冲区类型	之后的方向调整 <sup>1</sup>	重置后的配置 <sup>1</sup>
A20	B6	EMI1	DDR	输出信息	低
A21	D7	EMI1	DDR	输出信息	低
A22	A7	EMI1	DDR	输出信息	低
A23	E9	EMI1	DDR	输出信息	低
A24	B7	EMI1	DDR	输出信息	低
A25	D8	EMI1	DDR	输出信息	低
SD0	A13	EMI1	DDR	输入的信息	看守人
SD1	D12	EMI1	DDR	输入的信息	看守人
SD2	B12	EMI1	DDR	输入的信息	看守人
SD3	A14	EMI1	DDR	输入的信息	看守人
SD4	B13	EMI1	DDR	输入的信息	看守人
SD5	A15	EMI1	DDR	输入的信息	看守人
SD6	B11	EMI1	DDR	输入的信息	看守人
SD7	A12	EMI1	DDR	输入的信息	看守人
SD8	D10	EMI1	DDR	输入的信息	看守人
SD9	A10	EMI1	DDR	输入的信息	看守人
SD10	A11	EMI1	DDR	输入的信息	看守人
SD11	B10	EMI1	DDR	输入的信息	看守人
SD12	B9	EMI1	DDR	输入的信息	看守人
SD13	E11	EMI1	DDR	输入的信息	看守人
SD14	B8	EMI1	DDR	输入的信息	看守人
SD15	D9	EMI1	DDR	输入的信息	看守人
SDBA1	D16	EMI2	DDR	输出信息	低
SDBA0	A17	EMI2	DDR	输出信息	低
DQM0	D11	EMI1	DDR	输出信息	高中

**i.MX25 Applications Processor for Consumer and Industrial Products, Rev. 10**

**Table 105. 12x12 mm Package i.MX25 Signal Contact Assignment (continued)**

DQM1	A9	EMI1	DDR	输出信息	高中
网状激活系统	D15	EMI2	DDR	输出信息	高中
CAS	B16	EMI2	DDR	输出信息	高中
SDWE	B15	EMI2	DDR	输出信息	高中
SDCKE0	A16	EMI2	DDR	输出信息	高中
SDCKE1	F16	EMI2	DDR	输出信息	高中
SDCLK	D13	EMI2	DDR	输出信息	低

联系人姓名	联系人分配	电力铁路	I/O 缓冲区类型	之后的方向调整 <sup>1</sup>	重置后的配置 <sup>1</sup>
SDCLK_B	D14	EMI2	DDR	输出信息	高中
SDQS0	E14	EMI2	DDR	输入的信息	看守人
SDQS1	E12	EMI2	DDR	输入的信息	看守人
EB0	A2	EMI1	DDR	输出信息	高中
EB1	B4	EMI1	DDR	输出信息	高中
OE	A3	EMI1	DDR	输出信息	高中
CS0	C2	EMI1	DDR	输出信息	高中
CS1	D4	EMI1	DDR	输出信息	高中
CS2	B17	EMI2	DDR	输出信息	高中
CS3	A18	EMI2	DDR	输出信息	高中
CS4	E5	EMI1	GPIO	输出信息	高中
CS5	D2	EMI1	GPIO	输出信息	高中
NF_CE0	F4	NFC	GPIO	输出信息	高中
欧洲央行	B1	EMI1	GPIO	输入的信息	100 KΩ 引体向上
LBA	B3	EMI1	DDR	输出信息	高中
BCLK	A8	EMI1	DDR	输出信息	低
RW	D5	EMI1	DDR	输出信息	高中
NFWE_B	E1	NFC	GPIO	输出信息	高中

**Table 105. 12x12 mm Package i.MX25 Signal Contact Assignment (continued)**

NFRE_B	C1	NFC	GPIO	输出信息	高中
NFALE	E2	NFC	GPIO	输出信息	低
NFCLE	D1	NFC	GPIO	输出信息	低
NFWP_B	G4	NFC	GPIO	输出信息	高中
NFRB	G5	NFC	GPIO	输入的信息	100 K $\Omega$ 引体向上
D15	K2	NFC	GPIO	输入的信息	看守人
D14	K4	NFC	GPIO	输入的信息	看守人
D13	J2	NFC	GPIO	输入的信息	看守人
D12	J4	NFC	GPIO	输入的信息	看守人
D11	K5	NFC	GPIO	输入的信息	—
D10	H4	NFC	GPIO	输入的信息	看守人
D9	H5	NFC	GPIO	输入的信息	看守人
D8	G2	NFC	GPIO	输入的信息	看守人

联系人姓名	联系人分配	电力铁路	I/O 缓冲区类型	之后的方向调整 <sup>1</sup>	重置后的配置 <sup>1</sup>
D7	L1	NFC	GPIO	输入的信息	看守人
D6	K1	NFC	GPIO	输入的信息	看守人
D5	J1	NFC	GPIO	输入的信息	看守人
D4	H2	NFC	GPIO	输入的信息	看守人
D3	H1	NFC	GPIO	输入的信息	看守人
D2	G1	NFC	GPIO	输入的信息	看守人
D1	F1	NFC	GPIO	输入的信息	看守人
D0	F2	NFC	GPIO	输入的信息	看守人
LD0 <sup>2</sup>	AB10	LCDC	GPIO	输出信息	低
LD1 <sup>2</sup>	W8	LCDC	GPIO	输出信息	低
LD2 <sup>2</sup>	AB9	LCDC	GPIO	输出信息	低
LD3 <sup>2</sup>	AA9	LCDC	GPIO	输出信息	低

**i.MX25 Applications Processor for Consumer and Industrial Products, Rev. 10**

**Table 105. 12x12 mm Package i.MX25 Signal Contact Assignment (continued)**

LD4 <sup>2</sup>	AB8	LCDC	GPIO	输出信息	低
LD5 <sup>2</sup>	AA8	LCDC	GPIO	输出信息	低
LD6 <sup>2</sup>	AB7	LCDC	GPIO	输出信息	低
LD7 <sup>2</sup>	AA7	LCDC	GPIO	输出信息	低
LD8 <sup>2</sup>	AB6	LCDC	GPIO	输出信息	低
LD9 <sup>2</sup>	AA6	LCDC	GPIO	输出信息	低
LD10 <sup>2</sup>	AB5	LCDC	GPIO	输出信息	低
LD11 <sup>2</sup>	W7	LCDC	GPIO	输出信息	低
LD12 <sup>2</sup>	AB4	LCDC	GPIO	输出信息	低
LD13 <sup>2</sup>	W6	LCDC	GPIO	输出信息	低
LD14 <sup>2</sup>	AB3	LCDC	GPIO	输出信息	低
LD15 <sup>2</sup>	AA5	LCDC	GPIO	输出信息	低
HSYNC <sup>2</sup>	AA4	LCDC	GPIO	输出信息	低
VSYNC <sup>2</sup>	W5	LCDC	GPIO	输出信息	低
LSCLK <sup>2</sup>	AB2	LCDC	GPIO	输出信息	低
OE_ACD <sup>2</sup>	AA3	LCDC	GPIO	输出信息	低
对比	Y2	LCDC	GPIO	输出信息	低
PWM <sup>2</sup>	W4	LCDC	GPIO	输入的信息	100 K $\Omega$ 下拉
CSI_D2	C22	CSI	GPIO	输入的信息	看守人

**Table 105. 12x12 mm Package i.MX25 Signal Contact Assignment  
(continued)**

联系人姓名	联系人分配	电力铁路	I/O 缓冲区类型	之后的方向调整 <sup>1</sup>	重置后的配置 <sup>1</sup>
CSI_D3	F19	CSI	GPIO	输入的信息	看守人
CSI_D4	E21	CSI	GPIO	输入的信息	看守人
CSI_D5	G19	CSI	GPIO	输入的信息	看守人
CSI_D6	D22	CSI	GPIO	输入的信息	看守人
CSI_D7	F21	CSI	GPIO	输入的信息	看守人
CSI_D8	E22	CSI	GPIO	输入的信息	看守人
CSI_D9	H19	CSI	GPIO	输入的信息	看守人
CSI_MCLK <sup>2</sup>	F22	CSI	GPIO	输出信息	低
CSI_VSYNC <sup>2</sup>	G21	CSI	GPIO	输入的信息	看守人
CSI_HSYNC <sup>2</sup>	G22	CSI	GPIO	输入的信息	看守人
CSI_PIXCLK <sup>2</sup>	J19	CSI	GPIO	输入的信息	看守人
I2C1_CLK	H22	CSI	GPIO	输入的信息	100 K $\Omega$ 引体向上
I2C1_DAT	H21	CSI	GPIO	输入的信息	100 K $\Omega$ 引体向上
CSPI1_MOSI	AA1	MISC	GPIO	输入的信息	100 K $\Omega$ 引体向上
CSPI1_MISO	V4	MISC	GPIO	输出信息	低
CSPI1_SS0	V2	MISC	GPIO	输入的信息	100 K $\Omega$ 引体向上
CSPI1_SS1	U4	MISC	GPIO	输入的信息	100 K $\Omega$ 引体向上
CSPI1_SCLK	Y1	MISC	GPIO	输入的信息	100 K $\Omega$ 引体向上
CSPI1_RDY	U5	MISC	GPIO	输入的信息	100 K $\Omega$ 引体向上
UART1_RXD	U2	MISC	GPIO	输入的信息	100 K $\Omega$ 引体向上

**Table 105. 12x12 mm Package i.MX25 Signal Contact Assignment  
(continued)**

UART1_TXD	V6	MISC	GPIO	输出信息	高中
UART1_RTS	W1	MISC	GPIO	输入的信息	100 KΩ 引体向上
UART1_CTS	R5	MISC	GPIO	输出信息	高中
UART2_RXD	V1	MISC	GPIO	输入的信息	100 KΩ 引体向上
UART2_TXD	T4	MISC	GPIO	输出信息	高中

联系人姓名	联系人分配	电力铁路	I/O 缓冲区类型	之后的方向调整 <sup>1</sup>	重置后的配置 <sup>1</sup>
UART2_RTS	T2	MISC	GPIO	输入的信息	100 KΩ 引体向上
UART2_CTS	P5	MISC	GPIO	输入的信息	—
SD1_CMD	N22	SDIO	GPIO	输入的信息	47 KΩ 引体向上
SD1_CLK	N21	SDIO	GPIO	输出信息	高中
SD1_DATA0	P22	SDIO	GPIO	输入的信息	47 KΩ 引体向上
SD1_数据 1	R22	SDIO	GPIO	输入的信息	47 KΩ 引体向上
SD1_数据 2	M22	SDIO	GPIO	输入的信息	47 KΩ 引体向上
SD1_DATA3	M21	SDIO	GPIO	输入的信息	47 KΩ 引体向上
KPP_ROW0	R2	MISC	GPIO	输入的信息	100 KΩ 引体向上
KPP_ROW1	R4	MISC	GPIO	输入的信息	100 KΩ 引体向上
KPP_ROW2	U1	MISC	GPIO	输入的信息	100 KΩ 引体向上
KPP_ROW3	P4	MISC	GPIO	输入的信息	100 KΩ 引体向上
KPP_COLO	T1	MISC	GPIO	输入的信息	100 KΩ 引体向上

**Table 105. 12x12 mm Package i.MX25 Signal Contact Assignment  
(continued)**

KPP_COL1	N5	MISC	GPIO	输入的信息	100 K $\Omega$ 引体向上
KPP_COL2	P2	MISC	GPIO	输入的信息	100 K $\Omega$ 引体向上
KPP_COL3	N4	MISC	GPIO	输入的信息	100 K $\Omega$ 引体向上
FEC_MDC	P1	MISC	GPIO	输出信息	低
FEC_MDIO	M2	MISC	GPIO	输入的信息	22 K $\Omega$ 引体向上
FEC_TDATA0	L2	MISC	GPIO	输出信息	高中
FEC_TDATA1	M1	MISC	GPIO	输出信息	高中
FEC_TX_EN	R1	MISC	GPIO	输出信息	低

联系人姓名	联系人分配	电力铁路	I/O 缓冲区类型	之后的方向调整 <sup>1</sup>	重置后的配置 <sup>1</sup>
FEC_RDATA0	M4	MISC	GPIO	输入的信息	100 K $\Omega$ 下拉
FEC_RDATA1	N2	MISC	GPIO	输入的信息	100 K $\Omega$ 下拉
FEC_RX_DV	L5	MISC	GPIO	输入的信息	100 K $\Omega$ 下拉
FEC_TX_CLK	N1	MISC	GPIO	输入的信息	100 K $\Omega$ 下拉
RTCK	W13	JTAG	GPIO	输出信息	低
TCK	AA13	JTAG	GPIO	输入的信息	100 K $\Omega$ 下拉
TMS	AA12	JTAG	GPIO	输入的信息	47 K $\Omega$ 引体向上
TDI	W12	JTAG	GPIO	输入的信息	47 K $\Omega$ 引体向上
TDO	AA11	JTAG	GPIO	输入的信息	—
TRSTB	AB14	JTAG	GPIO	输入的信息	47 K $\Omega$ 引体向上

**Table 105. 12x12 mm Package i.MX25 Signal Contact Assignment  
(continued)**

DE_B	W11	JTAG	GPIO	输入的信息	47 KΩ 引体向上
SJC_MOD	AB11	JTAG	GPIO	输入的信息	100 KΩ 引体向上
USBPHY1_VBUS	K22	USBPHY1	模拟	模拟	—
USBPHY1_DP	K21	USBPHY1	模拟	模拟	—
USBPHY1_DM	J21	USBPHY1	模拟	模拟	—
USBPHY1_UID	J22	USBPHY1	模拟	模拟	—
USBPHY1_RREF	L19	USBPHY1_BIAS	模拟	模拟	—
USBPHY2_DM	W18	USBPHY2	模拟	模拟	—
USBPHY2_DP	W17	USBPHY2	模拟	模拟	—
GPIO_A	T22	CRM	GPIO	输入的信息	—
GPIO_B	P21	CRM	GPIO	输入的信息	100 KΩ 下拉
GPIO_C	U22	CRM	GPIO	输入的信息	100 KΩ 下拉
GPIO_D	P19	CRM	GPIO	输入的信息	—

联系人姓名	联系人分配	电力铁路	I/O 缓冲区类型	之后的方向调整 <sup>1</sup>	重置后的配置 <sup>1</sup>
GPIO_E	R21	CRM	GPIO	输入的信息	100 KΩ 引体向上
GPIO_F	R19	CRM	GPIO	输入的信息	—
EXT_ARMCLK	V22	CRM	GPIO	输入的信息	—
UPLL_BYPCCLK	U21	CRM	GPIO	输入的信息	—
VSTBY_REQ	T21	CRM	GPIO	输出信息	低
VSTBY_ACK <sup>3</sup>	W22	CRM	GPIO	输出信息	低
力量_失败	T19	CRM	GPIO	输入的信息	100 KΩ 下拉
重置_B	U19	CRM	GPIO	输入的信息	100 KΩ 引体向上

**Table 105. 12x12 mm Package i.MX25 Signal Contact Assignment  
(continued)**

POR_B	V21	CRM	GPIO	输入的信息	100 K $\Omega$ 引体向上
CLKO	Y22	CRM	GPIO	输出信息	低
启动_MODE0 <sup>2</sup>	AA22	CRM	GPIO	输入的信息	100 K $\Omega$ 下拉
BOOT_MODE1 <sup>2</sup>	W21	CRM	GPIO	输入的信息	100 K $\Omega$ 下拉
CLK_SEL	AA20	CRM	GPIO	输入的信息	100 K $\Omega$ 下拉
测试模式	AA19	CRM	GPIO	输入的信息	100 K $\Omega$ 下拉
OSC24M_EXTAL	AB19	OSC24M	模拟	模拟	—
OSC24M_XTAL	AB20	OSC24M	模拟	模拟	—
OSC32K_EXTAL	AB13	干冰	模拟	模拟	—
OSC32K_XTAL	AB12	干冰	模拟	模拟	—
坦珀_A	V11	干冰	模拟	模拟	—
TAMPER_B	V13	干冰	模拟	模拟	—
MESH_C	T13	干冰	模拟	模拟	—
网格_D	R13	干冰	模拟	模拟	—
OSC_BYP	AB15	干冰	模拟	模拟	—
XP	AA18	ADC	模拟	模拟	—
XN	AA16	ADC	模拟	模拟	—
YP	AB17	ADC	模拟	模拟	—
YN	W15	ADC	模拟	模拟	—

<sup>1</sup> 重置后立即以及 ROM 固件或软件执行之前的状态。

<sup>2</sup> 在开机重置期间，此端口充当保险丝覆盖信号的输入。

<sup>3</sup> 在开机重置期间，此端口作为诊断信号的输出。

表 106 列出 12×12 毫米封装 i.MX25 无连接接触分配。

**Table 105. 12x12 mm Package i.MX25 Signal Contact Assignment  
(continued)**

E	D	字	字	罗
NFWE_B	NFCLE	NFRE_B	欧洲	QGND 1
NFALE	CS5	CS0	QGND	EB0 2
			LBA	OE 3
NC_BGA_E4	CS1		EB1	A14 4
CS4	RW		A10	A16 5
A17	A15		A20	A18 6
A19	A21		A24	A22 7
	A25		SD14	BCLK 8
A23	SD15		SD12	DQM1 9
	SD8		SD11	SD9 10
SD13	DQM0		SD6	SD10 11
SDQS1	SD1		SD2	SD7 12
	SDCLK		SD4	SD0 13
SDQS0	SDCLK_B		QGND	SD3 14
NVCC_EMI2	网状		SDWE	SD5 15
	SDBA1		CAS	SDCKE0 16
MA10	A3		CS2	SDBA0 17
QGND	A6		A2	CS3 18
A8	A9		A5	A1 19
			A7	A0 20
CSI_D4	A13	A11	QGND	A4 21
CSI_D8	CSI_D6	CSI_D2	A12	QGND 22

**Table 105. 12x12 mm Package i.MX25 Signal Contact Assignment (continued)**

联系人姓名	联系人分配	电力铁路	I/O 缓冲区类型	之后的方向调整 <sup>1</sup>	重置后的配置 <sup>1</sup>
雨刮器	AA17	ADC	模拟	模拟	—
INAUX0	AA15	ADC	模拟	模拟	—
INAUX1	W14	ADC	模拟	模拟	—
INAUX2	AB16	ADC	模拟	模拟	—

**表 106. 12×12 毫米封装 i.MX25 无连接接触分配**

信号名称	联系人分配
NC_BGA_E4	E4
NC_BGA_L4	L4

## 4.8 i.MX25 12x12 包装球图

表 107 显示 i.MX25 12×12 包球图。

**表 107. i.MX25 12×12 包球地图**

表 107. i.MX25 12×12 包球地图 (续)

第	罗	字	K	架	H	G
FEC_TX_CLK	FEC_TDATA1	D7	D6	D5	D3	D2
FEC_RDATA1	FEC_MDIO	FEC_TDATA0	D15	D13	D4	D8
KPP_COL3	FEC_RDATA0	NC_BGA_L4	D14	D12	D10	NFWP_B_4
KPP_COL1		FEC_RX_DV	D11		D9	NFRB_5
						QGND_6
QVDD	QGND	QGND	NVCC_NFC	NVCC_NFC	QVDD	QVDD_7
QVDD	QGND	QGND	NVCC_NFC	NVCC_NFC	NVCC_EMI1	NVCC_EMI1_8
	QGND	QGND			NVCC_EMI1	NVCC_EMI1_9
QGND	QGND	QGND	QGND		NVCC_EMI1	NVCC_EMI1_10
QGND	QGND	QGND	QGND	QGND	QGND	QGND_11
QGND	QGND	QGND	QGND	QGND	QGND	QGND_12
QGND	QGND	QGND	QGND	QGND	QVDD	QVDD_13
	QGND	QGND			QGND	QGND_14
NGND_ADC	QGND	QGND	USBPHY1_VDDA	NVCC_CSI	NVCC_EMI2	NVCC_EMI2_15
UPLL_GND	QGND	QGND	USBPHY1_VDDA	NVCC_CSI	NVCC_EMI2	NVCC_EMI2_16
	UPLL_VDD		USBPHY1_VSSA_BIAS	QVDD	QVDD	
NVCC_SDIO	USBPHY1_UPLLVS	USBPHY1_RREF	USBPHY1_VSSA	CSI_PIXCLK	CSI_D9	CSI_D5
SD1_CLK	SD1_DATA3	USBPHY1_UPLLVD	USBPHY1_DP	USBPHY1_DM	I2C1_DAT	CSI_VSYNC
SD1_CMD	SD1_数据2	USBPHY1_VDDA_BIAS	USBPHY1_VBUS	USBPHY1_UID	I2C1_CLK	CSI_HSYNC

字	第	罗	V	第	字	字	P
CSPI1_MOSI	CSPI1_SCLK	UART1_RTS	UART2_RXD	KPP_ROW2	KPP_COL0	FEC_TX_EN 1	FEC_MDC
QGND	对比	QGND	CSPI1_SS0	UART1_RXD	UART2_RTS	KPP_ROW0 2	KPP_COL2
OE_ACD						3	
HSYNC		PWM	CSPI1_MISO	CSPI1_SS1	UART2_TXD	KPP_ROW1 4	KPP_ROW3
LD15		VSYNC		CSPI1_RDY	QGND	UART1_CTS 5	UART2_CTS
LD9		LD13	UART1_TXD		QGND	6	
LD7		LD11			NVCC_MISC	NVCC_MISC 7	NVCC_MISC
LD5		LD1			NVCC_LCDC	NVCC_LCDC 8	NVCC_MISC
LD3		QGND			QVDD	NVCC_LCDC 9	
BAT_VDD		NVCC_JTAG	QVDD		QVDD	QVDD 10	
TDO		DE_B	琥珀_A		QGND	QGND 11	QGND
TMS		TDI			QGND	QGND 12	QGND
TCK		RTCK	TAMPER_B		MESH_C	网格_D 13	
文件		INAUX1				NVCC_DRYICE 14	
INAUX0		YN	OSC24M_VDD		OSC24M_GND	QVDD 15	NVCC_ADC
XN		USBPHY2_VSS			USBPHY2_VDD	QVDD 16	NVCC_CRM
雨刮器		USBPHY2_DP	MPLL_GND			17	
XP		USBPHY2_DM	QGND		QGND	QGND 18	FUSE_VDD
测试模式		MPLL_VDD	QGND	重置_B	力量_失败	GPIO_F 19	GPIO_D
CLK_SEL						20	
QGND	QGND	BOOT_MODE1	POR_B	UPLL_BYPCLK	VSTBY_REQ	GPIO_E 21	GPIO_B
启动_MODE0	CLKO	VSTBY_ACK	EXT_ARMCLK	GPIO_C	GPIO_A	SD1_数据 1 22	SD1_DATA0

表 107. i.MX25 12×12 包球地图 (续)

腹	QGND	LSCLK	LD14	LD12	LD10	LD8	LD6	LD4	LD2	LD0	SJC_MOD	OSC32K_XTAL	OSC32K_EXTAL	TRSTB	OSC_BYP	INAUX2	YP	QGND	OSC24M_EXTAL	OSC24M_XTAL	QGND	QGND
---	------	-------	------	------	------	-----	-----	-----	-----	-----	---------	-------------	--------------	-------	---------	--------	----	------	--------------	-------------	------	------

## 5 修订历史

表 108 总结了对本文件的修订。

表 108。修订历史

修订版数	日期	实质性变化
修订版 10	2013 年 5 月	<ul style="list-style-type: none"> <li>更新了 DDR 定时参数               <ul style="list-style-type: none"> <li>—表 47, “SDRAM 自刷新周期定时参数”</li> <li>—表 49, “移动 DDR SDRAM 读取周期定时参数”</li> <li>—表 51, “DDR2-400 的 tIS, tIH 减值, DDR2-533”</li> </ul> </li> <li>表 101, “17×17 毫米封装 i.MX25 信号接触分配”: 将联系人 D11 重置后将配置更新为“100 K”Ω 引体向上”</li> </ul>
修订版 9	2012 年 6 月	<ul style="list-style-type: none"> <li>钢表 1, “订购信息”, 第 3 页, 删除了表格行中的感叹号, 还删除了表格脚注。</li> <li>钢表 3, “i.MX25 数字和模拟模块”, 第 6 页, 修改了块助记符的描述, SIM 卡。</li> <li>更新第 3.2.1 节“开机序列”。</li> <li>更新第 3.2.3 节“SRTC DryIce Power-Up/Down Sequence”。</li> <li>钢图 38 和表 56 冒号:               <ul style="list-style-type: none"> <li>—删除了“_B”, 并为信号名称、CSx_B、RW_B、OE_B、EBy_B、LBA_B、ECB_B 和 DTACK_B 添加了一个上栏</li> <li>—将 CSx 和 CSy 分别更改为 CS[x]和 CS[y]</li> </ul> </li> <li>钢表 57, 第 76 页“相对于芯片选择表的 WEIM 异步定时参数”冒号:               <ul style="list-style-type: none"> <li>—将 WE 和 WEA 分别更改为 RW 和 RWA, 作为参考编号, WE33</li> <li>—将 WE 和 WEN 分别更改为 RW 和 RWN, 作为参考编号, WE34</li> <li>—将 RLBA、RLBN 和 ADH 分别更改为 LBA、LBN 和 LAH, 作为参考编号, WE35A</li> <li>—将 RBEA 更改为 EBRA 作为参考编号, WE37</li> <li>—将 RBEN 更改为 EBRN 作为参考编号, WE38</li> <li>—将 WCSA 更改为 CSA 的参考编号, WE41 和 WE41A</li> <li>—将 WLBA、WLBN 和 ADH 分别更改为 LBA、LBN 和 LAH, 作为参考编号, WE41A</li> <li>—将 WBEA 和 WBEN 分别更改为 EBWA 和 EBWN, 作为参考编号, WE45 和 WE46</li> </ul> </li> <li>之后更新了备注表 57。</li> <li>钢表 99, “并行模式下的 USB 计时规范”, 第 124 页, 将 Min 和 Max 列的值交换为 ID, US15 和 US16。</li> </ul>
修订版 8	2011 年 1 月	<ul style="list-style-type: none"> <li>钢表 27, “SDRAM I/O 的交流参数”, 第 36 页, 频率规格已更新为 133 MHz。</li> <li>钢表 28, “SDRAM pbijtov18_33_ddr_clk I/O 的交流参数”, 第 37 页, 频率规格已更新为 133 MHz。</li> </ul>

表 108。修订历史 (续)

修订版数	日期	实质性变化

修订版 7	2010 年 12 月	<ul style="list-style-type: none"> <li>更新了第一段第 3.2.3 节“SRTC DryIce Power-Up/Down Sequence”。</li> <li>更新表 4, “信号考虑因素”, 第 9 页用于 NVCC_DRYICE 信号。</li> <li>更新了第三个注释表 6, “直流操作条件”, 第 11 页。</li> <li>额外的表 9, “推荐的外部水晶规格”, 第 13 页。</li> <li>额外的表 10, “推荐的外部参考时钟规格”, 第 13 页。</li> <li>为 NVCC_DRYICE 行添加了注释表 100, “17×17 毫米封装接地、功率感应和参考联系人分配”, 第 125 页。</li> <li>更新表 101, 第 127 页“17×17 毫米封装 i.MX25 信号接触分配”。</li> <li>为 NVCC_DRYICE 行添加了注释表 104, 第 139 页“12x12 毫米封装接地、功率感应和参考联系人分配”。</li> <li>从中删除了 UPLL_BYPCLK、USBPHY2_DP、USBPHY1RREF、USBPHY1_DM、USBPHY1_DP、USBPHY1_UID、USBPHY1_VBUS 和 USBPHY2_DM 联系人的记录表 104, 第 139 页“12x12 毫米封装接地、功率感应和参考联系人分配”。</li> <li>更新表 105, 第 140 页“12x12 毫米封装 i.MX25 信号接触分配”。</li> </ul>
修订版 6	2010 年 9 月	<ul style="list-style-type: none"> <li>添加第 3.2.3 节“SRTC DryIce Power-Up/Down Sequence”。</li> </ul>
修订版 5	2010 年 8 月	<ul style="list-style-type: none"> <li>更新表 56, 第 69 页“WEIM 总线计时参数”包括 WE19 的新行。</li> <li>更新表 6, “直流运行条件”, 第 11 页包括 FUSE_VDD 的最小值和最大值。</li> </ul>
修订版 4	2010 年 6 月	<ul style="list-style-type: none"> <li>更新表 1, “订购信息”, 包括新的部件号。</li> </ul>
修订版 3	2010 年 3 月	<ul style="list-style-type: none"> <li>更新表 1, “订购信息”, 包括新的部件号。</li> <li>额外的表 2, “i.MX25 零件功能差异。”</li> <li>额外的第 3.3 节“功率特征”。</li> <li>额外的第 4.5 节, “347 MAPBGA-外壳 12 x 12 毫米, 0.5 毫米间距。”</li> <li>额外的第 4.6 节, “地面、功率、感应和参考接触分配箱 12x12 毫米, 0.5 毫米间距。”</li> <li>额外的第 4.7 节, “信号接触分配—12 x 12 毫米, 0.5 毫米间距。”</li> <li>额外的第 4.8 节, “i.MX25 12x12 包装球地图”。</li> </ul>
修订版 2	2009 年 12 月	<ul style="list-style-type: none"> <li>更新表 1, “订购信息”, 包括新的部件号。</li> </ul>
修订版 1	2009 年 10 月	<ul style="list-style-type: none"> <li>更新表 1, “订购信息”, 包括新的部件号。</li> <li>更新了 DRYICE 描述表 3, “i.MX25 数字和模拟模块。”</li> <li>更新了 REF 信号描述表 4, “信号考虑。”</li> <li>更新了 ESD 损伤免疫值表 5, “DC 绝对最大额定值。”</li> <li>更新的值表 13, “i.MX25 电源模式电流消耗。”</li> <li>添加了关于时间的注释第 3.2.1 节“开机序列”。</li> <li>额外的表 14, “iMX25 降低了功率模式的电流消耗。”</li> <li>更新表 55, “NFC 计时参数。”</li> <li>更新的值表 56, “WEIM 总线定时参数。”</li> <li>更新表 85, “触摸屏 ADC 电气规格。”</li> </ul>
修订版 0	2009 年 6 月	初始发布。

## 如何联系我们:

主页: [Freescale.com](http://Freescale.com)

## 网络支持:

[Freescale.com/support](http://Freescale.com/support)

本文档中的信息仅用于使系统和软件实现者能够使用 Freescale 产品。本协议不授予任何明示或暗示的版权许可, 以根据本文件中的信息设计或制造任何集成电路。

Freescale 保留对此处任何产品进行更改的权利, 恕不另行通知。Freescale 对其产品适合任何特定目的不作任何保证、陈述或保证, Freescale 也不承担任何责任因应用或使用任何产品或电路而引起, 并特别声明不承担任何和所有责任, 包括但不限于后果性或附带损害。可能在 Freescale 数据表和/中提供的“典型”参数或规格可以在不同的应用中有不同, 实际性能可能会随着时间的推移而变化。所有操作参数, 包括“典型值”, 都必须由客户的技术专家针对每个客户应用程序进行验证。Freescale 不convEy 其专利权或他人权利下的任何许可。Freescale 根据标准销售条款和条件销售产品, 可在以下地址找到: [freescale.com/SalesTermsandConditions](http://freescale.com/SalesTermsandConditions)。

Freescale、Freescale 徽标和节能解决方案徽标是 Freescale Semiconductor, Inc. 的商标。美国帕特。& Tm。关闭。所有其他产品或服务名称均为其各自所有者的财产。

ARM 是 ARM 有限公司的注册商标。ARM 926EJ-S 是 ARM Limited 的商标。

© 2009-2013 Freescale Semiconductor, Inc.

文件编号: IMX25CEC

修订版 10

2013 年 7 月

