

SLRC610

高性能 ICODE 前端 SLRC610 和 SLRC610
修订版 5.1 - 2024 年 1 月 3 日

优点
产品数据表



1 一般描述

SLRC610, 低成本的 RFID 前端。

SLRC610 多协议 NFC 前端 IC 支持以下操作模式:

- 支持 ISO/IEC 15693 的读/写模式
- 支持 ICODE EPC UID/EPC OTP 的读/写模式
- 读/写模式支持 ISO/IEC 18000-3 模式 3/EPC Class-1 HF

SLRC610 根据 ISO/IEC15693、EPC UID 和 ISO/IEC 18000-3 模式 3/EPC Class-1 HF 支持邻近协议。

支持以下主机接口:

- 串行外围接口 (SPI)
- 串行 UART (类似于 RS232, 电压水平取决于引脚电压电源)
- 我²C 总线接口 (实现了两个版本: I2C 和 I2CL)

SLRC610 支持安全访问模块 (SAM) 的连接。一个专门的单独 I²C 接口是为 SAM 的连接而实现的。SAM 可用于高安全密钥存储, 并作为高性能的加密协处理器。专用 SAM 可用于连接到 SLRC610。

2 特点和优点

- RFID 前端
- 支持 ISO/IEC15693、ICODE EPC UID 和 ISO/IEC 18000-3 模式 3/EPC Class-1 HF
- 低功耗卡检测
- 具有最小外部组件数量的天线连接
- 支持的主机接口:
 - SPI 高达 10 Mbit/s
 - 我²C 总线接口在快速模式下高达 400 kBd, 在快速模式下高达 1000 kBd
 - RS232 串行 UART 高达 1228.8 kBd, 电压水平取决于引脚电压电源
- 分开我²用于连接安全访问模块 (SAM) 的 C 总线接口
- 大小为 512 字节的 FIFO 缓冲区, 具有最高的交易性能
- 灵活高效的省电模式, 包括硬断电、待机和低功耗卡检测
- 通过集成 PLL 从 27.12 MHz 射频石英晶体获得系统时钟来节省成本
- 3V 至 5.5V 电源 (SLRC61002)
2.5V 至 5.5V 电源 (SLRC61003)
- 多达 8 个免费的可编程输入/输出引脚



-
- 与具有新寄存器 LPCD_OPTIONS 的 SLRC6102 相比，SLRC61003 版本为低功耗卡检测提供了更灵活的配置。此外，SLRC61003 提供了新的附加设置对于非常适合较小天线的负载协议。因此，SLRC61003 是新设计的推荐版本
-

深圳南天星

3 个应用程序

- 工业的
- 访问控制•玩电脑游戏

深圳南天星

4 快速参考数据

表 1. 快速参考数据 SLRC61002HN

标志	参数	情景	分钟	类型	麦克斯	单位
V _{女儿}	电源电压		3.0	5.0	5.5	V
V _{DD} (PV _{DD})	PV _{DD} 电源电压		[1] 3.0	5.0	V _{女儿}	V
V _{DD} (TV _{DD})	TV _{DD} 电源电压		3.0	5.0	5.5	V
我付 _吃	断电电流	PDOWN 销拉高	[2] —	8	40	nA
我 _{女儿}	供应电流		—	17	20	妈
我 _{DD} (TV _{DD})	TV _{DD} 供应电流		—	100	250	妈
字母 T _{安布}	工作环境温度		-25	+25	+85	°C
字母 T _{Stg}	储存温度	没有施加电源电压	-55	+25	+125	°C

[1] V_{DD} (PV_{DD}) 的电压必须始终与 V_{DD} 相同或更低。

[2] 我付_吃是所有供应电流的总和

表 2. 快速参考数据 SLRC61003HN

标志	参数	情景	分钟	类型	麦克斯	单位
V _{女儿}	电源电压		2.5	5.0	5.5	V
V _{DD} (PV _{DD})	PV _{DD} 电源电压		[1] 2.5	5.0	V _{女儿}	V
V _{DD} (TV _{DD})	TV _{DD} 电源电压		2.5	5.0	5.5	V
我付 _吃	断电电流	PDOWN 销拉高	[2] —	8	40	nA
我 _{女儿}	供应电流		—	17	20	妈
我 _{DD} (TV _{DD})	TV _{DD} 供应电流	推荐操作	—	180	350	妈
		绝对限值	—	—	500	妈
字母 T _{安布}	工作环境温度	安装在 PCB 上的设备 允许足够的散热来实现设备的实际 功耗	-40	+25	+105	°C
字母 T _{Stg}	储存温度	没有施加电源电压	-55	+25	+125	°C

[1] V_{DD} (PV_{DD}) 的电压必须始终与 V_{DD} 相同或更低。

[2] 我付_吃是所有供应电流的总和

5 订购信息

表 3. 订购信息

类型编号	包裹		变种
	名字	描述	
SLRC61002HN/TRAYB ^[1]	HVQFN32	塑料热增强非常薄的四平包装；无引线；MSL1，32 个端子+1 个中央接地；主体 5×5×0.85 毫米	SOT617-1
SLRC61002HN/TRAYBM ^[2]			
SLRC61002HN/T/R ^[3]			
SLRC61003HNE ^[1]		塑料热增强非常薄的四平包装；无引线；MSL2，32 个端子+1 个中央地面；机身 5×5×0.85 毫米，可湿的侧翼	
SLRC61003HNK ^[2]			
SLRC61003HNY ^[3]			

[1] 在一个托盘中交付；最低订单数量 (MOQ)：490 个

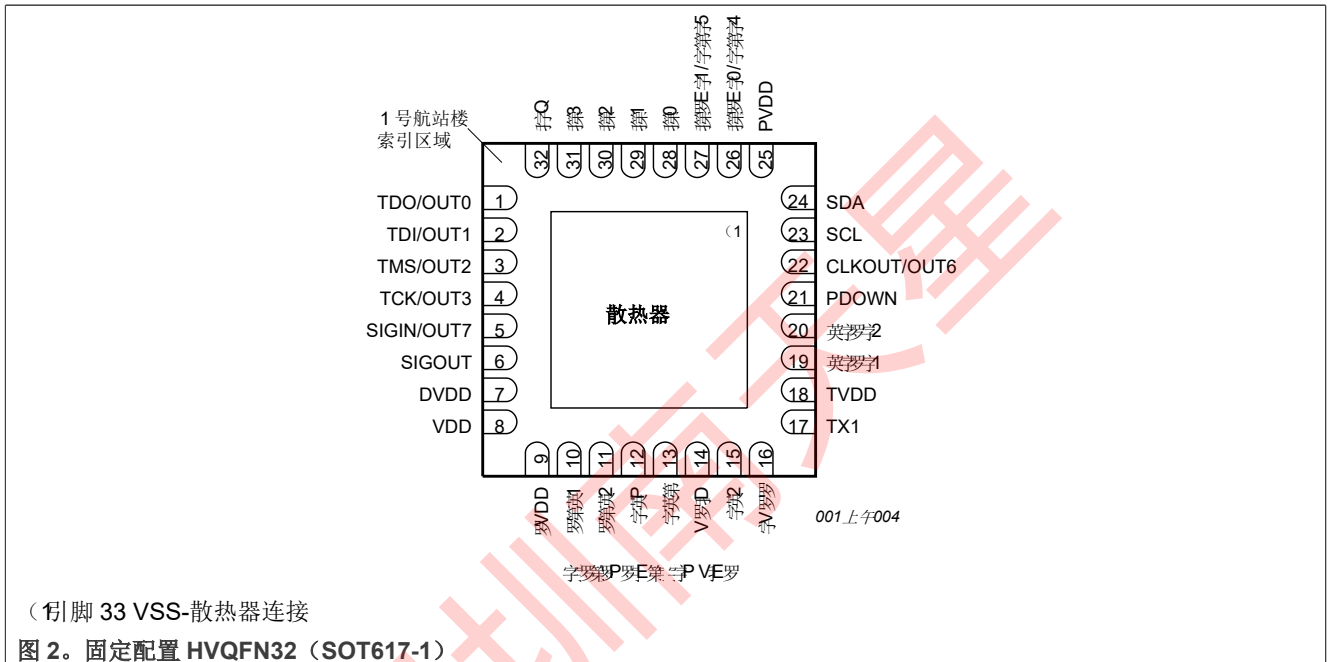
[2] 装在五个托盘中；起订量 5 x 490 个

[3] 在卷轴上交付 6000 件；起订量：6000 件

别针	标志	类型	描述
1	TDO / OUT0	字母 O	边界扫描接口的测试数据输出/通用输出 0
2	TDI/输出 1	我	测试数据输入边界扫描接口/通用输出 1
3	TMS / OUT2	我	测试模式选择边界扫描接口/通用输出 2
4	TCK / OUT3	我	测试时钟边界扫描接口/通用输出 3
5	SIGIN /OUT7	I/O	非接触式通信接口输出。/通用输出 7
6	SIGOUT	字母 O	非接触式通信接口输入。
7	DVDD	PWR	数字电源缓冲区 ^[1]
8	VDD	PWR	电源
9	AVDD	PWR	模拟电源缓冲区 ^[1]
10	AUX1	字母 O	辅助输出：引脚用于模拟测试信号
11	AUX2	字母 O	辅助输出：引脚用于模拟测试信号
12	RXP	我	接收射频信号的接收器输入引脚。
13	RXN	我	接收射频信号的接收器输入引脚。

14	VMID	PWR	内部接收器参考电压 ^[1]
15	TX2	字母 O	发射器 2: 提供调制的 13.56 MHz 载波
16	TVSS	PWR	发射器接地, 供应 TX1、TX2 的输出级
17	TX1	字母 O	发射器 1: 提供调制的 13.56 MHz 载波

7 固定信息



7.1 引脚描述

表 4。别针描述

表 4。别针描述...继续

别针	标志	类型	描述
18	TVDD	PWR	变送器电压供应
19	XTAL1	我	晶体振荡器输入：向振荡器的反转放大器输入。这个引脚也是外部生成的时钟（fosc = 27.12 MHz）的输入
20	XTAL2	字母 O	晶体振荡器输出：振荡器反转放大器的输出
21	PDOWN	我	关机（重置）
22	CLKOUT/OUT6	字母 O	时钟输出/通用输出 6
23	SCL	字母 O	串行时钟线
24	SDA	I/O	串行数据线
25	PVDD	PWR	垫子电源
26	IFSEL0 / OUT4	我	主机接口选择 0/通用输出 4
27	IFSEL1 / OUT5	我	主机接口选择 1/通用输出 5
28	IF0	I/O	接口引脚，多功能引脚：可以分配给主机接口 RS232, SPI, I ² C, I ² C-L
29	IF1	I/O	接口引脚，多功能引脚：可以分配给主机接口 SPI, I ² C, I ² C-L
30	IF2	I/O	接口引脚，多功能引脚：可以分配给主机接口 RS232, SPI, I ² C, I ² C-L
31	IF3	I/O	接口引脚，多功能引脚：可以分配给主机接口 RS232, SPI, I ² C, I ² C-L
32	IRQ	字母 O	中断请求：输出以发出中断事件的信号
33	VSS	PWR	接地和散热器连接

[1] 此引脚用于连接缓冲电容器。电源电压的连接可能会损坏设备。

8 功能描述

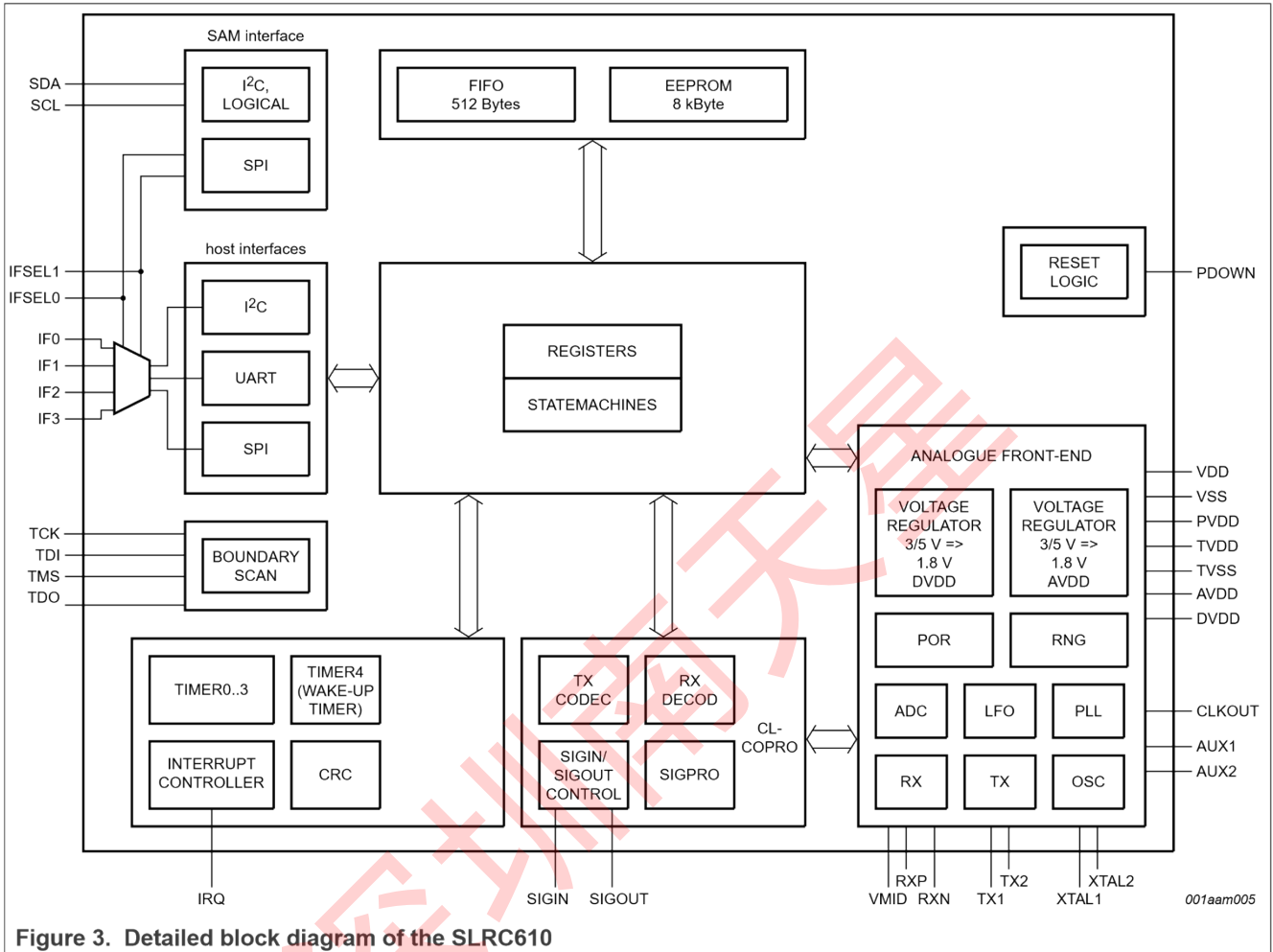


Figure 3. Detailed block diagram of the SLRC610

8.1 中断控制器

中断控制器处理启用/禁用中断请求。所有中断都可以由固件配置。此外，固件有可能触发中断或清除挂起的中断请求。两个 8 位中断实现了寄存器 IRQ0 和 IRQ1，并伴随着两个 8 位中断启用寄存器 IRQ0En 和 IRQ1En。实现了位 7 的专用功能，用于在此中断控制器寄存器中设置和清除位 0 到 6。

SLRC610 通过在寄存器 Status1Reg 中设置位 IRQ 来指示某些事件，如果激活，则通过引脚 IRQ 来指示某些事件。引脚 IRQ 上的信号可以使用其中断处理功能来中断主机。这允许实施高效的主机软件。

表 4.显示了可用的中断位、相应的源及其激活条件。寄存器 IRQ1 中的中断位 Timer0IRQ、Timer1IRQ、Timer2IRQ、Timer3IRQ 表示计时器单元设置的中断。如果计时器不足，则完成设置。

寄存器 IRQ0 中的 TxIRQ 位表示传输已完成。如果状态从发送数据变为传输帧模式的末端，发射器单元会自动设置中断位。

寄存器 IRQ0 中的位 RxIRQ 表示检测到接收数据的结束时中断。

如果命令完成并且命令寄存器的内容更改为空闲，则设置寄存器 IRQ0 中的位 IdleIRQ。

寄存器水位定义了最小和最大警告级别，从 FIFO 的顶部和底部按单个值计数。

如果 HiAlert 位设置为逻辑 1，则寄存器 IRQ0 中的位 HiAlertIRQ 设置为逻辑 1，这意味着 FIFO 数据号已达到由寄存器 WaterLevel 和位 WaterLevelExtBit 配置的最高级别。

如果 LoAlert 位设置为逻辑 1，则寄存器 IRQ0 中的位 LoAlertIRQ 设置为逻辑 1，这意味着 FIFO 数据号已达到寄存器 WaterLevel 配置的底层。

寄存器 IRQ0 中的 ErrIRQ 位表示非接触式 UART 在接收期间检测到错误。这由寄存器错误中设置为逻辑 1 的任何位表示。

寄存器 IRQ0 中的位 LPCDIRQ 表示检测到卡。

寄存器 IRQ0 中的位 RxSOFIRQ 表示非接触式 UART 在接收期间检测到 SOF 或子载波。

寄存器 IRQ1 中的位 GlobalIRQ 表示启用时在任何其他中断源上发生的中断。**表 5. 中断源**

中断位	中断源	自动设置，当
计时器 0IRQ	计时器单元	计时器寄存器 T0 CounterVal 下流
计时器 1IRQ	计时器单元	计时器寄存器 T1 CounterVal 下流
计时器 2IRQ	计时器单元	计时器寄存器 T2 CounterVal 溢出
计时器 3IRQ	计时器单元	计时器寄存器 T3 CounterVal 溢出
TxIRQ	发射机	传输的数据流结束
RxIRQ	接球手	接收的数据流结束
IdleIRQ	命令寄存器	命令执行完成
HiAlertIRQ	FIFO 缓冲指针	FIFO 数据号已达到寄存器水位配置的最高级别
LoAlertIRQ	FIFO 缓冲指针	FIFO 数据号已达到由寄存器水位配置的底部水平
ErrIRQ	非接触式 UART	检测到通信错误
LPCDIRQ	LPCD	在低功耗卡检测模式下检测到卡
RxSOFIRQ	接球手	检测 SOF 或子载波
全球 IRQ	所有中断源	如果设置了另一个中断请求源，将被设置

8.2 计时器模块

计时器模块概述

SLRC610 实现了五个计时器。四个计时器-Timer0 到 Timer3-有一个输入时钟，可以通过寄存器 T(x)Control 配置为 13.56 MHz，212 kHz（来自 27.12 MHz 石英）或第五个计时器（Timer4）的下流事件。E 每个计时器实现了一个 16 位宽的计数器寄存器。计数器的重新加载值在寄存器 TxReloadHi 和 TxReloadLo 中定义在 0000h 到 FFFFh 的范围内。第五个计时器计时器 4 旨在用作唤醒计时器，并连接 d 到内部 LFO（低频振荡器）作为输入时钟源。

TControl 寄存器允许四个计时器 Timer0 到 Timer3 的全局启动和停止。此外，此寄存器指示其中一个计时器是否正在运行或停止。五个计时器中的每一个都实现了一个单独的配置寄存器 T 定义计时器重新加载值（例如 T0ReloadHi, T0ReloadLo），计时器值（例如 T0CounterValHi, T0CounterValLo）以及定义启动、停止和时钟频率的条件（例如 T0Control）。

外部主机可以使用这些计时器来管理计时相关任务。计时器单元可用于以下配置之一：

- 超时计数器
- 看门狗柜台
- 停止观看
- 可编程的一次性计时器
- 定期触发器

计时器单元可用于测量两个事件之间的时间间隔，或指示特定事件在经过一段时间后发生。计时器寄存器内容由计时器单元修改，该单元可用于生成中断主持人对这个事件做出反应。

计时器的计数器值在寄存器 T(x)CounterValHi, T(x)CounterValLo 中可用。这些寄存器的内容在每个计时器时钟时会减少。

如果计数器值达到 0000h 的值，并且为此特定计时器启用了中断，则在收到下一个时钟后将立即生成中断。

如果启用，计时器事件可以在引脚 IRQ（中断请求）上指示。位计时器（x）IRQ 可以由主机控制器设置和重置。根据配置，计时器将在 0000h 停止计数，或以从 re 加载的值重新启动 Gisters T(x)ReloadHi, T(x)ReloadLo。

计时器的计数由位 TControl.T(x)Running 表示。

计时器可以通过设置位 TControl.T(x)Running 和 TControl.T(x)StartStopNow 启动，也可以通过设置位 TControl.T(x)StartStopNow 并清除 TControl.T(x)Running 来停止计时器。

启动计时器的另一种可能性是设置位 T(x)Mode.T(x)Start，如果需要满足专用协议要求，这可能很有用。

8.2.1 计时器模式

8.2.1.1 超时和看门狗计数器

通过设置配置了计时器寄存器 T(x)ReloadValue 通过设置位 TControl.T(x)StartStop 和 TControl.T(x)运行开始计时器(x)的计数，计时器单元会减少 T(x)反值从配置的开始事件开始注册。如果配置的停止事件发生在计时器(x)溢出之前（例如，从卡中收到比特），计时器单元停止（不产生中断）。

如果没有发生停止事件，计时器单元继续减少计数器寄存器，直到内容为零，并在下一个时钟周期生成计时器中断请求。这允许向主机指示事件在配置的时间间隔内没有发生。

8.2.1.2 唤醒计时器

唤醒计时器 4 允许在预定义的时间后将系统从待机中唤醒。系统可以进行配置，使其再次进入待机模式，以防没有检测到卡。

此功能可用于实现低功耗卡检测（LPCD）。对于低功耗卡检测，建议设置 T4Control.T4AutoWakeUp 和 T4Control.T4AutoRestart，以激活 Timer4 并自动将系统设置为待机状态。内部低频振荡器（LFO）是

然后用作这个计时器 4 的输入时钟。如果检测到卡，则可以启动主机通信。如果未设置位 T4Control.T4AutoWakeUp，SLRC610 将不会再次进入待机模式，以防未检测到卡但保持全功率。

8.2.1.3 秒表

如果发生可以通过评估相应的 IRQ 位来识别的溢流，则根据上述公式执行的时间测量不正确。

配置的开始和停止事件之间的时间可以由 CLRC663 计时器单元测量。通过设置寄存器 T(x)ReloadValueHi, T(x)reloadValueLo 计时器一激活就开始减少。如果配置的停止事件发生，计时器将停止递减。然后，根据计时器间隔 TTimer，主机可以计算开始和停止事件之间的经过时间：

$$\Delta T = (T_{reload_value} - T_{timer_value}) * T_{Timer} \tag{1}$$

如果发生可以通过评估相应的 IRQ 位来识别的溢流，则根据上述公式执行的时间测量不正确。

8.2.1.4 可编程一次性计时器

主机配置中断和计时器，启动计时器并在引脚 IRQ 上等待中断事件。在配置时间后，将提出中断请求。

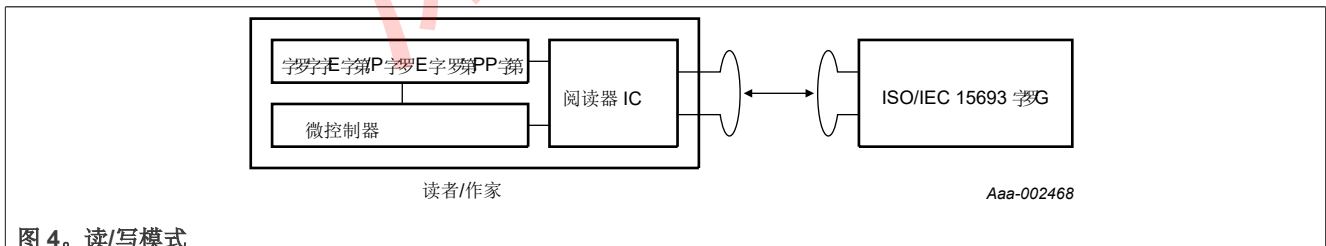
8.2.1.5 期刊触发器

如果一点 T(x)Control.T(x)自动重新启动已设置，中断已激活，在每个经过的计时器周期后，将定期显示中断请求。

8.3 非接触式接口单元

SLRC610 的非接触式接口单元支持以下读/写操作模式：

- ISO/IEC15693/ICODE
- ICODE EPC UID
- ISO/IEC 18000-3 模式 3/ EPC Class-1 HF



使用 SLRC610 的典型系统是使用微控制器来实现更高级别的非接触式通信协议和电源（电池或外部电源）。

8.3.1 ISO/IEC15693 功能

物理参数描述在表 5。

表 6. ISO/IEC 15693 阅读器/写器到标签的通信概述

沟通方向	信号类型	传输速度
------	------	------

		Fc / 8192 kbit/s	Fc / 512 kbit/s
阅读器标签（将数据从 SLRC610 发送到卡片）	读卡器端调制	10%到 30%的 ASK 或 100%问	10%到 30% ASK 90%到 100 %问
	位编码	1/256	1/4
	数据速率	1,66 kbit/s	26,48kbit/s

表 7。ISO/IEC 15693 阅读器/写入器标签到阅读器的通信概述

沟通方向	信号类型	传输速度			
		6.62 (6.67) kbit/ 罗马字母的第十九个	13.24 kbit/s ^[1]	26.48 (26.69) kbit/s	52.96 kbit/s
标签到读卡器 (SLRC610 从卡接收数据) fc = 13.56 MHz	卡侧调制	不受支持	不受支持	单(双)子载波负载调制问	单个子载波负载调制问
	位长 (µs)	—	—	37.76 (37.46)	18.88
	位编码	—	—	曼彻斯特编码	曼彻斯特编码
	子载波频率 [MHz]	—	—	Fc / 32 (fc / 28)	Fc / 32

[1] 快速清单（页面）仅读取命令（ICODE 专有命令）。

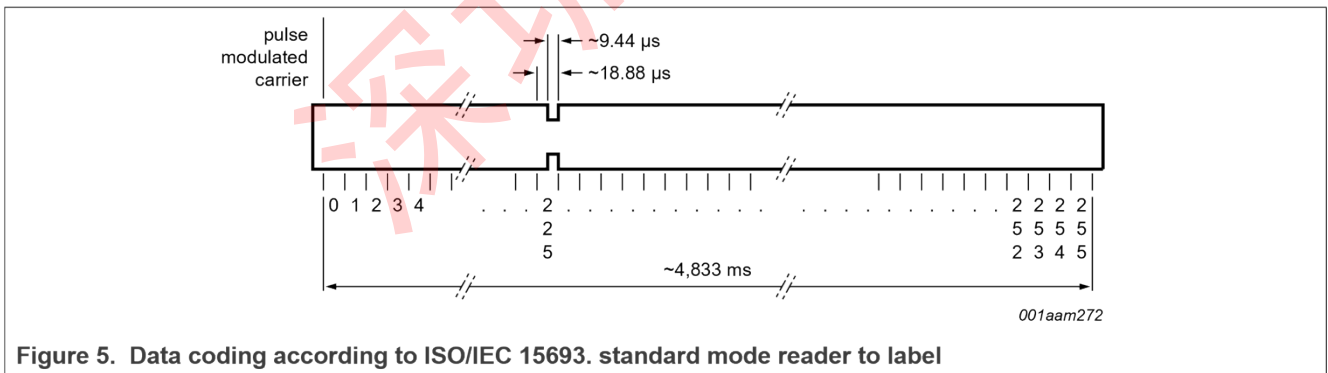


Figure 5. Data coding according to ISO/IEC 15693. standard mode reader to label

8.3.2 EPC-UID/UID-OTP 功能

物理参数描述在表 7。

表 8。EPC/UID 的通信概述

沟通方向	信号类型	传输速度	
		26.48 kbit/s	52.96 kbit/s

阅读器到卡（将数据从 SLRC610 发送到卡）	读卡器端调制	10%至 30%询问	
	位编码	RTZ	

表 8. EPC/UID 的通信概述...继续

沟通方向	信号类型	传输速度	
		26.48 kbit/s	52.96 kbit/s
	位长度	37.76 微秒	
卡到读卡器（SLRC610 从卡接收数据）	卡侧调制		单载波负载调制
	位长度		18.88 微秒
	位编码		曼彻斯特编码

根据 EPC 全球 13.56 MHz ISM（工业、科学和医疗）频段第 1 类射频识别标签接口规范（候选人推荐，版本 1.0.0）进行数据编码和框架。

8.3.3 ISO/IEC 18000-3 模式 3/EPC 1 类高频功能

本文档中没有描述 ISO/IEC 18000-3 模式 3/EPC Class-1 HF。有关该协议的详细说明，请参阅 ISO/IEC 18000-3 模式 3/EPC Class-1 HF 标准。

8.3.3.1 数据编码 ICODE

ICODE 协议主要有三种不同的数据编码方法：

- “4”编码方案中的“1”
- “256”编码方案中的“1”
- 返回零（RZ）编码方案

所有三种编码方案的数据编码都由 ICODE 生成器完成。

支持的 EPC Class-1 HF 模式是：

- 424 kbit 子载波的 2 脉冲•424 kbit 子载波的 4 脉冲•848 kbit 子载波的 2 脉冲
- 848 kbit 子载波的 4 脉冲

8.4 主机接口

8.4.1 主机接口配置

SLRC610 支持各种主机的直接接口，如 SPI, I²C, I²CL 和串行 UART 接口类型。SLRC610 重置其接口，并检查当前主机接口类型，并自动进行开机或从关机恢复。SLRC610 通过逻辑级别识别主机接口在冷重置阶段后的控制引脚上。这是通过固定引脚连接的组合完成的。下表显示了 IFSEL1, IFSEL0 定义的可能配置：

表 9. 用于检测不同接口类型的连接方案

别针	别针符号	UART	SPI	我 ² 字母 C	我 ² C-L
----	------	------	-----	---------------------	--------------------

28	IF0	RX	MOSI	ADR1	ADR1
29	IF1	N.c.	SCK	SCL	SCL
30	IF2	德克萨斯州	MISO	ADR2	SDA
31	IF3	PAD_VDD	NSS	SDA	ADR2

表 9. 用于检测不同接口类型的连接方案...继续

别针	别针符号	UART	SPI	我 ² 字母 C	我 ² C-L
26	IFSEL0	VSS	VSS	PAD_VDD	PAD_VDD
27	IFSEL1	VSS	PAD_VDD	VSS	PAD_VDD

8.4.2 SPI 接口

8.4.2.1 一般

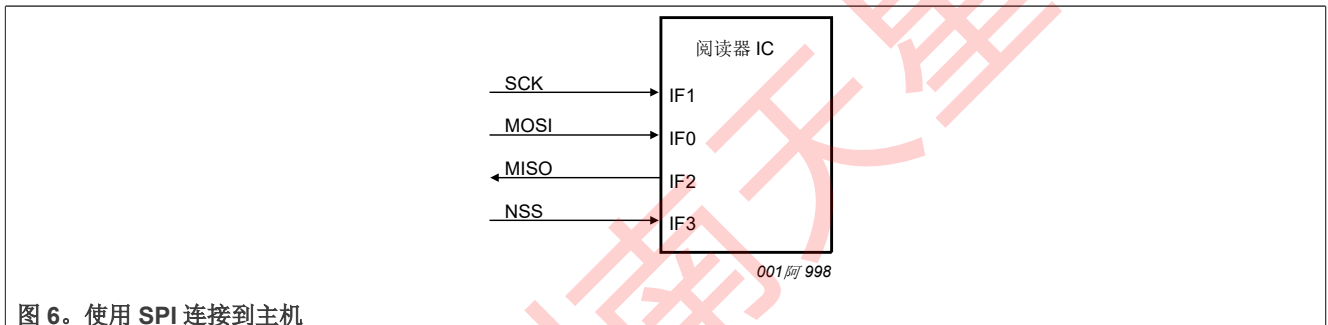


图 6. 使用 SPI 连接到主机

SLRC610 在 SPI 通信期间充当奴隶。SPI 时钟 SCK 必须由主服务器生成。从主服务器到从服务器的数据通信使用 Line MOSI。线路 MISO 用于将数据从 SLRC610 发回主服务器。

支持串行外围接口 (SPI 兼容)，以实现与主机的高速通信。实现的 SPI 兼容接口是根据标准的 SPI 接口。SPI 兼容接口可以处理高达 10 Mbit/s 的数据速度。在与主机的通信中，SLRC610 充当从外部主机接收数据的从属器，用于寄存器设置，并发送和接收与射频接口上的通信相关的数据。

NSS (非从属选择) 启用或禁用 SPI 接口。当 NSS 逻辑高时，接口被禁用并重置。在每个 SPI 命令之间，NSS 必须达到逻辑高，才能启动下一个命令的读取或写入。

在两条数据线 (MOSI、MISO) 上，每个数据字节首先由 MSB 发送。MOSI 线上的数据应在时钟线 (SCK) 的上升边缘保持稳定，并允许在下降边缘发生变化。这同样适用于 MISO 线。数据由 SLRC610 提供下降边缘，在上升边缘稳定。在 SPI 闲置时，时钟的极性很低。

8.4.2.2 读取数据

要使用 SPI 兼容接口从 SLRC610 读取数据，必须使用以下字节顺序。

发送的第一个字节定义了模式 (LSB 位) 和地址。

表 10. MOSI 和 MISO 的字节顺序

	字节 0	字节 1	字节 2	字节 3 到 n-1	字节 n	字节 n+1
MOSI	地址 0	地址 1	地址 2	地址 n	00h

MISO	英语字母中的第二十四字母	数据 0	数据 1	数据 n-1	数据 n
------	--------------	------	------	-------	--------	------

备注：必须先发送最显著位（MSB）。

8.4.2.3 写入数据

要使用 SPI 接口将数据写入 SLRC610，必须使用以下字节顺序。可以通过发送单个地址字节来写入多个字节（见.8.5.2.4）。

第一个发送字节定义了模式本身和地址字节。

表 11. MOSI 和 MISO 的字节顺序

	字节 0	字节 1	字节 2	3 到 n-1	字节 n	字节 n + 1
MOSI	地址 0	数据 0	数据 1	数据 n-1	数据 n
MISO	英语字母中的第二十四字母	英语字母中的第二十四字母	英语字母中的第二十四字母	英语字母中的第二十四字母	英语字母中的第二十四字母

备注：必须先发送最显著位（MSB）。

8.4.2.4 地址字节

地址字节必须满足以下格式：

第一个字节的 LSB 位定义了使用的模式。要从 SLRC610 读取数据，LSB 位设置为逻辑 1。要将数据写入 SLRC610，必须清除 LSB 位。位 6 到 0 定义了地址字节。

注意：当写入序列[地址字节][数据 0][数据 1][数据 2]...时，[数据 0]写入地址[地址字节]，[数据 1]写入地址[地址字节+1]，[数据 2]写入[地址字节+2]。

例外：如果数据被写入 FIFO 地址，则不会执行地址字节的自动增量

表 12. 地址字节 0 寄存器；地址 MOSI

7	6	5	4	3	2	1	0
地址 6	地址 5	地址 4	地址 3	地址 2	地址 1	地址 0	1（阅读） 0（写）
MSB							LSB

8.4.2.5 定时规范 SPI

SPI 接口的时间条件如下：

表 13. 时序条件 SPI

标志	参数	分钟	类型	麦克斯	单位
字母 T _{SCKL}	SCK LOW 时间	50	—	—	Ns
字母 T _{SCKH}	SCK 高时间	50	—	—	Ns
字母 T _h (SCKH-D)	SCK HIGH 到数据输入保持时间	25	—	—	Ns

字母 T_{su} (D-SCKH)	数据输入到 SCK HIGH 设置时间	25	—	—	Ns
字母 T_h (SCKL-Q)	SCK LOW 到数据输出保留时间	—	—	25	Ns
字母 T (SCKL-NSSH)	SCK LOW 到 NSS HIGH 时间	0	—	—	Ns
字母 T_{NSSH}	NSS 高时间	50	—	—	Ns

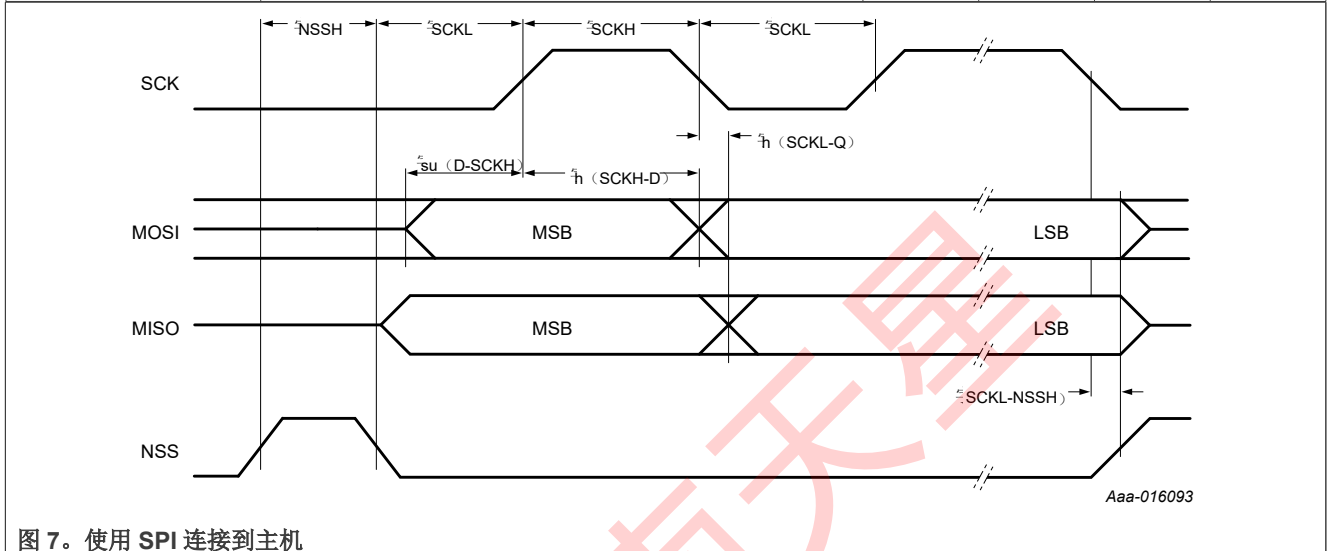


图 7. 使用 SPI 连接到主机

备注: 要在一个数据流中发送更多字节, NSS 信号在发送过程中必须为 LOW。要发送多个数据流, NSS 信号在每个数据流之间必须很高。

8.4.3 RS232 接口

8.4.3.1 传输速度的选择

内部 UART 接口与 RS232 串行接口兼容。提供给引脚的电平在 VSS 和 PVDD 之间。为了实现电压电平与 RS232 规范的完全兼容性, 需要 RS232 电平移位器。

表 14“可选传输速度”描述了不同传输速度和相关寄存器设置的示例。对于所有描述的传输速度, 由此产生的传输速度误差小于 1.5%。默认传输速度为 115.2 kbit/s。

要更改传输速度, 主机控制器必须将新传输速度的值写入寄存器 SerialSpeedReg。位 BR_T0 和 BR_T1 定义了 在 SerialSpeedReg 中设置传输速度的因素。

表 13“BR_T0 和 BR_T1 的设置”描述 BR_T0 和 BR_T1 的设置。

表 14. BR_T0 和 BR_T1 的设置

BR_T0	0	1	2	3	4	5	6	7
因子 BR_T0	1	1	2	4	8	16	32	64
范围 BR_T1	1 到 32	33 到 64	33 到 64	33 到 64	33 到 64	33 到 64	33 到 64	33 到 64

表 15. 可选的传输速度

传输速度 (kbit/s)	串行 SpeedReg	传输速度精度 (%)
---------------	-------------	------------

	(十六六)	
7.2	足球协会	-0.25
9.6	艾字节	0.32
14.4	DA	-0.25
19.2	CB	0.32

表 15. 可选的传输速度...继续

传输速度 (kbit/s)	串行 SpeedReg	传输速度精度 (%)
	(十六六)	
38.4	腹肌	0.32
57.6	9A	-0.25
115.2	7A	-0.25
128	74	-0.06
230.4	5A	-0.25
460.8	3A	-0.25
921.6	1C	1.45
1228.8	15	0.32

所示的可选择传输速度根据以下公式计算：如果 BR_T0 = 0：传输速度 = 27.12 MHz /

(BR_T1 + 1) 如果 BR_T0 > 0：传输速度 = 27.12 MHz / (BR_T1 + 33) / 2^(BR_T0 - 1) 备

注：不支持超过 1228.8 kBits/s 的传输速度。

8.4.3.2 框架

表 16. UART 框架

比特	长度	价值
启动位 (Sa)	1 位	0
数据位	8 位	数据
停止位 (所以)	1 位	1

备注：对于数据和地址字节，必须先发送 LSB 位。传输过程中不使用奇偶校验位。

阅读数据：要使用 UART 接口读取数据，必须使用下面描述的流程。第一个发送字节定义了模式本身和地址。必须设置引脚 IF3 上的触发器，否则无法读取数据。

表 17. 读取数据的字节顺序

形式	字节 0	字节 1
RX	住址	—

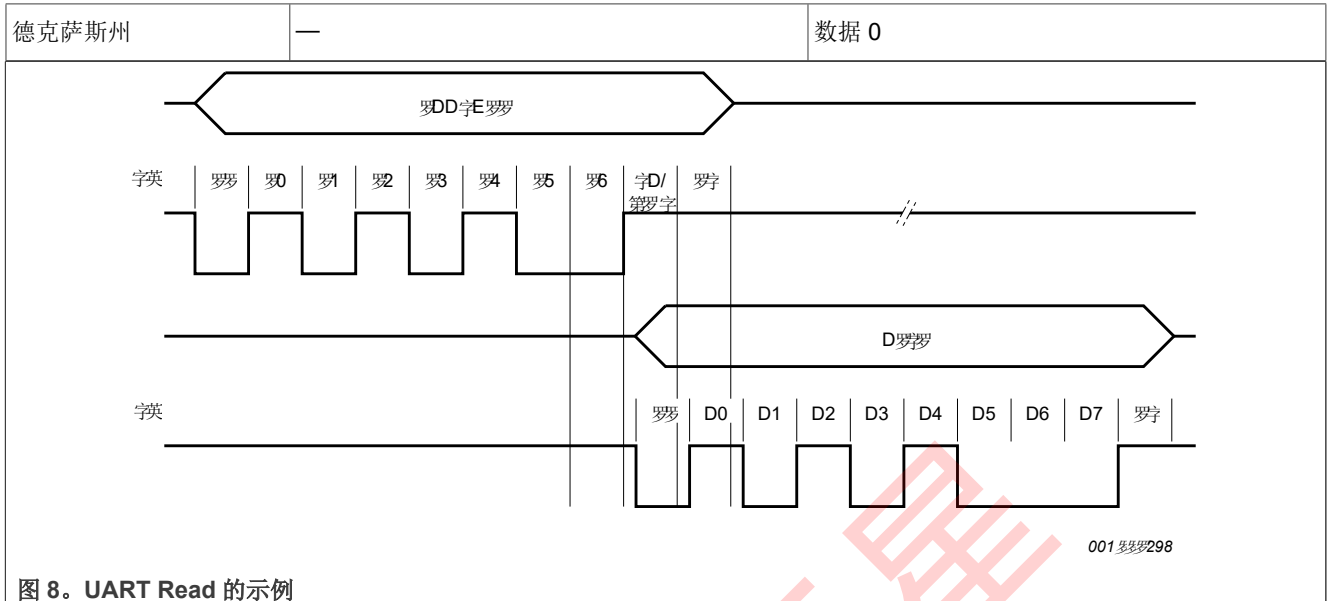


图 8. UART Read 的示例

写入数据:

要使用 UART 接口将数据写入 SLRC610，必须使用以下顺序。

第一个发送字节定义了模式本身和地址。

表 18. 写入数据的字节顺序

形式	字节 0	字节 1
RX	地址 0	数据 0
德州萨斯州		地址 0

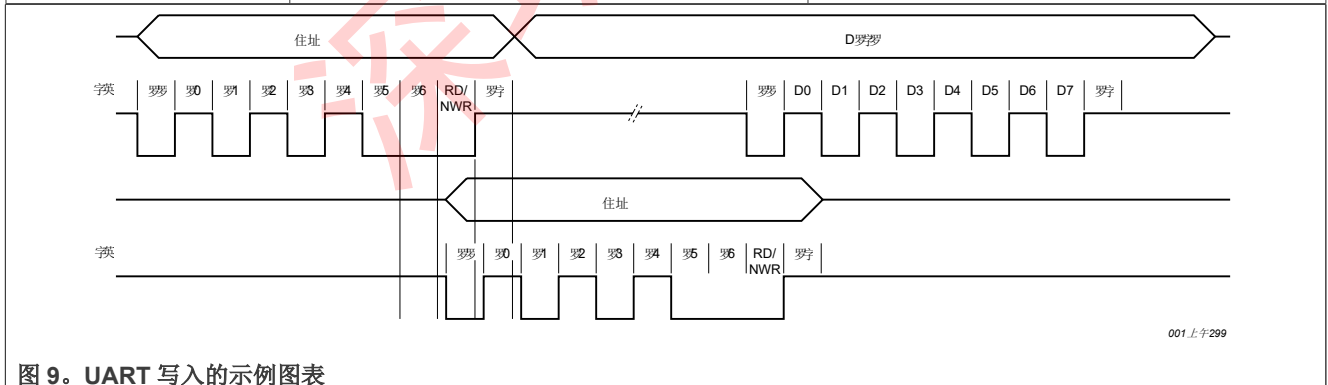


图 9. UART 写入的示例图表

备注: 数据可以在收到地址之前发送。

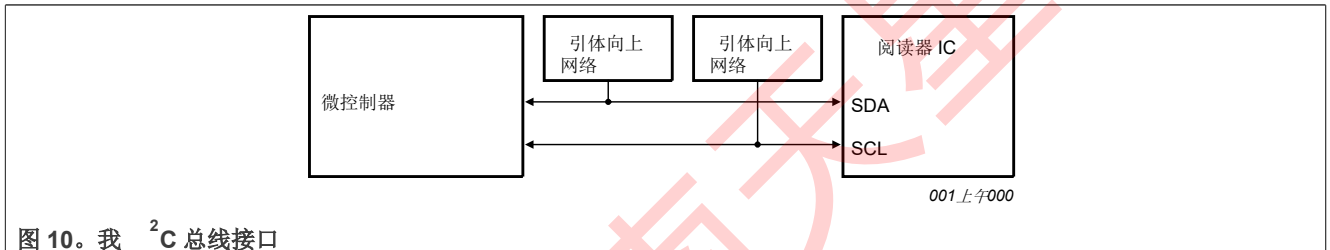
8.4.4 I²C 总线接口

8.4.4.1 一般

国际 IC (I²C) 支持总线接口，以启用低成本、低引脚计数的串行总线接口到主机。实施的 I²C 接口主要根据恩智浦半导体 I 实现 I²C 接口规范，修订版。3.0，2007 年 6 月。SLRC610 可以在标准模式、快速模式和快速模式下充当从属接收器或从属发射器。

恩智浦半导体 I 定义的以下功能 I²C 接口规范，修订版。3.0，2007 年 6 月不受支持：

- SLRC610 I²C 接口不会拉伸时钟
- SLRC610 I²C 接口不支持常规调用。这意味着 SLRC610 不支持软件重置
- SLRC610 不支持 I²C 设备 ID
- 实现的接口只能在从属模式下运行。因此，SLRC610 中没有实施时钟生成和访问仲裁。
- SLRC610 不支持高速模式



I²C 引脚上的电压电平不允许高于 PVDD。

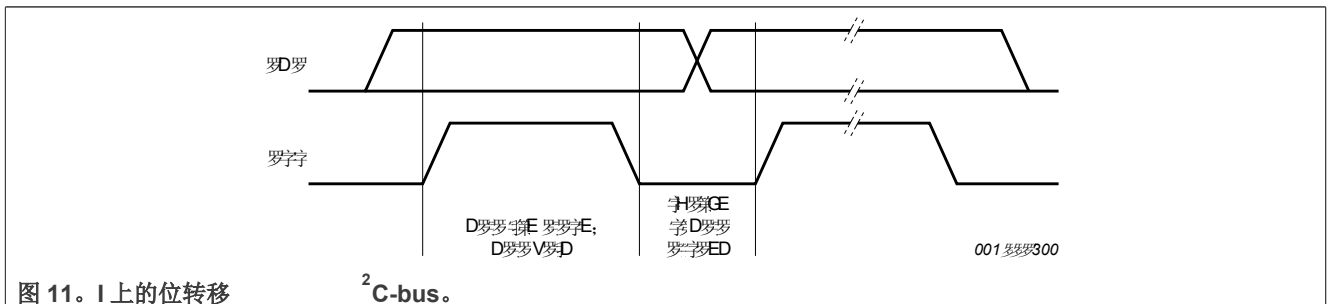
SDA 是一条双向线路，通过上拉电阻连接到正电源电压。如果没有传输数据，两条线路 SDA 和 SCL 都设置为高电平。关于 I 的数据 I²C 总线在快速模式下可以以高达 400 kbit/s 的数据速率传输，在快速模式+下可以以高达 1 Mbit/s 的数据速率传输。

如果我 I² 选择 C 接口，根据 I 进行尖峰抑制 I²SCL 和 SDA 上的 C 接口规范会自动激活。

有关时间要求，请参阅[表 200“快速模式和快速模式加的 I²C 总线定时”](#)

8.4.4.2 I²C 数据有效性

SDA 线上的数据在时钟的高周期内应保持稳定。只有当 SCL 上的时钟信号低时，数据线的高状态或低状态才应发生变化。



8.4.4.3 我 I²C START 和 STOP 条件

处理 I 上的数据传输 I² 定义了 C 总线、唯一的 START (S) 和 STOP (P) 条件。

START 条件通过 SDA 线上的高到低过渡来定义，而 SCL 是高。

STOP 条件通过 SDA 线上的 LOW-to-HIGH 过渡来定义，而 SCL 是 HIGH。

主服务器总是生成 START 和 STOP 条件。在 START 条件之后，公交车被认为是繁忙的。公交车在停止条件后的某个时间再次被视为免费。

如果生成重复的 START (Sr) 而不是 STOP 条件，总线将保持忙碌状态。在这方面，START (S) 和重复 START (Sr) 条件在功能上是相同的。因此，S 符号将用作通用术语，以表示 START 和重复的 START (Sr) 条件。

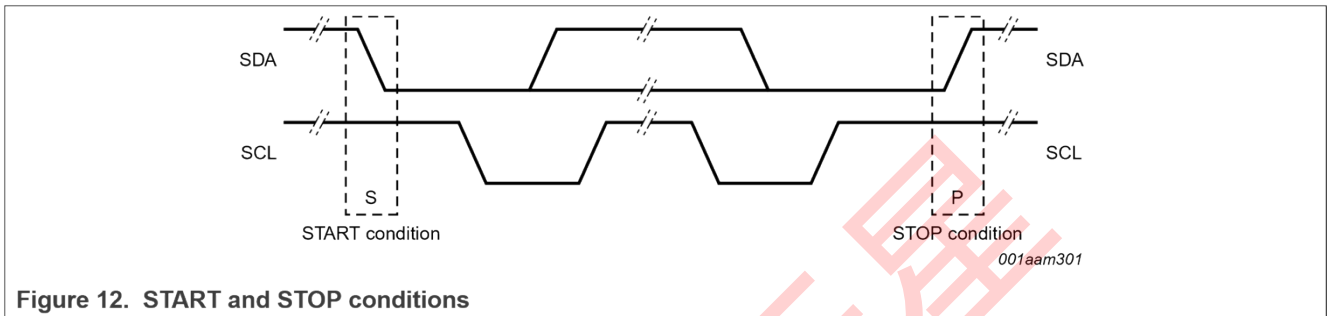


Figure 12. START and STOP conditions

8.4.4.4 I²C byte format

每个字节后面必须有一个确认位。数据首先与 MSB 一起传输，请参阅图 12“开始和停止条件”。一次数据传输期间传输的字节数不受限制，但应满足读/写周期格式。

8.4.4.5 I²C 承认

一个数据字节末尾的确认是强制性的。与确认相关的时钟脉冲由主生成。数据发射器，无论是主还是从，在确认时钟脉冲期间释放 SDA 线 (HIGH)。接收者应在确认时钟脉冲期间沿 SDA 线下降，以便在该时钟脉冲的高周期内保持稳定。

然后，主服务器可以生成 STOP (P) 条件来停止传输，或生成重复的 START (Sr) 条件来开始新的传输。

主接收器应通过不在从服务器打卡的最后一个字节上生成确认，向从发送器指示数据的结束。从属发射器应释放数据线，以允许主服务器生成 STOP (P) 或重复 START (Sr) 条件。

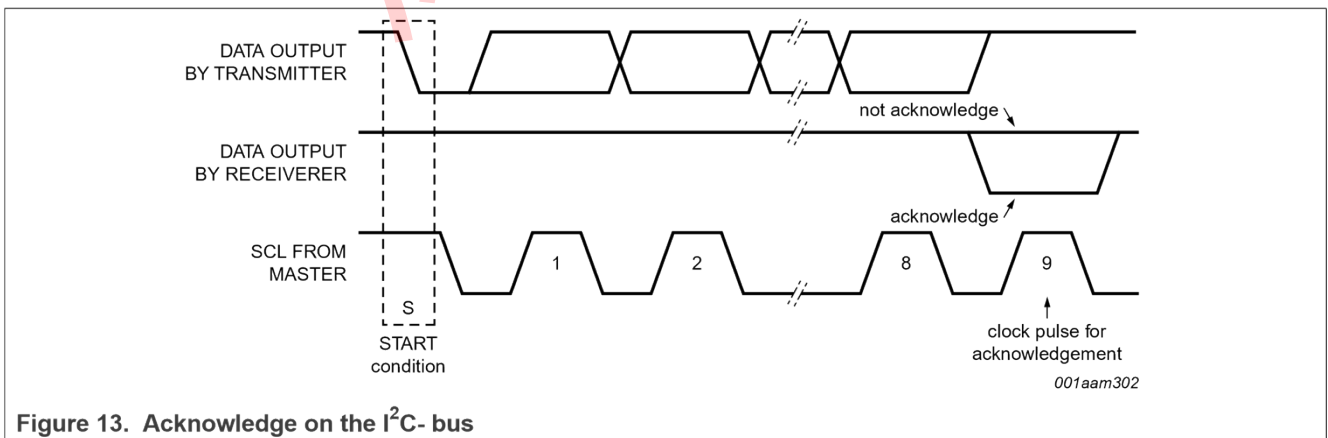


Figure 13. Acknowledge on the I²C- bus

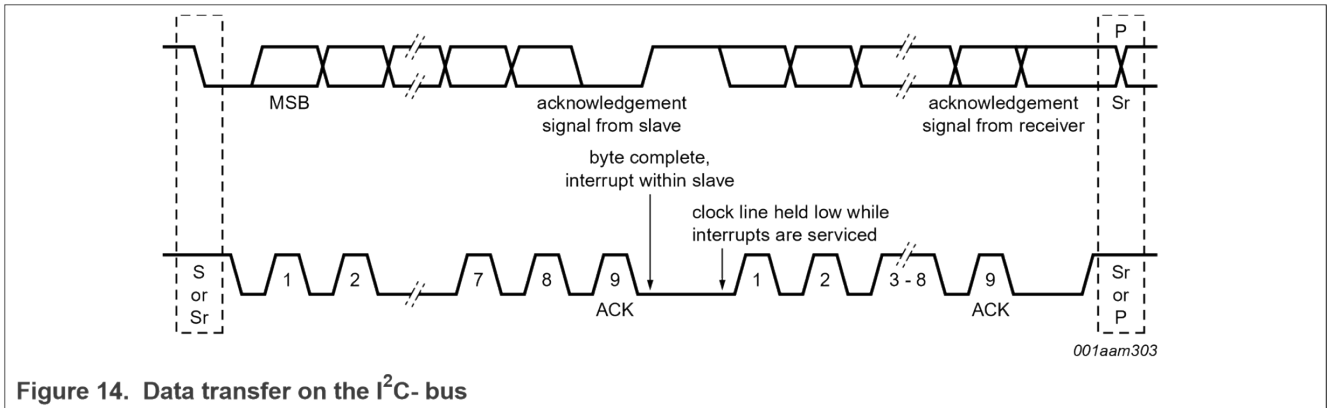


Figure 14. Data transfer on the I²C-bus

8.4.4.6 I²C 7-bit addressing

在 I 期间 I²C 总线寻址过程，START 条件后的第一个字节用于确定主服务器将选择哪个从服务器。

或者 I²C 地址可以在 EEPROM 中配置。为此目的保留了几个地址号。在设备配置期间，设计者必须确保不会与系统中的这些保留地址发生冲突。检查相应的 I² 保留地址完整列表的 C 规范。

对于所有 SLRC610 设备，设备总线地址的上 5 位由 NXP 保留，并设置为 01010 (bin)。从属地址的剩余 2 位 (ADR_2, ADR_1) 可以由客户自由配置，以防止与其他 I²C 设备发生冲突²使用接口引脚的 C 设备 (请参阅表 8) 或 I 的价值 I²C 地址 EEPROM 寄存器 (请参阅表 30)。

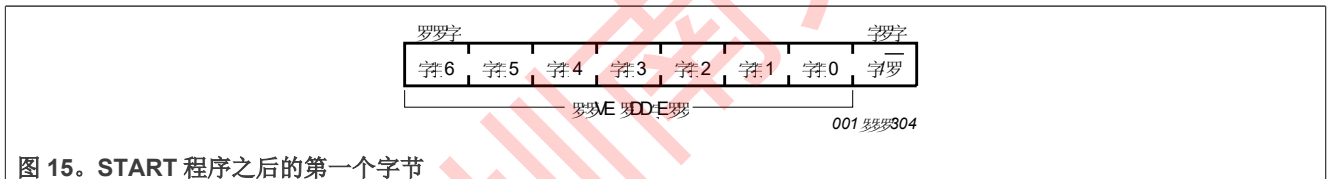


图 15. START 程序之后的第一个字节

8.4.4.7 I²C-寄存器写入访问

通过 I 从主机控制器写入数据 I²C 到 SLRC610 的特定寄存器，应使用以下帧格式。

读/写位应设置为逻辑 0。

帧的第一个字节根据 I 指示设备地址 I²C 规则。第二个字节表示寄存器地址，后跟最多 n 个数据字节。如果地址指示 FIFO，在一个帧中，所有 n 数据字节都写入 FIFO 寄存器地址。例如，这可以实现快速的 FIFO 访问。

8.4.4.8 I²C-寄存器读取访问

要从 SLRC610 的特定寄存器地址读取数据，主机控制器应使用以下程序：

首先，必须按照以下框架所示执行对特定寄存器地址的写入访问：

帧的第一个字节根据 I 指示设备地址 I²C 规则。第二个字节表示寄存器地址。没有添加数据字节。

读/写位应为逻辑 0。

执行此写访问后，开始读取访问。主机发送 SLRC610 的设备地址。作为此设备地址的答案，SLRC610 响应地址寄存器的内容。在一个帧中，n 数据字节可以使用相同的寄存器地址读取。指向寄存器的地址会自动 increment（例外：FIFO 寄存器地址不会自动 increment）。这使得注册内容的快速传输成为可能。地址指针是自动的 Cally 和数据是从位置读取的[地址], [地址+1], [地址+2]...[地址+(n-1)]

为了支持快速 FIFO 数据传输，如果地址指向 FIFO，地址指针不会自动 increment。

读/写位应设置为逻辑 1。

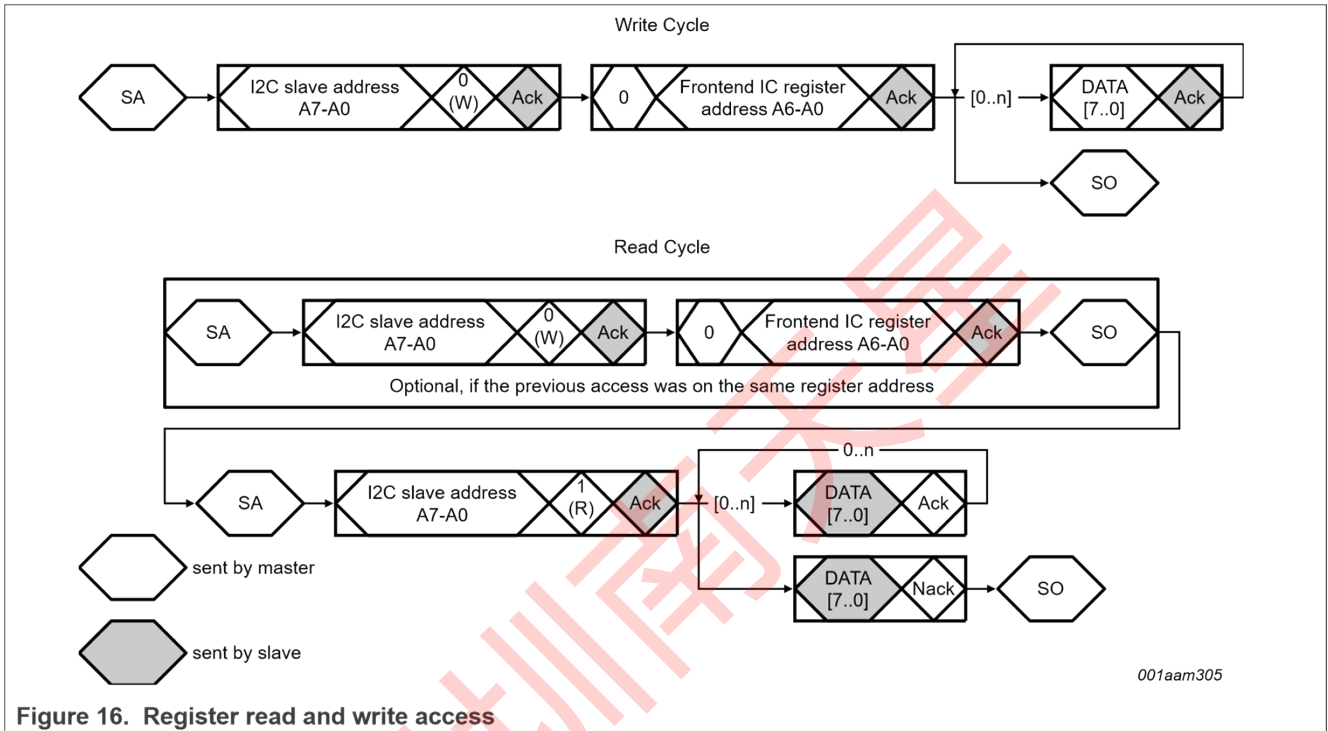


Figure 16. Register read and write access

8.4.4.9 I²CL-bus interface

SLRC610 为连接 SAM 提供了一个额外的接口选项。这个逻辑界面满足了 I²C 规范，但上升/下降时间将不符合 I²C 标准。The I²CL 接口使用标准 I/O 垫，通信速度限制为 5 MBaud。该协议本身等同于 I 的快速模式协议 ²C. SCL 级别由主机在推/拉模式下生成。RC610 不会延长时钟。在 SCL 的高潮时期，线路的地位由一名公共汽车看守人维持。

地址是 010xxb，其中地址的最后两个位可以由应用程序定义。这个位的定义可以通过两个选项来完成。使用引脚，较高的位固定为 0 或可以通过 EEPROM 定义配置。退回到 EEPROM 配置第 7.7 节。

表 19. 时间参数 I² 厘升

参数	分钟	Max	单位
第六个罗马字母 SCL	0	5	MHz
字母 THD;STA	80	—	Ns
字母 T 低	100	—	Ns

表 19. 时间参数 I² 厘升...Continued

参数	分钟	Max	单位
----	----	-----	----

字母 T 高中	100	—	Ns
字母 TSU:SDA	80	—	Ns
字母 THD:DAT	0	50	Ns
字母 TSU:DAT	0	20	Ns
字母 TSU:STO	80	—	Ns
字母 TBUF	200	—	Ns

I 不需要上拉式电阻器 ²CL 接口。相反，在 SLRC610 中为 I 的 SDA 实施了芯片总线管理员 ²CL 接口。该协议旨在用于短距离设备的点对点连接，不支持总线能力。引脚的驱动器必须迫使线路达到所需的逻辑电压。避免两个司机在推进路线的同时，必须遵守以下规定：

SCL: 由于没有时钟拉伸，SCL 总是在大师的控制之下。

SDA: SDA 线由主从主共享。因此，主从必须控制自己的 SDA 引脚的驱动启用线。必须遵循以下规则：

- 在闲置阶段，SDA 线由主线驱动高
- 在开始和停止条件之间的时间里，当 SCL 低时，SDA 线由主从驱动。如果 SCL 很高，SDA 线不会由任何设备驱动
- 为了保持 SDA 线路的价值，为该线路实施了芯片总线管理员结构

8.4.5 SAM 接口

8.4.5.1 SAM 功能

SLRC610 实现了专用的 I2C 或 SPI 接口，以非常方便的方式将 SAM（安全访问模块）集成到应用程序（例如近距离阅读器）中。

SAM 可以连接到微控制器，像加密协处理器一样运行。对于任何加密任务，微控制器从 SAM 请求操作，接收答案，然后通过主机接口（例如 I2C、SPI）接口将其发送到连接的读取器 IC。

8.4.5.2 SAM 连接

SLRC610 提供了一个接口，用于连接专用于 SLRC610 的 SAM。SLRC610 的两个接口选项，I²C，I²CL 或 SPI 可用于此目的。SAM 本身的接口选项由从主机发送到 SAM 的主机命令配置。

The I²CL 接口旨在用作短距离内两个 IC 之间的连接。该协议满足了 I²C 规范，但只支持连接到总线的单个设备。

SAM 连接的 SPI 块与 SPI 主机接口块相同。

用于 SAM SPI 的引脚描述如下 [表 19](#)。

表 20. SPI SAM 连接

SPI 功能	别针
MISO	SDA2
SCL	SCL2

表 20. SPI SAM 连接...Continued

SPI 功能	别针
MOSI	IFSEL1
NSS	IFSEL0

8.4.6 边界扫描界面

SLRC610 根据 IEEE 1149.1 提供了一个边界扫描接口。该接口允许在不使用物理测试探头的环境下测试互连。这是由分配给每个引脚的测试单元完成的，这些单元覆盖了该引脚的功能。

为了能够对测试单元进行编程，支持以下命令：

表 21. 边界扫描命令

值（十进制）	指挥权	参数在	参数出
0	分流管	—	—
1	预加载	数据 (24)	—
1	样品	—	数据 (24)
2	ID 代码（默认）	—	数据 (32)
3	用户代码	—	数据 (32)
4	夹具	—	—
5	高 Z	—	—
7	Extest	数据 (24)	数据 (24)
8	接口开/关	接口 (1)	—
9	注册访问读取	地址 (7)	数据 (8)
10	注册访问写入	地址 (7) - 数据 (8)	—

标准 IEEE 1149.1 描述了使用此接口所需的四个基本块：测试访问端口（TAP）、TAP 控制器、TAP 指令寄存器、TAP 数据寄存器；

8.4.6.1 接口信号

边界扫描接口实现了芯片和环境之间的四条线接口。有三种输入：测试时钟（TCK）；测试模式选择（TMS）；测试数据输入（TDI）和一个输出测试数据输出（TDO）。TCK 和 TMS 是广播标志 als，TDI 到 TDO 生成一条名为扫描路径的串行。

这种技术的优点是，无论边界扫描设备的数量如何，完整的路径都可以用四条信号线处理。

TCK、TMS 信号直接与边界扫描控制器相连。由于这些信号负责芯片的模式，因此一个扫描路径中的所有边界扫描设备都将处于相同的边界扫描模式。

8.4.6.2 测试时钟 (TCK)

TCK 引脚是模块的输入时钟。如果提供此时钟，测试逻辑能够独立于任何其他系统时钟运行。此外，它确保菊花链在一起的多个边界扫描控制器可以同步在组件之间通信串行测试数据。在正常运行期间，TCK 由自由运行的时钟驱动。必要时，TCK 可以在 0 或 1 处长时间停止。当 TCK 在 0 或 1 处停止时，边界扫描的状态控制器不会改变，并且 Instruction and Data Registers 中的数据不会丢失。

TCK 引脚上的内部上拉电阻已启用。这确保了如果引脚不是从外部来源驱动的，就不会发生时钟。

8.4.6.3 测试模式选择 (TMS)

TMS 引脚选择边界扫描控制器的下一个状态。TMS 是在 TCK 上升边缘采样的。根据当前的边界扫描状态和 TMS 的采样值，输入下一个状态。因为 TMS 是在上升时采样的 TCK 的边缘，IEEE 标准 1149.1 预计 TMS 的价值在 TCK 的下降边缘会发生变化。

连续五次 TCK 周期将 TMS 高高驱动边界扫描控制器状态机到测试-逻辑-重置状态。当边界扫描控制器进入测试-逻辑-重置状态时，指令寄存器 (IR) 重置为默认指令 ICODE。因此，这个序列可以用作重置机制。

TMS 引脚上的内部上拉电阻已启用。

8.4.6.4 测试数据输入 (TDI)

TDI 引脚为 IR 链和 DR 链提供一系列信息流。TDI 在 TCK 的上升边缘采样，并根据当前的 TAP 状态和当前指令，将这些数据呈现给适当的移位寄存器链。Beca 使用 TDI 引脚在 TCK 的上升边缘采样，IEEE 标准 1149.1 预计 TDI 的值在 TCK 的下降边缘会发生变化。

TDI 引脚上的内部上拉电阻已启用。

8.4.6.5 测试数据输出 (TDO)

TDO 引脚提供来自 IR 链或 DR 链的串行信息输出流。TDO 的值取决于当前 TAP 状态、当前指令和正在访问的链中的数据。为了在端口没有时节省电力在不使用时，当不主动转移数据时，TDO 引脚被置于不活跃的驱动器状态。由于 TDO 可以在菊花链配置中连接到另一个控制器的 TDI，IEEE 标准 1149.1 预计 TDO 上的值会改变 TCK 的下降边缘。

8.4.6.6 数据寄存器

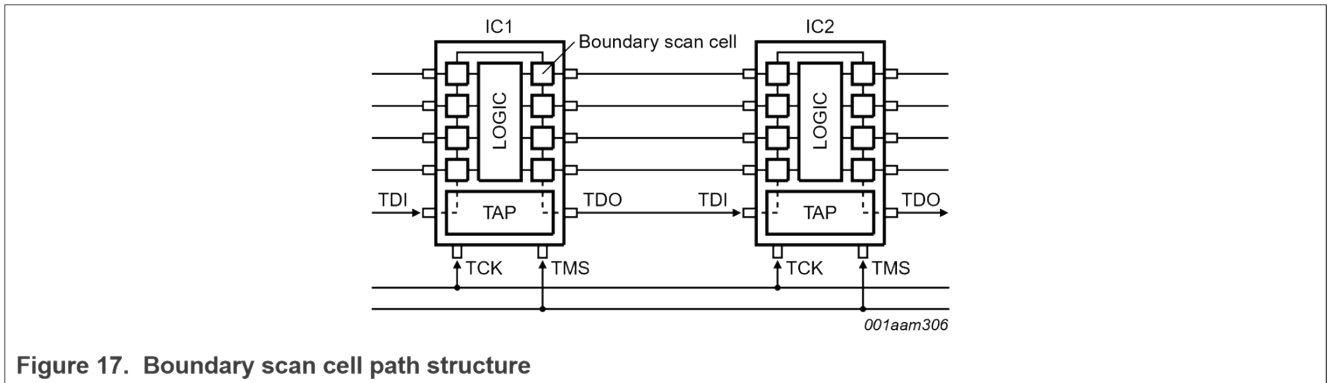
根据 IEEE1149.1 标准，定义了两种类型的数据寄存器：旁路和边界扫描

旁路寄存器允许在扫描路径的一部分时绕过设备。允许通过设备将序列号从 TDI 引脚传输到 TDO 引脚，而不会影响设备的运行。

边界扫描寄存器是边界单元的扫描链。这个寄存器的大小取决于命令。

8.4.6.7 边界扫描单元

边界扫描单元打开了独立于其正常用例控制硬件引脚的可能性。基本上，单元只能做以下一项：控制、输出和输入。



8.4.6.8 边界扫描路径

本章展示了 SLRC610 的边界扫描路径。

表 22。SLRC610 的边界扫描路径

数字 (十进制)	细胞	港口	函数
23	BC_1	—	控制
22	BC_8	CLKOUT	Bidir
21	BC_1	—	控制
20	BC_8	SCL2	Bidir
19	BC_1	—	控制
18	BC_8	SDA2	Bidir
17	BC_1	—	控制
16	BC_8	IFSEL0	Bidir
15	BC_1	—	控制
14	BC_8	IFSEL1	Bidir
13	BC_1	—	控制
12	BC_8	IF0	Bidir
11	BC_1	—	控制
10	BC_8	IF1	Bidir
9	BC_1	—	控制
8	BC_8	IF2	Bidir
7	BC_1	IF2	输出 2
6	BC_4	IF3	输入的信息

5	BC_1	—	控制
4	BC_8	IRQ	Bidir
3	BC_1	—	控制
2	BC_8	SIGIN	Bidir
1	BC_1	—	控制
0	BC_8	SIGOUT	Bidir

请参阅 CLRC663 BSDL 文件。

8.4.6.9 边界扫描描述语言 (BSDL)

所有边界扫描设备都有一个独特的边界结构，这是操作设备所必需的。这种语言的重要组成部分是：

- 可用的测试总线信号
- 合规引脚
- 命令注册
- 数据寄存器
- 边界扫描结构（细胞的数量和类型、它们的功能和与针脚的连接。）

SLRC610 正在为 IO-Lines 使用 BC_8 单元格。The I²C Pin 正在使用 BC_4 单元格。所有垫子启用线都使用单元 BC1。

制造商的标识是 02Bh。

- SLRC610 的属性 IDCODEISTER：实体是“0001”和--版本
- “0011110010000010b”和--部件号（3C82h）
- “00000010101b”和--制造商（02Bh）
- "1b"; -- 强制性

用户代码数据编码如下：

- 产品 ID（3 字节）
- 变种

这四个字节作为 EEPROM 的前四个字节存储。

8.4.6.10 非 IEEE1149.1 命令

接口开/关：

使用此命令可以停用主机/SAM 接口，并激活边界扫描接口的读写命令。（数据=1）。通过 Update-DR，该值被接管。

注册访问阅读：

在 Capture-DR，实际地址被读取并存储在 DR 中。DR 的转移正在一个新的地址转移。通过 Update-DR，此地址被接管到实际地址中。

8.4.6.10.1 注册访问写入：

在 Capture-DR，地址和数据从 DR 接管。数据被复制到给定地址的内部寄存器中。

8.5 缓冲区

8.5.1 概述

SLRC610 中实现了 512 × 8 位 FIFO 缓冲区。它缓冲主机和 SLRC610 内部状态机之间的输入和输出数据流。因此，可以处理长达 512 字节的数据传输，而不需要考虑到时间限制。FIFO 也可以限制在 255 字节的大小。在这种情况下，所有参数（FIFO 长度、水印...）只需要一个字节才能定义。如果 FIFO 长度为 512 字节，则此值的定义要求 Uires 2 字节。

8.5.2 访问 FIFO 缓冲区

当 μ 控制器启动命令时，SLRC610 可以在命令进行期间根据该命令访问 FIFO 缓冲区。物理上只实现了一个 FIFO 缓冲器，可用于输入和输出方向。因此， μ -Controller 必须小心，不要以损坏 FIFO 数据的方式访问 FIFO 缓冲区。

8.5.3 控制 FIFO 缓冲区

除了向 FIFO 缓冲区写入和读取外，FIFO 缓冲指针可以通过将 FIFOControl 中的位 FIFOFlush 设置为 1 来重置。因此，FIFOLevel 位被设置为逻辑 0，实际存储的字节无法再访问，并且 E FIFO 缓冲区可以再次填充 512 字节（如果位 FIFOSize 设置为 1，则为 255 字节）。

8.5.4 有关 FIFO 缓冲区的状态信息

主机可以获得有关 FIFO 缓冲器状态的以下数据：

- FIFO 缓冲区中已存储的字节数。写增量，读取减少 FIFO 级别：寄存器 FIFOLength 中的 FIFOLength（和 512 字节模式下的 FIFOControl 寄存器）
- 警告，FIFO 缓冲区几乎已满：根据寄存器水位中的水位值在寄存器 FIFOControl 中发出 HiAlert（注册 02h 位 [2]，注册 03h 位 [7:0]）
- 警告，FIFO 缓冲区几乎为空：根据注册水位中的水位值在注册 FIFOControl 中进行 LoAlert（注册 02h 位 [2]，注册 03h 位 [7:0]）
- FIFOom 位表明，虽然 FIFO 缓冲区已经满了，但字节已被写入 FIFO 缓冲区：寄存器 IRQ0 中的 ErrIRQ。

WaterLevel 是一个单一值，定义 HiAlert（从 FIFO 顶部计数）和 LoAlert（从 FIFO 底部计数）。SLRC610 可以在以下情况下生成中断信号：

- 寄存器 IRQ0En 中的 LoAlertIRQEn 设置为逻辑 1，当寄存器 FIFOControl 中的 LoAlert 更改为 1 时，它将激活引脚 IRQ。
- 寄存器 IRQ0En 中的 HiAlertIRQEN 设置为逻辑 1，当寄存器 FIFOControl 中的 HiAlert 更改为 1 时，它将激活引脚 IRQ。

如果最大水位字节（如寄存器水位中设置的）或更少可以存储在 FIFO 缓冲区中，则 HiAlert 位设置为逻辑 1。它是根据以下方程生成的：

$$HiAlert = (FiFoSize + - FiFoLength) \leq WaterLevel \quad (2)$$

如果水位字节（如在寄存器水位中设置）或更少实际存储在 FIFO 缓冲器中，则 LoAlert 位设置为逻辑 1。它是根据以下方程生成的：

$$LoAlert = FIFOLength \leq WaterLevel \tag{3}$$

8.6 接口和非接触式 UART

8.6.1 一般

集成的非接触式 UART 支持外部主机在线，对高达 848 kbit/s 的协议要求进行框架和错误检查。外部电路可以连接到通信接口引脚 SIGIN 和 SIGOUT，以调制和解调数据。

无接触 UART 与主机合作处理通信方案的协议要求。协议本身处理生成面向位和字节的框架，并根据差异处理奇偶校验和 CRC 等错误检测租用非接触式通信方案。

天线的大小、调谐和输出驱动器的电源电压会影响可实现的场强度。读卡器和卡之间的操作距离还取决于所使用的卡类型。

8.6.2 TX 发射器

TX1 针和 TX2 针上传递的信号是由包络信号调制的 13.56 MHz 载波，用于能量和数据传输。它可用于直接驱动天线，使用一些被动组件进行匹配和过滤，请参阅第 13 节“申请信息”。TX1 和 TX2 上的信号可以通过寄存器 DrvMode 配置，请参阅 8.8.1 节“TxMode”。

TxAmp 可以设置调制指数。

下图显示了调制过程中的一般关系

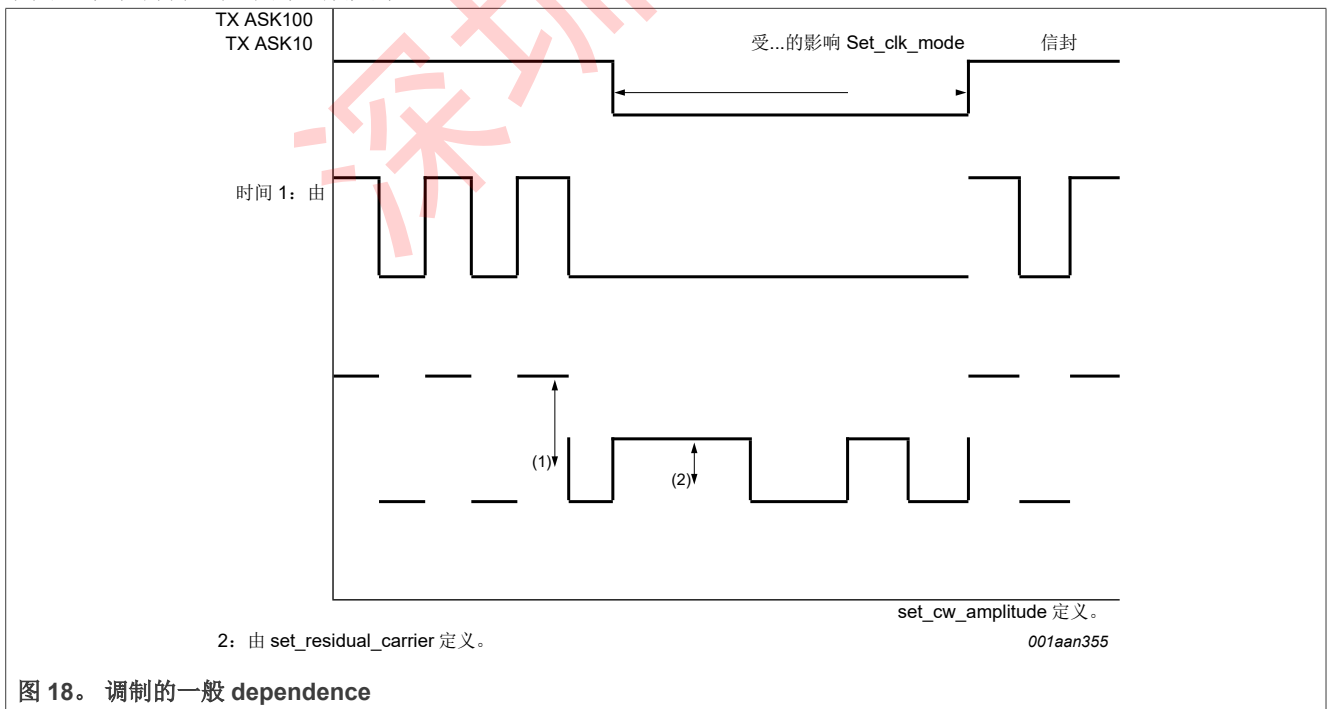


图 18。调制的一般 dependence

注意：当改变连续载波振幅时，剩余载波振幅也会发生变化，而调制指数保持不变。

寄存器第 8.8 节和 8.10 节控制数据速率、传输期间的框架和天线驱动器的设置，以支持不同指定模式和传输速度的要求。

表 23. TX1 和 TX2 的设置

TxCikMode (二进制)	Tx1 和 TX2 输出	备注
000	高阻抗	—
001	0	无论如何，输出都拉到 0
010	1	在任何情况下，输出都拉到 1
110	RF 高侧推	开放式排水管，只有高侧（推送）MOS 提供时钟，时钟奇偶校验由 <i>invtx</i> 定义；低侧 MOS 关闭
101	RF 低侧拉	开放式排水管，仅提供时钟的低侧（拉动）MOS， <i>invtx</i> 定义的时钟奇偶校验；高侧 MOS 关闭
111	13.56 MHz 时钟源自 27.12 MHz 石英除以 2	推/拉操作，由 <i>invtx</i> 定义的时钟极性；设置为 10% 调制

寄存器 TXamp 和 *set_residual_carrier* 的位定义调制索引：

表 24. 通过 TXamp.set_residual_carrier 设置剩余载波和调制索引

Set_residual_carrier (十进制)	剩余载流子 [%]	调制指数[%]
0	99	0.5
1	98	1.0
2	96	2.0
3	94	3.1
4	91	4.7
5	89	5.8
6	87	7.0
7	86	7.5
8	85	8.1
9	84	8.7
10	83	9.3
11	82	9.9
12	81	10.5
13	80	11.1
14	79	11.7
15	78	12.4

16	77	13.0
17	76	13.6
18	75	14.3
19	74	14.9
20	72	16.3
21	70	17.6
22	68	19.0
23	65	21.2
24	60	25.0

表 24。通过 TXamp.set_residual_carrier 设置剩余载波和调制索引...Continued

Set_residual_carrier (十进制)	剩余载流子 [%]	调制指数[%]
25	55	29.0
26	50	33.3
27	45	37.9
28	40	42.9
29	35	48.1
30	30	53.8
31	25	60.0

注意：在 VDD(TVDD)<5 V 和剩余载波设置<50%时，调制指数的准确性可能很低，因为与天线调谐阻抗有关

8.6.2.1 超调保护

SLRC610 为 100% ASK 提供超调保护，以避免在 PCD 通信期间超调。因此，可以使用两个计时器 overshoot_t1 和 overshoot_t2。

在计时器 overshoot_t1 运行期间，由 set_cw_amplitude 位定义的振幅提供给输出驱动程序。随后是一个振幅，由 set_residual_carrier 位表示，持续时间为 overshoot_t2。

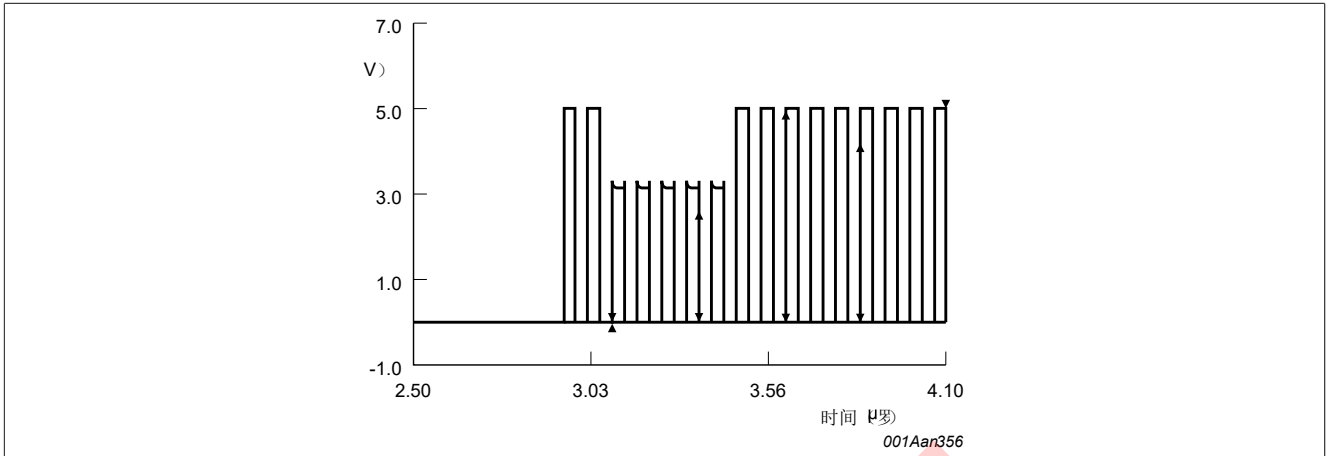


图 19。示例 1: overshoot t1 = 2d; overshoot t2 = 5d。

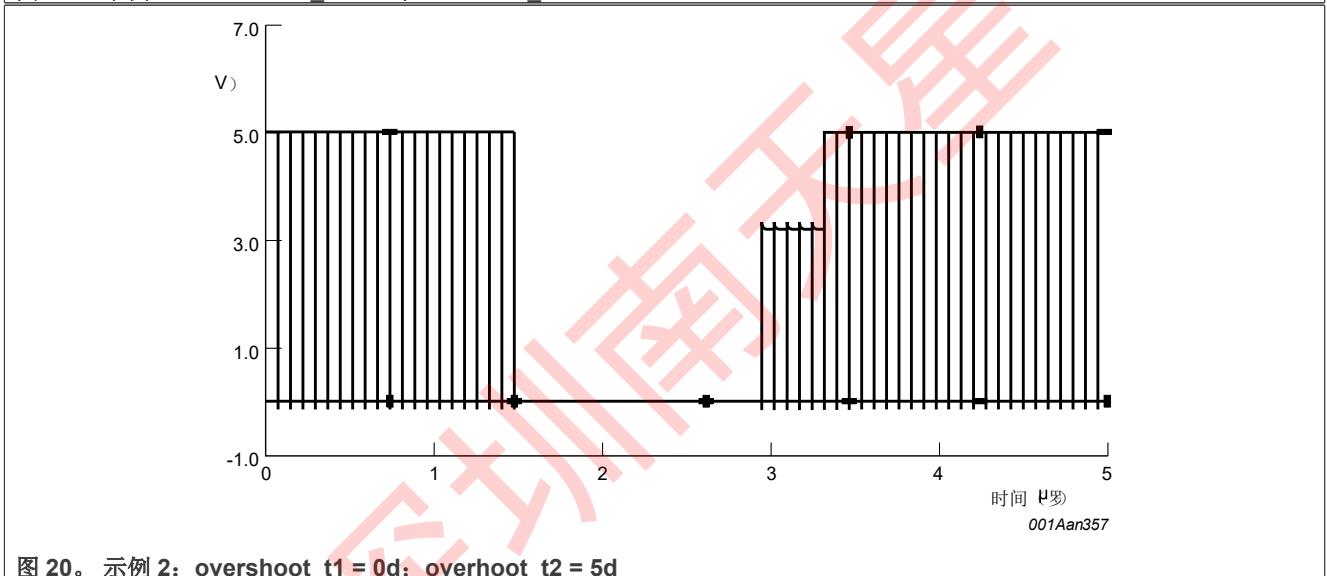


图 20。示例 2: overshoot t1 = 0d; overshoot t2 = 5d

8.6.2.2 位发电机

数据流的默认编码是通过使用 Bit-Generator 完成的。当 TxFrameCon.DCodeType 的值设置为 0000 (bin) 时，它将被激活。Bit-Generator 按字节对数据流进行编码，并可以对每个数据字节应用以下编码步骤。

1. 在每个字节的开头添加指定类型的开始位
2. 添加指定类型的停止位和 EGT 位。EGT 位的最大数量为 6，仅支持完整位
3. 添加指定类型的奇偶校验位
4. TxLastBits (在帧中最后一个字节末尾跳过给定数量的位)
5. 加密数据位 (MIFARE Classic 加密)

跳过一个字节超过 8 位是不可能的！

默认情况下，数据字节总是首先处理 LSB。

8.6.3 接收器电路

8.6.3.1 一般

SLRC610 具有多功能的正交接收器架构，在 RXP 和 RXN 上具有完全差分信号输入。它可以配置为实现接收各种基于 13.56 MHz 的协议的最佳性能。

对于所有处理单元，可以进行各种调整，以获得最佳性能。

8.6.3.2 方框图

[图 21](#) 显示接收器电路的框图。接收过程包括几个步骤。首先完成了 13.56 MHz 载波信号的正交解调。这个电路中有几个调谐步骤是可能的。



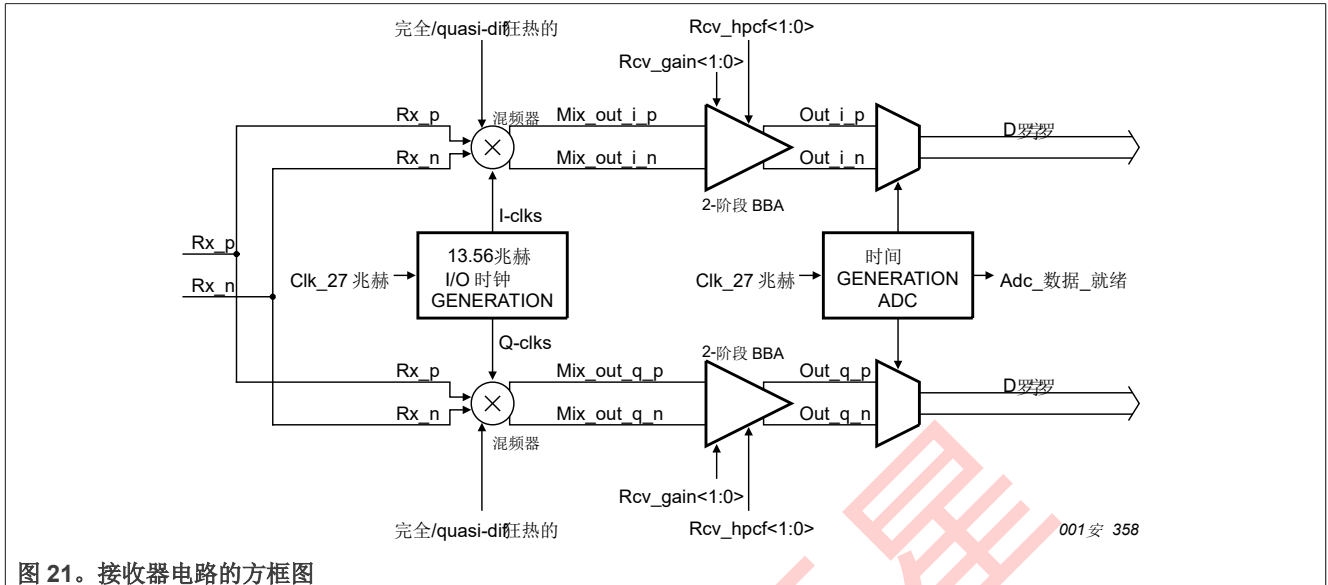


图 21. 接收器电路的方框图

接收器也可以在单端模式下操作。在这种情况下，必须设置 **Rcv_RX_single** 位。在单端模式下，两个接收器引脚 **RXP** 和 **RXN** 需要连接在一起，并将向接收器电路提供单端信号。当在单端模式下使用接收器时，与完全差分模式相比，接收器的灵敏度会降低，可实现的读取距离可能会减少。

表 25. 单接收器或差动接收器的配置

形式	Rcv_rx_single	引脚 RXP 和 RXN
完全差分	0	通过单独的 rx 耦合分支提供来自差分天线的差分信号
准差分	1	将 RXP 和 RXN 连接在一起，并通过单个 rx 耦合分支从天线提供单端信号

正交解调器使用两种不同的时钟，**Q** 时钟和 **I** 时钟，它们之间的相移为 **90°**。由此产生的两个基带信号都被放大、过滤、数字化并转发到相关电路。

典型的应用程序旨在实现完全差分模式，并将提供最大的阅读器/写入器距离。准差分模式可以与专用天线拓扑一起使用，允许减少匹配组件以整体阅读性能为代价。

在低功耗卡检测期间，评估 **I** 通道和 **Q** 通道混合器输出的直流电平。这需要混音器直接连接到 **ADC**。这可以通过在寄存器 **Rcv** (**38h**) 中设置位 **Rx_ADC** 模式来配置。

8.6.4 有源天线概念

SLRC610 中实施了两个主要模块。数字电路，包括状态机、编码器和解码器逻辑以及带有调制器和天线驱动器、接收器和放大电路的模拟电路。例如，两者之间的接口这两个块可以进行配置，即接口信号可以路由到引脚 **SIGIN** 和 **SIGOUT**。这种拓扑最重要的用途是主动天线概念，其中数字块和模拟块是分开的。这打开了例如，将另一个 **SLRC610** 设备的附加数字块与单个模拟天线前端连接的可能性。



图 22. 有源天线概念的方框图

足够的表 25 和表 26 描述用例有源天线概念的必要寄存器配置。

表 26. SLRC610 有源天线概念的寄存器配置 (DIGITAL)

寄存器	价值 (二进制)	描述
SigOut.SigOutSel	0100	Tx 信封
Rcv.SigInSel	11	通过 SigIn 接收 (通用代码)
DrvCon.TxSel	00	低 (空头)

表 27. SLRC610 有源天线概念 (天线) 的寄存器配置

寄存器	价值 (二进制)	描述
SigOut.SigOutSel	0110	通用代码 (曼彻斯特)
Rcv.SigInSel	01	里面的
DrvCon.TxSel	10	外部 (SigIn)
RxCtrl.RxMultiple	1	RxMultiple on

这两个块之间的接口可以这样配置，接口信号可以路由到引脚 SIGIN 和 SIGOUT (见[图 23“SIGIN/SIGOUT 信号路由概述”](#))。

这种拓扑支持 SLRC610 模拟部分的某些部分可以连接到另一个设备的数字部分。

registerSigOut 中的开关 SigOutSel 可用于测量信号。这在设计阶段或测试期间尤为重要，以检查传输和接收的数据。

然而，SIGIN/SIGOUT 引脚最重要的用途是有源天线概念。外部有源天线电路可以连接到 SLRC610 的数字电路。SigOutSel 必须以这种方式配置内部米勒的信号编码器被发送到 SIGOUT 引脚 (SigOutSel = 4)。SigInSel 必须配置为使用 SIGIN 引脚的子载波接收曼彻斯特信号 (SigInSel = 1)。

可以将无源天线连接到引脚 TX1、TX2 和 RX (通过适当的滤波器和匹配电路)，同时将有源天线连接到引脚 SIGOUT 和 SIGIN。在此配置中，两个 RF 部件可以由单个主机处理器驱动 (一个接一个)。

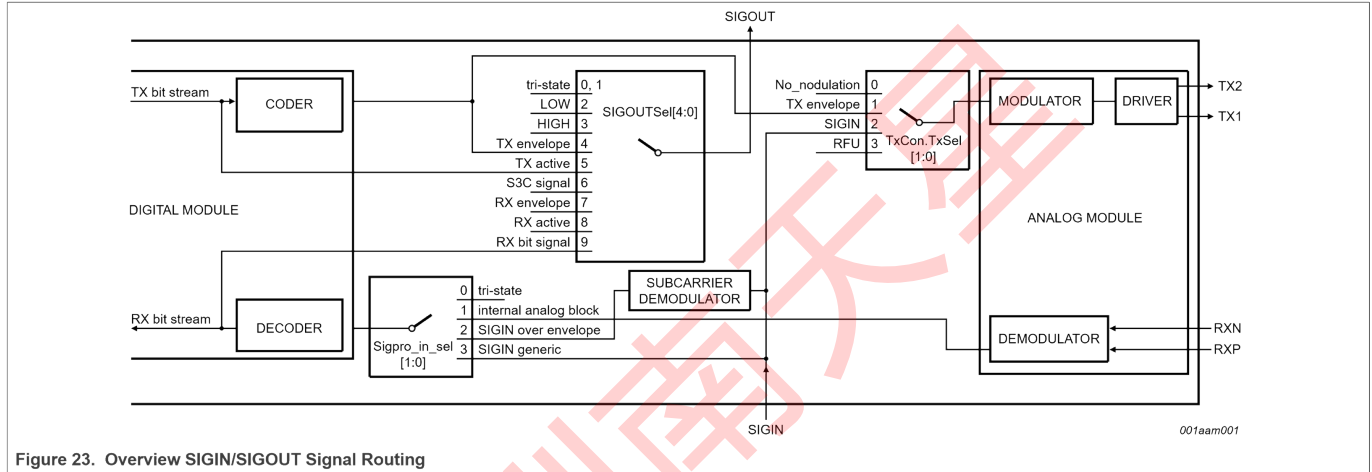


Figure 23. Overview SIGIN/SIGOUT Signal Routing

深圳南天星

8.6.5 符号生成器

符号生成器用于创建各种协议符号，如 ICODE EPC 协议使用的 CS 符号。

符号通过符号定义寄存器和模式寄存器来定义。可以使用四种不同的符号。其中两个，Symbol0 和 Symbol1 的最大模式长度为 16 位，其突发长度高达 256 位，逻辑“0”或逻辑“1”。Symbol2 和 Symbol3 限制为 8 位模式长度，不支持突发。

符号模式的定义是通过将模式的位序列写入适当的寄存器来完成的。要发送的模式的最末一位位于寄存器的 LSB。通过在符号长度寄存器中设置符号长度（TxSym10Len 和 TxSym32Len）符号模式的定义已经完成。定义寄存器中位位置高于符号长度的所有其他位都被忽略。（示例：符号 2 = 5 的长度，bit7 和 bit6 被忽略，bit5 到 bit0 定义 t 符号模式，bit5 首先发送）

发送的符号模式可以在 TxFrameCon 寄存器中配置。Symbol0、Symbol1 和 Symbol2 可以在数据包之前发送，Symbol1、Symbol2 和 Symbol3 可以在数据包之后发送。每个符号都由一组寄存器定义。符号是由一对寄存器配置。Symbol0 和 Symbol1 共享相同的配置，Symbol2 和 Symbol3 共享相同的配置。配置包括位时钟和子载波频率的设置，以及脉冲类型/长度的选择和信封类型。

8.7 内存

8.7.1 内存概述

SLRC610 实现了三种不同的存储器：EEPROM、FIFO 和寄存器。

启动时，通过将 EEPROM 区域（读/写 EEPROM 第 1 节和第 2 节，寄存器重置）自动复制到寄存器中来初始化定义 IC 行为的寄存器。SLRC610 的行为可以改变通过执行命令 LoadProtocol，该命令将选定的默认协议从 EEPROM（只读 EEPROM 第 4 节，注册设置协议区域）复制到寄存器中。

读/写 EEPROM 第 2 节可用于存储任何用户数据或预定义的寄存器设置。这些预定义的设置可以使用“LoadRegister”命令复制到内部寄存器中。

FIFO 用作输入/输出缓冲区，能够以有限的接口速度提高系统的性能。

8.7.2 EEPROM 内存组织

SLRC610 实现了大小为 8 kB 的 EEPROM 非易失性存储器。EEPROM 按 64 字节的页面组织。一次可以编程一页 64 字节。定义的目的已分配给 EEPROM 的特定内存区域，这些区域称为部分。确实存在五个具有不同目的的第 0..4 节。

表 28. EEPROM 内存组织

部分	页	字节地址	途径 权利	内存内容
0	0	00 到 31	字母 R	产品信息和配置
		32 到 63	R/w	产品配置
1	1 到 2	64 到 191	R/w	注册重置
2	3 到 111	192 到 7167	R/w	未受困的

表 28. EEPROM 内存组织...继续

部分	页	字节地址	途径权利	内存内容
3	112 到 127	7168 到 8191	字母 R	寄存器集协议 (RSP、TX 和 RX)

下图显示了 EEPROM 的结构:

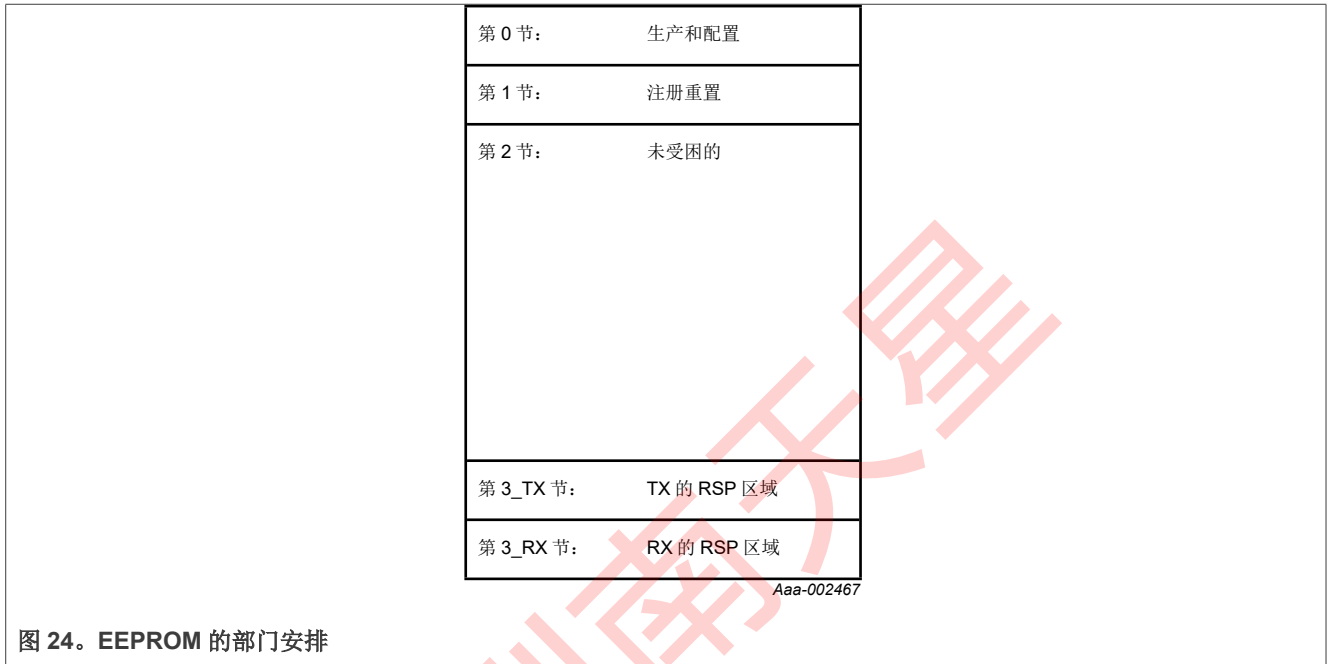


图 24. EEPROM 的部门安排

8.7.2.1 产品信息和配置-第 0 页

第一个 EEPROM 页面包括生产数据以及配置信息。

表 29. 生产区域 (第 0 页)

住址 (十六六)	0	1	2	3	4	5	6	7
00	产品 ID			变种	唯一标识符			
08	唯一标识符							制作者数据
10	制造商数据							
18	制造商数据							

产品 ID: 此 SLRC610 产品的标识符, 仅应评估地址 01h 以识别产品 SLRC6103, 地址 00h 和 02h 应被软件忽略。

请注意, SLRC61002 和 SLRC61003 的硅版本可以在寄存器地址 7Fh 上识别, 它没有在 EEPROM 生产区域编码。

表 30. CLRC663 系列的产品 ID 概述

地址 01h	产品 ID
--------	-------

CLRC663	01 小时
MFRC631	C0h
MFRC630	80 小时

表 30. CLRC663 系列的产品 ID 概述...继续

地址 01h	产品 ID
SLRC610	20 小时

版本：此寄存器指示生产期间 EEPROM 初始化数据的版本。（硬件版本的标识在寄存器 7Fh 中可用，而不是在 EEPROM 版本地址中。寄存器 7Fh 中的硬件信息是 **hardwired**，因此独立于任何 EEPROM 配置。）

唯一标识符：此设备的唯一数字代码

制造商数据：这些数据是在生产过程中编程的。该内容不打算被任何应用程序使用，对于不同的设备可能不相同。因此，此内容需要被视为未定义。

表 31. 配置区域（第 0 页）

住址 (十六 六)	0	1	2	3	4	5	6	7
20	我 ² C_地址	用户界面	我 ² C SAM_地址	默认 ProtRx	默认 ProtTx	—	TxCRC 预设	
28	RxCRC 预设		—	—	—	—	—	—
30	—							
38	—							

我²C-地址：有两种可能性来定义 I 的地址²C 接口。这可以通过配置引脚 IF0, IF2（地址为 10101xx, xx 由接口引脚 IF0, IF2 定义）或将值写入 I²C 地址区域。选择，这个 2 信息引脚配置或 EEPROM 内容中的哪一个-用作 I²C 地址在 EEPROM 地址 21h（接口，位 4）完成**用户界面**本节描述接口字节配置。

表 32. 接口字节

比特	7	6	5	4	3	2	1	0
	我 ² C_HSP	—	—	I ² C_地址	边界扫描	主人		
访问权限	R/w	RFU	RFU	R/w	R/w	—	—	—

表 33. 接口位

比特	标志	描述
7	我 ² C_HSP	清除时，设置时使用高速模式，使用高速+模式（默认）
6, 5	RFU	—
4	我 ² C_地址	清除时，使用引脚（默认）设置时，使用 EEPROM

3	边界扫描	设置时，边界扫描接口打开（默认）时清除时，边界扫描关闭
2 到 0	主人	000b - RS232 001b - I ² 字母 C 010b - SPI 011b - 我 ² 厘升 1xxb - 引脚选择

我²C_SAM_地址：我²C SAM 地址始终由 EEPROM 内容定义。

寄存器集协议（RSP）区域包含 TX 寄存器（16 字节）和 RX 寄存器（8 字节）的设置。

表 34. 寄存器集协议区域中的 Tx 和 Rx 安排

部分								
第 4 节 TX	Tx0		Tx1		TX2	Tx3		
第 4 节 TX	Tx4		Tx5		TX6	TX7		
第 4 节 Rx	RX0	RX1	RX2	RX3	RX4	RX5	RX6	RX7
第 4 节 Rx	RX8	RX9	RX10	RX11	RX12	RX13	RX14	RX15

TxCrc 预设数据位由模拟模块发送，并由 CRC 自动扩展。

8.7.3 EEPROM 初始化内容 LoadProtocol

SLRC610 EEPROM 在生产时被初始化，这些值用于通过将 EEprom 内容复制到寄存器将 SLRC610 的某些寄存器重置为默认设置。只有具有“读/写”或“动态”访问权限的寄存器或位使用从 EEProm 复制的默认值初始化。

请注意，用于将重置值从 EEProm 复制到寄存器的地址取决于配置的协议，可以由用户更改。

表 35. 注册重置值（Hex.）（第 0 页）

住址	0 (8)	1 (9)	2 (A)	3 (B)	4 (C)	5 (D)	6 (E)	7 (F)
函数	产品 ID			变种	唯一标识符			
00	X 染色体	见表 30	X 染色体	X 染色体	X 染色体	X 染色体	X 染色体	X 染色体
函数	唯一标识符							工厂修剪价值
08	X 染色体	X 染色体	X 染色体	X 染色体	X 染色体	X 染色体	X 染色体	X 染色体
函数	TrimLFO	工厂修剪值						
10	X 染色体	X 染色体	X 染色体	X 染色体	X 染色体	X 染色体	X 染色体	X 染色体
函数	工厂修剪值							
18....	X 染色体	X 染色体	X 染色体	X 染色体	X 染色体	X 染色体	X 染色体	X 染色体

	工厂修剪值							
...38	X 染色体	X 染色体	X 染色体	X 染色体	X 染色体	X 染色体	X 染色体	X 染色体

寄存器重置值是 IC 启动后使用的配置参数。可以更改它们以修改设备的默认行为。除了这个寄存器重置值外，还可以加载各种用户实现协议的设置。负载协议命令用于此目的。

表 36. 注册重置值 (Hex.) (第 1 页和第 2 页)

住址	0 (8)	1 (9)	2 (A)	3 (B)	4 (C)	5 (D)	6 (E)	7 (F)
	指挥权	主机 Ctrl	FiFoControl	水位	FiFoLength	FiFoData	IRQ0	IRQ1
40	40	00	80	05	00	00	00	00
	IRQ0En	IRQ1En	错误	地位	RxBitCtrl	RxColl	T 控制	T0 控制

表 36. 注册重置值 (Hex.) (第 1 页和第 2 页...继续)

住址	0 (8)	1 (9)	2 (A)	3 (B)	4 (C)	5 (D)	6 (E)	7 (F)
48	10	00	00	00	00	00	00	00
	T0ReloadHi	T0ReloadLo	T0 计数器 瓦尔希	T0 计数器 瓦尔洛	T1 控制	T1ReloadHi	T1ReloadLo	T1 计数器 瓦尔希
50	00	80	00	00	00	00	80	00
	T1 计数器 瓦尔洛	T2 控制	T2Reload 嗨	T2ReloadLo	T2 计数器 瓦尔希	T2 计数器 瓦尔洛	T3 控制	T3Reload 嗨
58	00	00	00	80	00	00	00	00
	T3ReloadLo	T3 计数器 瓦尔希	T3 计数器 瓦尔希	T4 控制	T4ReloadHi	T4ReloadLo	T4 计数器 瓦尔希	T4 计数器 瓦尔洛
60	80	00	00	00	00	80	00	00
	DrvMode	TxAmp	DrvCon	Txl	TxCRC 预先设置	RxCRC 预先设置	TxDataNum	TxModWith
68	86	15	11	06	18	18	08	27
	TxSym10 BurstLen	TxWaitCtrl	TxWaitLo	FrameCon	RxSofD	RxCtrl	RxWait	RxThres 保持
70	00	C0	12	囊性纤维化	00	04	90	3F
	Rcv	RxAAna	RFU	串行速度	LFO_trimm	PLL_Ctrl	PLL_Div	LPCD_QMin
78	12	0A	00	7A	80	04	20	48
	LPCD_ QMax	LPCD_I Min	LPCD_ 结果_I	LPCD_ 结果_Q	PadEn	PadOut	PadIn	SigOut

80	12	88	00	00	00	00	00	00
	TxBitMod	RFU	TxDataCon	TxDataMod	TxSymFreq	TxSym0H	TySym0L	TxSym1H
88	20	X 染色体	04	50	40	00	00	00
	TxSym1L	TxSym2	TxSym3	TxSym10 长度	TxSym32 长度	TxSym32 爆裂 Ctrl	TxSym10 摩登派	TxSym32 摩登派
90	0x00	0x00	0x00	0x00	0x00	0x00	0x00	0x50
	RxBitMod	RxEofSym	RxSyncValH	RxSyncValL	RxSyncMod	RxMod	RXCorr	FabCal
98	0x02	0x00	0x00	0x01	0x00	0x08	0x08	0xB2

8.8 时钟生成

8.8.1 晶体振荡器

应用于 SLRC610 的时钟是生成在 TX 发送的载波和正交混合器 I 和 Q 时钟生成以及同步系统的编码器和解码器的时间基础。因此，时钟频率的稳定性 Y 是正确表现的重要因素。为了获得最高性能，时钟抖动必须尽可能小。这最好通过使用内部振荡器缓冲器和推荐的电路来实现。

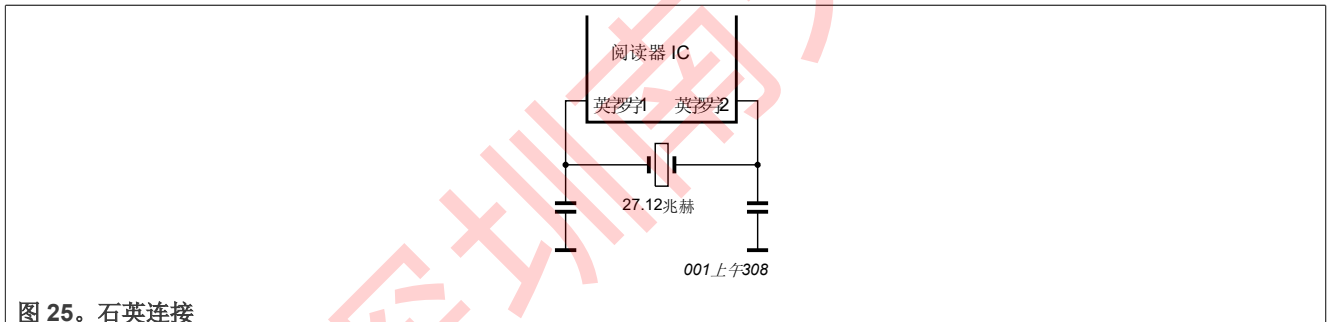


图 25. 石英连接

表 37. 水晶要求建议

标志	参数	情景	分钟	类型	最大	单位
第六个罗马字母 Xtal	晶体频率		—	27.12	—	兆赫
$\Delta f_{Xtal}/F_{Xtal}$	相对晶体频率变化		-250	—	+250	Ppm
红细胞沉降率	等效串联电阻		—	50	100	Ω
字母 C 字母 I	负载电容		—	10	—	pF
PXtal	晶体功率耗散		—	50	100	微瓦

8.8.2 IntegerN PLL 时钟线

SLRC610 能够在 CLKOUT 上提供 1 MHz 至 24 MHz (PLL_Ctrl 和 PLL_DIV) 的可配置频率的时钟。在那里，它可以作为微控制器的时钟源，避免了读取器系统中第二个晶体振荡器的需求。字母 CIntegerN-PLL 的锁源是 27.12 MHz 晶体振荡器。

两个分隔线正在确定输出频率。首先，反馈整数-N 分频器将 VCO 频率配置为 $N \times fin/2$ (控制信号 pll_set_divfb)。由于支持的反馈分频器比率为 23、27 和 28，VCO 频率可以为 $23 \times fin/2$ (312 MHz)， $27 \times fin/2$ (366 MHz) 和 $28 \times fin/2$ (380 MHz)。

VCO 频率除以一个由输出分配器 (pll_set_divout) 定义的因子。表 37“使用整数 N PLL 的选定频率的分隔值”显示各种频率 (1 MHz 的整数倍数和一些典型的 RS232 频率) 的精度和要使用的分频器比率。寄存器位 CkOutEn 在 CLKOUT 引脚处启用时钟。以下公式可用于计算 E 输出频率： $f_{在外面} = 13.56 \text{ MHz} \times PLLDiv_FB / PLLDiv_Out$

表 38. 使用整数 N PLL 的选定频率的分频器值

频率[MHz]	4	6	8	10	12	20	24	1.8432	3.6864
PLLDiv_FB	23	27	23	28	23	28	23	28	28
PLLDiv_Out	78	61	39	38	26	19	16	206	103
准确度[%]	0.04	0.03	0.04	0.08	0.04	0.08	0.04	0.01	0.01

8.8.3 低频振荡器 (LFO)

SLRC610 系列实现了低频振荡器 (LFO)。计时器 T4 可以配置为使用此低频点器生成的时钟作为输入时钟，也可以配置为唤醒计数器。作为唤醒计数器，计时器 T4 允许在规则中唤醒系统 r 时间间隔，允许设计一个读卡器，定期轮询卡存在或实现低功耗卡检测 (LPCD)。

在芯片生产过程中，LFO 被修剪为 16 kHz。除非应用程序需要 LFO 的高精度，并且设备在环境温度变化的环境中运行，否则不需要修剪 LFO。对于一个类型 L 应用程序利用低频点从省电模式唤醒，可以使用生产过程中设置的修剪值。

数字状态机支持可选的修剪，以实现 16 kHz LFO 时钟的更高精度，该数字状态机将 LFO 时钟与连接的 27.12Mhz 晶体生成的参考时钟进行比较。作为低频振动物修剪的参考时钟频率，一个 13。使用 56 MHz 时钟 (27.12Mhz 除以 2) 输入时钟到其中一个计时器 T0、T1、T2 或 T3。

其中一个计时器 T0, T1, T2, T3, T3 的输入时钟为 13,56 MHz 晶体时钟，用于计算低频的一个时钟周期。对于以 16KHz 运行的低频带时钟，这将导致计时器 Tx (T0, T1, T2, T3) 的 848 个唤醒计时器时钟。因此，计时器公司修剪周期结束时的 unt 值 Tx 预计为 176 (唤醒计时器正在倒计时: $1023-848=175$, 接受 +/- 1 公差)。修剪周期在 T4 计时器周期中执行一次。因此，T4 自动加载值应大于 0x05 to 确保在 T4 到期前进行一个修剪周期。在自动修剪周期开始时，Tx 计时器值被重新加载到 1023。这种情况每次都发生，一次是在 T4 计时器下流后。

在每个修剪周期结束时，检查计时器值：

- 计时器 Tx 值 < 174: 低频率太低，在 T4 计时器事件上，修剪值增加 1
- 计时器 Tx 值 > 176: 低频率太高，在 T4 计时器事件上，修剪值减少 1
- 计时器 Tx 值在 174 和 176 以内: LFO 频率 = 16 KHz, 修剪过程停止循环进行，直到自动修剪功能停止 (计时器 Tx 值在 174 和 176 以内)。

此外，可以通过从主机发送 IDLE 命令来取消当前命令执行来中止修剪周期。如果 T4AutoLPCD 并行设置，则不允许使用 T3。不需要配置带有下流的 TXStart 条件。T0/1/2/3 计时器通常不会下流。如果 LPO 时钟非常慢，可能会发生这种情况，但不需要采取行动来生成此事件。

8.9 电源管理

8.9.1 供应概念

SLRC610 由 V 提供_{女儿}（电源电压）、PVDD（电台电源）和 TVDD（发射器电源）。这三个电压是相互独立的。

将 SLRC610 连接到由 3.3 V、PVDD 和 V 提供的微控制器_{女儿}应在 3.3V 的水平，TVDD 可以在 3.3V 到 5.0V 的范围内。TVDD 的更高电源电压将导致更高的场强度。

与电压无关，建议用靠近包装端子的阻塞电容缓冲这些电源。V_{女儿} 建议用 100 nF min 的电容器阻挡 PVDD，建议用 2 个电容器阻挡 TVDD，100 nF 平行于 1.0μF

AVDD 和 DVDD 不是供应输入引脚。它们是输出引脚，应连接到每个 470 nF 的阻塞电容器。

8.9.2 功率降低模式

8.9.2.1 断电

在引脚 PDOWN 上启用高水平的硬断电。这关闭了模拟和数字核心电源以及振荡器的内部 1.8 V 电压调节器。所有数字输入缓冲区都与输入垫分离，并在内部夹紧（引脚 PDOWN 本身除外）。输出引脚切换到高阻抗。

HardPowerDown 正在重置 IC。所有寄存器将被重置，Fifo 将被清除。

要将断电模式设置为低，请将引脚 PDOWN 的电平设置为低。这将启动内部启动序列。

8.9.2.2 待机模式

在寄存器命令中设置位 PowerDown 后，立即进入待机模式。所有内部电流接收器都已关闭。电压参考和稳压器将设置为待机模式。

与断电模式相反，数字输入缓冲区不被输入垫分开，并保持其功能。数字输出引脚不会改变其状态。

在待机模式下，所有寄存器值、FIFO 的内容和配置本身都将保留其当前内容。

要离开待机模式，寄存器命令中的位 PowerDown 被清除。这将触发内部启动序列。当内部启动序列完成时，读卡器 IC 再次处于完全运行模式（典型持续时间为 15 us）。

必须使用 RS232 接口将 55h 的值发送到 SLRC610，以离开待机模式。这在 RS232 是必须的，但不能用于 I²C/SPI 接口。然后，应在地址 00h 执行读取访问，直到设备返回此地址的内容。地址 00h 内容的返回表示设备已准备好接收进一步的命令，并且内部启动顺序已经完成。

8.9.2.3 调制解调器关闭模式

当设置寄存器控制中的调制解调器关闭位时，天线发射器和接收器被关闭。

要关闭调制解调器模式，请清除寄存器控件中的 ModemOff 位。

8.9.3 低功耗卡检测（LPCD）

低功耗卡检测是一种节能模式，其中 SLRC610 不能永久完全供电。

LPCD 分两个阶段工作。首先，待机阶段由唤醒计数器（WUC）控制，该计数器定义了 SLRC610 的待机持续时间。第二阶段是检测阶段。在这个阶段，I 和 Q 通道的值被检测并存储在寄存器映射中。（LPCD_I_Result, LPCD_Q_Result）。这个时间段可以用 Timer3 处理。该值与寄存器中的最小/最大值（LPCD_IMin, LPCD_IMax; LPCD_QMin, LPCD_QMax）进行比较。如果它超过限制，LPCDIRQ 是 ra 是。

在命令 LPCD 后，如果被选中，SLRC610 的待机将被激活。唤醒计时器 4 可以在给定时间后激活系统。

对于 LPCD，建议设置 T4AutoWakeUp 和

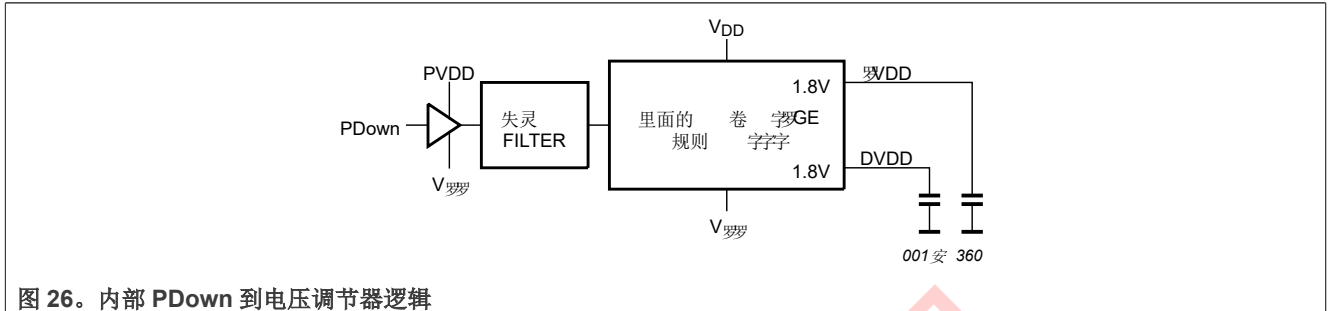
T4AutoRestart，启动计时器，然后进入待机状态。如果检测到卡，则可以启动通信。如果未设置 T4AutoWakeUp，如果没有检测到卡，IC 将不会进入待机模式。

深圳南天星

8.9.4 重置和启动时间

PDOWN 引脚处的 10 微秒恒定高电平启动内部重置过程。

下图显示了内部稳压器：



当 SLRC610 完成复位阶段并且振荡器进入稳定的工作状态时，IC 即可使用。重置释放后，IC 准备好接收命令之前的典型持续时间为 2.5 毫秒。

8.10 命令集

8.10.1 一般

行为由能够执行一组特定命令的状态机决定。通过向命令寄存器编写命令代码，命令就会被执行。

处理命令所需的参数和/或数据通过 FIFO 缓冲区交换。

- 每个需要一定数量参数的命令只有在通过 FIFO 缓冲区收到正确数量的参数时才会开始处理。
- FIFO 缓冲区不会在命令启动时自动清除。建议将命令参数和/或数据字节写入 FIFO 缓冲区，然后启动命令。
- 主机可以通过在命令寄存器中写入新的命令代码来停止每个命令，例如：空闲命令。

8.10.2 命令集概述

表 39。命令集

指挥权	不。	参数（字节）	简短描述
空闲的	00h	—	无操作，取消当前命令执行
LPCD	01 小时	—	低功耗卡检测
AckReq	04 小时	—	执行 ISO/IEC 18000-3 模式 3/EPC Class-1 HF 的查询、Ack 和 Req-Rn
收到	05h	—	激活接收电路
传播	06 小时	要发送的字节：字节 1，字节 2，...	从 FIFO 缓冲区传输数据
超越	07h	要发送的字节：字节 1，字节 2，...	从 FIFO 缓冲区传输数据，并在传输完成后自动激活接收器

写 E2	08 小时	地址 H, 地址 L, 数据;	从 FIFO 缓冲区获取一个字节, 并将其写入内部 EEPROM
------	-------	-----------------	----------------------------------

表 39. 命令集...继续

指挥权	不。	参数 (字节)	简短描述
WriteE2Page	09 小时	(页面地址), 数据 0, [数据 1 .. 数据 63];	从 FIFO 缓冲区获取多达 64 字节 (一个 EEPROM 页面), 并将其写入 EEPROM
阅读 E2	0Ah	地址 H, 地址 L, 长度;	从 EEPROM 读取数据并将其复制到 FIFO 缓冲区
LoadReg	0Ch	(EEPROM addressH), (EEPROM addressL), RegAdr, (要复制的寄存器数量);	从内部 EEPROM 读取数据并初始化 SLRC610 寄存器。EEPROM 地址需要在 EEPROM 第 2 区内
负载协议	0Dh	(协议编号 RX), (协议编号 TX);	从内部 EEPROM 读取数据, 并初始化协议更改所需的 SLRC610 寄存器
阅读 RNR	1Ch	—	将字节从随机数生成器复制到 FIFO, 直到 FiFo 已满
软重置	1Fh	—	重置 SLRC610

8.10.3 命令功能

8.10.3.1 空闲命令

命令 (00h):

此命令表示 SLRC610 处于空闲模式。此命令也用于终止实际命令。

8.10.3.2 LPCD 命令

命令 (01h):

此命令执行低功耗卡检测和/或自动修剪 LFO。从待机唤醒后, 将采样 I 和 Q 通道的值与寄存器中的最小/最大阈值进行比较。如果超过限制, 将提高 LPCD_IRQ。在 LPCD 命令后, 如果被选中, 待机将被激活。

8.10.3.3 AckReq 命令

命令 (04h):

执行查询 (完整命令必须写入 FIFO); Ack 和 ReqRn 命令。命令的所有答案都将写入 FIFO。错误标志在答案后复制到 FIFO 中。

此命令自动终止, 然后活动状态处于空闲状态。

8.10.3.4 接收命令

命令 (05h):

SLRC610 激活接收器路径, 并根据其寄存器设置等待接收任何数据流。在启动此命令之前, 必须根据使用的协议和天线配置设置寄存器。正确的设置在开始命令之前必须选择。

当接收到的数据流结束时，此命令会自动终止。这由帧模式的结尾或长度字节表示，具体取决于所选的帧和速度。

8.10.3.5 传输命令

命令 (06h)：要传输的数据

FIFO 的内容在启动命令后立即传输。在传输 FIFO 之前，必须设置所有相关寄存器以传输数据。

当 FIFO 为空时，此命令会自动终止。它可以通过写入命令寄存器的任何其他命令终止。

8.10.3.6 收发命令

命令 (07h)：要传输的数据

此命令从 FIFO 缓冲区传输数据，并在传输完成后自动激活接收器。

每个传输过程都从将命令写入 CommandReg 开始。

备注：如果寄存器 RxModeReg 中的位 RxMultiple 设置为逻辑 1，此命令将永远不会离开接收状态，因为接收不会自动取消。

8.10.3.7 WriteE2 命令

命令 (08h)，参数 1 (地址 H)，参数 2 (地址 L)，参数 3 (数据)；

此命令将一个字节写入 EEPROM。如果 FIFO 不包含数据，该命令将等待数据可用。

中止条件：地址参数超出允许范围 0x00 – 0x7F。

8.10.3.8 WriteE2PAGE 命令

命令 (09h)，参数 1 (页面地址)，参数 2..65 (数据 0，数据 1...数据 63)；

此命令将最多 64 字节写入 EEPROM。地址不允许在页面边框上包装。如果是这种情况，这些附加数据将被忽略并保留在 fifo 中。编程在从 FIFO 读取 64 字节或 FIFO 为空后开始。

中止条件：FIFO 中的参数不足；页面地址参数超出 0x00 – 0x7F 范围。

8.10.3.9 ReadE2 命令

命令 (0Ah)，参数 1 (地址 H)，参数 2 (地址 L)，参数 3 (长度)；

从 EEPROM 到 FIFO 读取多达 256 字节。如果读取操作超过地址 1FFFh，则读取操作从地址 0000h 继续。

中止条件：FIFO 中参数不足；地址参数超出范围。

8.10.3.10 LoadReg 命令

命令 (0Ch)，参数 1 (EEPROM 地址 H)，参数 2 (EEPROM addressL)，参数 3 (RegAdr)，参数 4 (数字)；

从 EEPROM 读取定义的字节数，并将值复制到寄存器集中，从给定的地址 RegAdr 开始。

中止条件：FIFO 中参数不足；地址参数超出范围。

8.10.3.11 LoadProtocol 命令

命令 (0Dh), 参数 1 (协议号 RX), 参数 2 (协议号 TX);

读出 EEPROM 寄存器集协议区域, 并覆盖 Rx 和 Tx 相关寄存器的内容。这些寄存器对于协议选择很重要。

中止条件: FIFO 中的参数不足

表 40. 预定义协议概述 RX^[1]

协议编号 (十进制)	互联网协议	接收器速度[kbits/s]	接收器编码
00	ISO/IEC15693	26	SSC
01	ISO/IEC15693	52	SSC
02	ISO/IEC15693	26	理学博士
03	EPC/UID	26	SSC
04	ISO/IEC 18000-3 模式 3/ EPC 1 类 HF	212	2/424
05	ISO/IEC 18000-3 模式 3/ EPC 1 类 HF	106	4/424
06	ISO/IEC 18000-3 模式 3/ EPC 1 类 HF	424	2/848
07	ISO/IEC 18000-3 模式 3/ EPC 1 类 HF	212	4/848

[1] 有关更多协议详细信息, 请参阅第 7 节“功能描述”。

表 41. 预定义协议概述 TX^[1]

协议编号 (十进制)	互联网协议	发射器速度 [Kbits/s]	发射器编码
00	ISO/IEC15693	26	1/4
01	ISO/IEC15693	26	1/4
02	ISO/IEC15693	1,66	1/256
03	EPC/UID	53	单位射线
04	ISO/IEC 18000-3 模式 3/ EPC 1 类 HF		基于 Tari 值, ASK, PIE
05	ISO/IEC 18000-3 模式 3/ EPC 1 类 HF		基于 Tari 值, ASK, PIE
06	ISO/IEC 18000-3 模式 3/ EPC 1 类 HF		基于 Tari 值, ASK, PIE

07	ISO/IEC 18000-3 模式 3/ EPC 1 类 HF		基于 Tari 值, ASK, PIE
----	-------------------------------------	--	---------------------

[1] 有关更多协议详细信息, 请参阅第 7 节“功能描述”。

8.10.3.12 GetRNR 命令

命令 (1Ch):

此命令正在从 SLRC610 的随机数生成器中读取随机数。随机数被复制到 FIFO, 直到 FIFO 已满。

8.10.3.13 SoftReset 命令

命令 (1Fh):

此命令正在执行软重置。通过此命令触发, 寄存器设置的所有默认值都将从 EEPROM 读取并复制到寄存器集中。

9 SLRC610 寄存器

9.1 注册位行为

根据寄存器的功能，寄存器的访问条件可能会有所不同。原则上，具有相同行为的位在公共寄存器中分组。下表描述了访问条件：5

罗马字母的第十三个字母

表 42. 寄存器位的行为及其指定

缩写	行为	描述
R/w	读和写	这些位可以通过主机接口进行写入和读取。由于它们仅用于控制目的，因此内容不受状态机的影响，但可以由内部状态机读取。
Dy	充满活力的	这些位可以通过主机接口进行写入和读取。它们也可以由内部状态机自动写入，例如，命令寄存器在命令执行后自动更改其值。
字母 R	只读	这些寄存器位表示仅由内部状态决定的保持值。
罗马字母的第 23 个字母	只写	读取这些寄存器位总是返回零。
RFU	—	这些位保留供将来使用，不得更改。在需要写入访问的情况下，建议读出此位，修改寄存器的其他位，并仅写回修改的位（读-修改-写）。

表 43. SLRC610 寄存器概述

住址	注册名称	函数
00h	指挥权	开始和停止命令执行
01 小时	主机 Ctrl	主机控制寄存器
02h	FIFOControl	FIFO 的控制寄存器
03h	水位	FIFO 下流和溢出警告的级别
04 小时	FIFO 长度	FIFO 的长度
05h	FIFO 数据	FIFO 缓冲区的数据进/出交换寄存器
06 小时	IRQ0	中断寄存器 0
07h	IRQ1	中断寄存器 1
08 小时	IRQ0En	中断启用寄存器 0
09 小时	IRQ1En	中断启用寄存器 1
0Ah	错误	显示上次命令执行的错误状态的错误位

0Bh	地位	包含通信状态
0Ch	RxBitCtrl	位向协议的防碰撞调整控制寄存器
0Dh	RxColl	碰撞位置寄存器
0 呃	T 控制	控制计时器 0..3
0Fh	T0 控制	控制计时器 0
10 小时	T0ReloadHi	Timer0 的重新加载值的高寄存器

深圳南天星

Table 43. SLRC610 registers overview...continued

住址	注册名称	函数
11 小时	T0ReloadLo	Timer0 的重载值的低寄存器
12 小时	T0CounterValHi	Timer0 的计数器值高寄存器
13 小时	T0CounterValLo	计时器 0 的计数器值低寄存器
14 小时	T1 控制	计时器 1 的控制
15 小时	T1ReloadHi	计时器 1 的重载值高寄存器
16 小时	T1ReloadLo	Timer1 的重新加载值的低寄存器
17 小时	T1CounterValHi	计时器 1 的逆值高寄存器
18 小时	T1CounterValLo	计时器 1 的计值低寄存器
19 小时	T2 控制	控制计时器 2
1Ah	T2Reload 嗨	计时器 2 的重新加载值的高字节
1Bh	T2ReloadLo	计时器 2 的重新加载值的低字节
1Ch	T2CounterValHi	计时器 2 的计数器值高字节
1Dh	T2CounterValLo	计时器 2 的计数器值低字节
1 噁	T3 控制	控制计时器 3
1Fh	T3Reload 嗨	Timer3 的重载值的高字节
20 小时	T3ReloadLo	Timer3 的重新加载值的低字节
21 小时	T3CounterValHi	计时器 3 的计数器值高字节
22 小时	T3CounterValLo	计时器 3 的计数器值低字节
23 小时	T4 控制	控制计时器 4
24 小时	T4ReloadHi	计时器 4 的重新加载值的高字节
25 小时	T4ReloadLo	计时器 4 的重新加载值的低字节
26 小时	T4CounterValHi	计时器 4 的计数器值高字节
27 小时	T4CounterValLo	计时器 4 的计数器值低字节
28 小时	DrvMode	驱动程序模式寄存器
29 小时	TxAmp	发射器放大器寄存器
2Ah	DrvCon	驱动程序配置寄存器
2Bh	Txl	发射器寄存器

Table 43. SLRC610 registers overview...continued

2 通道	TxCrc 预设	发射器 CRC 控制寄存器, 预设值
2Dh	RxCrc 预设	接收器 CRC 控制寄存器, 预设值
2 嗯	TxDataNum	发射器数据号寄存器
2Fh	TxMod 宽度	发射器调制宽度寄存器
30 小时	TxSym10BurstLen	发射器符号 1+符号 0 爆裂长度寄存器
31 小时	TXWaitCtrl	发射器等待控制
32 小时	TxWaitLo	发射器等待低
33 小时	FrameCon	发射器帧控制
34 小时	RxSofD	接收器启动帧检测

住址	注册名称	函数
35 小时	RxCtrl	接收器控制寄存器
36 小时	RxWait	接收器等待寄存器
37 小时	RxThreshold	接收器阈值寄存器
38 小时	Rcv	接收者寄存器
39 小时	RxAna	接收器模拟寄存器
3Ah	RFU	SLRC61002 未实现任何功能
	LPCD_选项	对于 SLRC61003: LPCD 配置选项
3Bh	串行速度	串行速度寄存器
3Ch	LFO_Trimm	低功率振荡器修剪寄存器
3Dh	PLL_Ctrl	IntegerN PLL 控制寄存器, 用于微控制器时钟输出调整
3 嗯	PLL_DivOut	IntegerN PLL 控制寄存器, 用于微控制器时钟输出调整
3Fh	LPCD_QMin	低功耗卡检测 Q 通道最小阈值
40 小时	LPCD_QMax	低功耗卡检测 Q 通道最大阈值
41 小时	LPCD_I_Min	低功耗卡检测 I 通道最小阈值
42 小时	LPCD_I_结果	低功耗卡检测 I 通道结果寄存器
43 小时	LPCD_Q_结果	低功耗卡检测 Q 通道结果寄存器
44 小时	PadEn	PIN 启用寄存器
45 小时	PadOut	PIN 出寄存器

Table 43. SLRC610 registers overview...continued

46 小时	PadIn	寄存器中的 PIN 码
47 小时	SigOut	启用和控制 SIGOUT 引脚
48 小时	TxBitMod	发射器位模式寄存器
49 小时	RFU	—
4Ah	TxDDataCon	发射器数据配置寄存器
4Bh	TxDDataMod	发射器数据调制寄存器
4Ch	TxSymFreq	发射器符号频率
4Dh	TxSym0H	发射器符号 0 高寄存器
4Eh	TxSym0L	发射器符号 0 低寄存器
4Fh	TxSym1H	发射器符号 1 高寄存器
50 小时	TxSym1L	发射器符号 1 低寄存器
51 小时	TxSym2	发射器符号 2 寄存器
52 小时	TxSym3	发射器符号 3 寄存器
53 小时	TxSym10Len	发射器符号 1+符号 0 长度寄存器
54 小时	TxSym32Len	发射器符号 3+符号 2 长度寄存器
55 小时	TxSym10BurstCtrl	发射器符号 1+符号 0 突发控制寄存器
56 小时	TxSym10Mod	发射器符号 1+符号 0 调制寄存器
57 小时	TxSym32Mod	发射器符号 3+符号 2 调制寄存器

9.2 命令配置

9.2.1 指挥权

启动和停止命令执行。

表 44. 命令寄存器（地址 00h）

比特	7	6	5	4	3	2	1	0
标志	备用物	调制解调器 关闭	RFU	字母 C 奥曼德				
途径 权利	Dy	R/w	—	Dy				

Table 43. SLRC610 registers overview...continued

住址	注册名称	函数
58 小时	RxBitMod	接收器位调制寄存器
59 小时	RxEofSym	帧符号寄存器的接收器端
5Ah	RxSyncValH	接收器同步值高寄存器
5Bh	RxSyncValL	接收器同步值低寄存器
5Ch	RxSyncMod	接收器同步模式寄存器
5Dh	RxMod	接收器调制寄存器
5Eh	RxCorr	接收器相关寄存器
5Fh	FabCal	接收器的校准寄存器，在生产时进行校准
48h-5Fh	RFU	—
7Fh	变种	版本和颠覆寄存器

比特	7	6	5	4	3	2	1	0
标志	RegEn	BusHost	BusSAM	RFU	SAMInterface	SAMInterface	RFU	RFU

Table 43. SLRC610 registers overview...continued

途径 权利	Dy	R/w	R/w	—	R/w	R/w	—	—
----------	----	-----	-----	---	-----	-----	---	---

表 45. 命令位

比特	标志	描述
7	备用物	设置为 1, IC 正在进入断电模式。
6	ModemOff	设置为逻辑 1, 接收器和发射器电路正在关机。
5	RFU	—
4 到 0	指挥权	定义 SLRC610 的实际命令。

9.3 SAM 配置寄存器

9.3.1 主机 Ctrl

通过 HostCtrl 注册, 可以控制接口访问权限

表 46. HostCtrl 寄存器 (地址 01h);

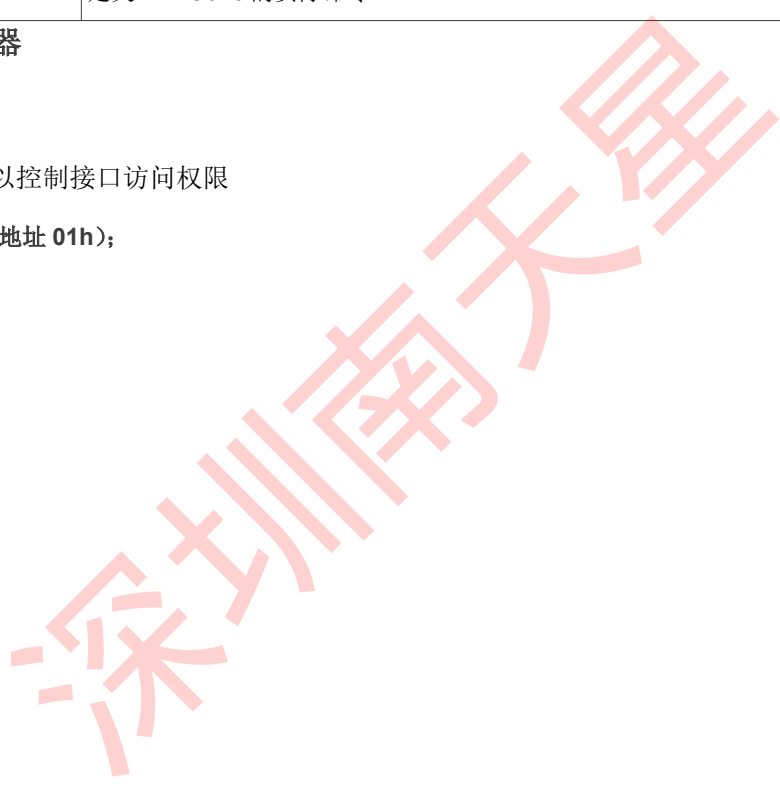


表 47. HostCtrl 位

比特	标志	描述
7	RegEn	如果此位设置为逻辑 1，则可以在下一次寄存器访问时更改寄存器 HostCtrl_reg。下一个写入访问会自动清除此位。
6	BusHost	设置为逻辑 1，总线由主机控制。此位不能与位 BusSAM 一起设置。只有当之前设置了位 RegEn 时，才能设置此位。
5	BusSAM	设置为逻辑 1，总线由 SAM 控制。此位不能与总线主机一起设置。只有当之前设置了位 RegEn 时，才能设置此位。
4	RFU	—
3 到 2	SAMInterface	0h: SAM 接口关闭 1h: SAM 接口 SPI 活动 2h: SAM 接口 I ² CL 活跃 3h: SAM 接口 I ² C 活跃
1 到 0	RFU	—

9.4 FIFO 配置寄存器

9.4.1 FIFOControl

FIFOControl 定义了 FIFO 的特征

表 48. FIFOControl 寄存器 (地址 02h);

比特	7	6	5	4	3	2	1	0
标志	FIFOS 大小	HiAlert	LoAlert	FIFOFlush	RFU	水 LevelExtBit	FIFOLengthExtBits	
途径权利	R/w	字母 R	字母 R	罗马字母的第 23 个字母	—	R/w	字母 R	

表 49. FIFOControl 位

比特	标志	描述
7	FIFOS 大小	设置为逻辑 1，FIFO 大小为 255 字节； 设置为逻辑 0，FIFO 大小为 512 字节。 建议仅在 FIFO 内容被清除后更改 FIFO 大小。
6	HiAlert	当存储在 FIFO 缓冲区中的字节数满足以下等式时，设置为逻辑 1： $HiAlert = (FIFOSize - FIFOLength) \leq \text{水位}$
5	LoAlert	当 FIFO 缓冲区中存储的字节数满足以下条件时，设置为逻辑 1： $LoAlert = 1 \text{ if } FIFOLength \leq \text{WaterLevel}$
4	FIFOFlush	设置为逻辑 1 清除 FIFO 缓冲区。阅读此位将始终返回 0

3	RFU	—
2	水位 ExtBit	定义水位（注册水位的扩展）的位 8（MSB）。此位仅在 512 字节的 FIFO 模式下进行评估。位 7..0 在寄存器水位中定义。

表 49. FIFOControl 位...继续

比特	标志	描述
1 到 0	FIFOLengthExtBits	定义 FIFO 长度（FIFOLength 的扩展）的 bit9（MSB）和 bit8。这两个位仅在 512 字节的 FIFO 模式下计算，位数 7..0 在寄存器 FIFOLength 中定义。

9.4.2 水位

定义 FIFO 不足和溢出警告级别的级别。此寄存器在 FIFOControl 中扩展 1 位，以防通过设置位 FIFOControl.FIFOSize 激活 512 字节 FIFO 模式。

表 50. 水位登记册（地址 03h）；

比特	7	6	5	4	3	2	1	0
标志	水位位							
途径权利	R/w	R/w	R/w	R/w	R/w	R/w	R/w	R/w

表 51. 水位位

比特	标志	描述
7 到 0	水位位	<p>设置一个级别来指示 FIFO 缓冲器状态，该状态可以从 FifoControl 中的 HighAlert 和 LowAlert 位读取。在 512 字节的 FIFO 模式下，寄存器在 FIFOControl 中通过位 WaterLevelExtBit 扩展。此功能可用于避免 FIFO b 溢出或溢出：</p> <p>如果 FIFO 缓冲器中的字节数等于或小于水位配置定义的数字，则 FIFO 控制中的 HiAlert 位是读取逻辑 1。</p> <p>如果 FIFO 缓冲区中的字节数等于或小于水位配置定义的数字，则 FIFO 控制中的 LoAlert 位是读取逻辑 1。</p> <p>注意：有关 HiAlert 和 LoAlert 的计算，请参阅这些位的寄存器描述（第 8.4.1 节“FIFOControl”）。</p>

9.4.3 FIFO 长度

FIFO 缓冲区中的字节数。在 512 字节模式下，此寄存器由 FIFOControl.FifoLength 扩展。

表 52. FIFOLength 寄存器（地址 04h）；重置值：00h

比特	7	6	5	4	3	2	1	0
标志	FIFO 长度							
比特	标志	描述						
7 到 0	FIFO 长度	指示 FIFO 缓冲区中的字节数。在 512 字节模式下，该寄存器由 FIFOControl 寄存器中的位 FIFOLength 扩展。写入 FIFOData 寄存器增量，读取会减少 FIFO 中的可用字节数。						

途径 权利	Dy
----------	----

表 53. FIFOLength 位



9.4.4 FIFO 数据

FIFO 缓冲区的进出和输出。与对其他地址的任何读/写访问相反，对 FIFO 地址的读取或写入不会增加地址指针。写入 FIFOData 寄存器增量，读取会减少 FIFO 中存在的字节数。

表 54. FIFO 数据寄存器 (地址 05h);

比特	7	6	5	4	3	2	1	0
标志	FIFO 数据							
途径权利	Dy	Dy	Dy	Dy	Dy	Dy	Dy	Dy

表 55. FIFO 数据位

比特	标志	描述
7 到 0	FIFO 数据	内部 FIFO 缓冲区的数据输入和输出端口。参考第 7.5 节“缓冲区”。

9.5 中断配置寄存器

寄存器 IRQ0 寄存器和 IRQ1 寄存器实现了一项特殊功能，以避免意外修改位。

更改寄存器内容的机制需要以下考虑：IRQ (x)。设置指示，如果位置 0 到 6 上的设置位应清除或设置。取决于 IRQ (x) 的内容。设置，将 1 写入位置 0 到 6，要么清除，要么设置相应的位。使用此寄存器，应用程序可以修改由 SLRC610 维护的中断状态。

位 7 表示，如果预期的修改是位的设置或间隙。任何写入位位置 6...0 的 1 都将触发位 7 定义的该位的设置或间隙。示例：写 FFh 设置所有位 6..0，写入 7Fh 清除所有位 6。中断请求寄存器的 0

9.5.1 IRQ0 寄存器

中断请求寄存器 0。

表 56. IRQ0 寄存器 (地址 06h); 重置值: 00h

比特	7	6	5	4	3	2	1	0
标志	一套	嗨 , AlertIRQ	Lo 警报 IRQ	IdleIRQ	TxIRQ	RxIRQ	ErrIRQ	RxSOF IRQ
途径权利	罗马字母的第 23 个字母	Dy	Dy	Dy	Dy	Dy	Dy	Dy

表 57. IRQ0 位

比特	标志	描述
7	一套	1: 写一个 1 到位置 6..0 设置中断请求 0: 写一个 1 到位置 6..0 清除中断请求
6	HiAlerIRQ	设置，当在注册表 Status1Reg 中设置位 HiAlert 时。与 HiAlert 相反，HiAlertIRQ 存储此事件。

表 57. IRQ0 位...继续

比特	标志	描述
----	----	----

5	LoAlertIRQ	设置，当设置寄存器 Status1 中的位 LoAlert 时。与 LoAlert 相反，LoAlertIRQ 存储此事件。
4	IdleIRQ	设置，当命令自行终止时，例如当命令将其值从任何命令更改为空闲命令时。如果启动未知命令，该命令会将其内容更改为空闲状态，并设置位 IdleIRQ。启动空闲命令控制器没有设置位 IdleIRQ。
3	TxIRQ	设置，当数据传输完成时，即在发送最后一个位后立即。
2	RxIRQ	设置，当接收器检测到数据流的结束时。 注意：此标志不表示收到的数据流正确。必须评估错误标志才能获得接收状态。
1	ErrIRQ	当设置以下错误之一时，设置： FifoWrErr, FiFoOvl, ProtErr, NoDataErr, IntegErr。
0	RxSOFIrq	设置，当检测到 SOF 或子载波时。

9.5.2 IRQ1 注册表

中断请求寄存器 1。

表 58. IRQ1 寄存器（地址 07h）

比特	7	6	5	4	3	2	1	0
标志	一套	全球 IRQ	LPCD_IRQ	计时器 4IRQ	计时器 3IRQ	计时器 2IRQ	计时器 1IRQ	计时器 0IRQ
途径权利	罗马字母的第 23 个字母	Dy	Dy	Dy	Dy	Dy	Dy	Dy

表 59. IRQ1 位

比特	标志	描述
7	一套	1: 写一个 1 到位置 5.0 设置中断请求 0: 写一个 1 到位置 5.0 会清除中断请求
6	全球 IRQ	设置，如果出现启用的 IRQ。
5	LPCD_IRQ	设置是否在低功耗卡检测序列中检测到卡。
4	计时器 4IRQ	当 Timer4 有下流时，设置为逻辑 1。
3	计时器 3IRQ	当 Timer3 有下流时，设置为逻辑 1。
2	计时器 2IRQ	当 Timer2 有下流时，设置为逻辑 1。
1	计时器 1IRQ	当 Timer1 有下流时，设置为逻辑 1。
0	计时器 0IRQ	当 Timer0 有下流时，设置为逻辑 1。

9.5.3 IRQ0En 寄存器

中断请求启用 IRQ0 的注册。此寄存器允许定义是否由 SLRC610 处理中断请求。

表 60. IRQ0En 寄存器（地址 08h）

比特	7	6	5	4	3	2	1	0
标志	IRQ_Inv	嗨, AlertIRQEn	LoAlertIRQEn	IdleIRQEn	TxIRQEn	RxIRQEn	ErrIRQEn	Rx SOFIRQEn
途径权利	R/w	R/w	R/w	R/w	R/w	R/w	R/w	R/w

表 61. IRQ0En 位

比特	标志	描述
7	IRQ_Inv	设置为 1, IRQ 引脚的信号是倒置的
6	嗨, AlerIRQEn	设置为逻辑 1, 它允许高警报中断请求 (由位 HiAlertIRQ 表示) 传播到 GlobalIRQ
5	Lo AlertIRQEn	设置为逻辑 1, 它允许低警报中断请求 (由位 LoAlertIRQ 表示) 传播到 GlobalIRQ
4	IdleIRQEn	设置为逻辑 1, 它允许空闲中断请求 (由位 IdleIRQ 表示) 传播到 GlobalIRQ
3	TxIRQEn	设置为逻辑 1, 它允许发射器中断请求 (由位 TxtIRQ 表示) 传播到 GlobalIRQ
2	RxIRQEn	设置为逻辑 1, 它允许接收器中断请求 (由位 RxIRQ 表示) 传播到 GlobalIRQ
1	ErrIRQEn	设置为逻辑 1, 它允许错误中断请求 (由位 ErrorIRQ 表示) 传播到 GlobalIRQ
0	RxSOFIRQEn	设置为逻辑 1, 它允许 RxSOF 中断请求 (由位 RxSOFIRQ 表示) 传播到 GlobalIRQ

9.5.4 IRQ1En

中断请求启用 IRQ1 的注册。

表 62. IRQ1EN 登记册 (地址 09h);

比特	7	6	5	4	3	2	1	0
标志	IRQPushPull	IRQPinEn	LPCD_IRQEn	计时器 4 IRQEn	定时器 3 IRQEn	计时器 2 IRQEn	计时器 1 IRQEn	计时器 0 IRQEn
途径权利	R/w	R/w	R/w	R/w	R/w	R/w	R/w	R/w

表 63. IRQ1EN 位

比特	标志	描述
7	IRQPushPull	设置为 1, IRQ 引脚充当 PushPull 引脚, 否则它充当 OpenDrain 引脚
6	IRQPinEN	设置为逻辑 1, 它允许全局中断请求 (由位 GlobalIRQ 表示) 传播到中断引脚
5	LPCD_IRQEN	设置为逻辑 1, 它允许 LPCD 中断请求 (由位 LPCDIRQ 表示) 传播到 GlobalIRQ

表 63. IRQ1EN 位...继续

比特	标志	描述
4	计时器 4IRQEn	设置为逻辑 1，它允许 Timer4 中断请求（由位 Timer4IRQ 表示）传播到 GlobalIRQ
3	计时器 3IRQEn	设置为逻辑 1，它允许 Timer3 中断请求（由位 Timer3IRQ 表示）传播到 GlobalIRQ
2	计时器 2IRQEn	设置为逻辑 1，它允许 Timer2 中断请求（由位 Timer2IRQ 表示）传播到 GlobalIRQ
1	计时器 1IRQEn	设置为逻辑 1，它允许 Timer1 中断请求（由位 Timer1IRQ 表示）传播到 GlobalIRQ
0	计时器 0IRQEn	设置为逻辑 1，它允许 Timer0 中断请求（由位 Timer0IRQ 表示）传播到 GlobalIRQ

9.6 非接触式接口配置寄存器

9.6.1 错误

错误注册。

表 64. 错误寄存器（地址 0Ah）

比特	7	6	5	4	3	2	1	0
标志	EE_Err	FiFoWrErr	FIFOovl	MinFrameErr	NoDataErr	CollDet	ProtErr	IntegErr
途径权利	Dy	Dy	Dy	Dy	Dy	Dy	Dy	Dy

表 65. 错误位

比特	标志	描述
7	EE_Err	在上一个 EEPROM 命令期间出现了一个错误。有关详细信息，请参阅 EEPROM 命令的描述
6	FIFOWrErr	数据被写入 FIFO，在传输可能的 CRC 期间，在“RxWait”、“等待数据”或“接收”状态期间，或在身份验证命令期间。当启动新的 CL 命令时，标志被清除。如果 RxMultiple 处于活动状态，则标志是错误标志写入 FIFO 后清除。
5	FIFOovl	当数据已满时，数据会写入 FIFO。已经在 FIFO 中的数据将保持不变。在此标志设置为 1 后写入 FIFO 的所有数据都将被忽略。
4	分钟 FrameErr	收到了有效的 SOF，但随后收到了不到 4 位的数据。 注意：数据少于 4 位的帧会自动丢弃，RxDecoder 保持启用状态。此外，没有设置 RxIRQ。如果激活了 EMD 抑制，则同样适用于小于 3 字节 注意：MinFrameErr 在接收或传输命令开始时自动清除。在传输命令的情况下，它在接收阶段开始时被清除（“等待数据”状态）
3	NoDataErr	数据应该发送，但 FIFO 中没有数据

2	CollDet	<p>发生了碰撞。第一次碰撞的位置显示在寄存器 RxColl 中。</p> <p>注意: CollDet 在接收或传输命令开始时自动清除。对于传输命令,它在接收阶段开始时被清除 (“等待数据”状态)。</p> <p>注意: 如果碰撞是定义的 EOF 符号的一部分,则 CollDet 不会设置为 1。</p>
---	---------	--

表 65. 错误位...继续

比特	标志	描述
1	ProtErr	<p>发生协议错误。协议错误可能是错误的停止位或 SOF 或错误的接收数据字节数。当检测到协议错误时,数据接收将停止。</p> <p>注意: ProtErr 在接收或接收命令开始时自动清除。对于传输命令,它在接收阶段开始时被清除 (“等待数据”状态)。</p> <p>注意: 当发生协议错误时,最后收到的数据字节不会写入 FIFO。</p>
0	IntegErr	<p>检测到数据完整性错误。可能的原因可能是错误的平价或错误的 CRC。如果出现数据完整性错误,则继续接收。</p> <p>注意: IntegErr 在接收或传输命令开始时自动清除。如果是收发命令,则在接收阶段 (“等待数据”状态)开始时被清除。</p> <p>注意: 如果设置了 NoColl 位,那么碰撞也设置了 IntegErr。</p>

9.6.2 状态

状态寄存器。

表 66. 状态注册 (地址 0Bh)

比特	7	6	5	4	3	2	1	0
标志	—	—	—	—	—	ComState		
途径权利	RFU	RFU	RFU	RFU	RFU	字母 R		

表 67. 状态位

比特	标志	描述
7 到 3	—	RFU
2 到 0	ComState	ComState 显示发射器和接收器状态机的状态:
		000b ...空闲的
		001b ...TxWait
		011b...传输
		101b...RxWait
		110b ...等待数据
		111b...收货的
		100b ...未使用

9.6.3 RxBitCtrl

接收器控制寄存器。

表 68. RxBitCtrl 寄存器 (地址 0Ch);

比特	7	6	5	4	3	2	1	0
标志	ValuesAfterColl	RxAlign			NoColl	RxLastBits		
途径权利	R/w	R/w	R/w	R/w	R/w	罗马字母的第 23 个字母	罗马字母的第 23 个字母	罗马字母的第 23 个字母

表 69. RxBitCtrl 位

比特	标志	描述
7	价值在 Coll 之后	如果清除, 碰撞后收到的每个位都会被零替换。ISO/IEC14443 反碰撞需要此功能
6 到 4	RxAlign	用于接收位向帧: RxAlign 定义了要存储的第一个接收的位的位位置长度。进一步接收的位存储在以下位位置。 示例: RxAlign = 0h - 接收位的 LSB 存储在 0 位, 第二个接收位存储在位 1。 RxAlign = 1h - 接收位的 LSB 存储在位 1, 第二个接收位存储在位 2。 RxAlign = 7h - 接收位的 LSB 存储在位 7, 第二个接收位存储在位置 0 的以下字节中。 注意: 如果 RxAlign = 0, 则接收数据面向字节, 否则面向位。
3	NoColl	如果设置了此位, 碰撞将导致 IntegErr
2 到 0	RxLastBits	定义在面向位的通信中接收的最后一个数据字节的有效位数。如果为零, 则整个字节有效。 注意: 这些位由 RxDecoder 在通信结束时在面向位的通信中设置。它们在接待开始时被重置。

9.6.4 RxColl

接收器碰撞寄存器。

表 70. RxColl 寄存器 (地址 0Dh);

比特	7	6	5	4	3	2	1	0
标志	CollPosValid	CollPos						
途径权利	字母 R	字母 R						

表 71. RxColl 位

比特	标志	描述
7	CollPos 有效的	如果设置为 1, CollPos 的值是有效的。否则, 没有检测到碰撞, 或者碰撞的位置不在 CollPos 位范围内。

6 到 0	CollPos	<p>这些位显示接收帧中第一个检测到的碰撞的位位置（仅解释数据位）。CollPos 只能显示数据流的前 8 个字节。</p> <p>示例： 00h 表示第 1 位的位碰撞 01h 表示第 2 位的位碰撞 08h 表示第 9 位中的位碰撞（第 2 字节的第 1 位） 3Fh 表示第 64 位（第 8 位的第 8 位）中的位碰撞</p> <p>如果设置了位 CollPos Valid，这些位只能在 ISO/IEC 15693/ICODE SLI 读/写模式下解释。</p> <p>注意：如果 RxBitCtrl.RxAlign 设置为与 0 不同的值，则该值包含在 CollPos 中。</p> <p>示例：RxAlign = 4h，在第 4 个接收位（这是该 UID 字节的最后一个位）中发生碰撞。在这种情况下，CollPos = 7h。</p>
-------	---------	--

9.7 计时器配置寄存器

9.7.1 T 控制

计时器部分的控制寄存器。

TControl 实现了一项特殊功能，以避免对位进行无意的修改。

位 3..0 表示，位置 7.4 中的哪些位打算被修改。

示例：写入 FFh 设置所有位 7..4，写入 F0h 不会改变任何位 7..4

表 72. TControl 寄存器（地址 0Eh）

比特	7	6	5	4	3	2	1	0
标志	T3 跑步	T2 运行	T1 运行	T0 跑步	T3Start 停止现在	T2Start 停止现在	T1Start 停止现在	T0Start 停止现在
途径权利	Dy	Dy	Dy	Dy	罗马字母的第 23 个字母	罗马字母的第 23 个字母	罗马字母的第 23 个字母	罗马字母的第 23 个字母

表 73. TControl 位

比特	标志	描述
7	T3 跑步	指示计时器 3 正在运行。如果位 T3startStopNow 已设置/重置，则此位和计时器可以启动/停止
6	T2 运行	表示计时器 2 正在运行。如果位 T2startStopNow 已设置/重置，则此位和计时器可以启动/停止
5	T1 运行	表示 tTmer1 正在运行。如果位 T1startStopNow 已设置/重置，则此位和计时器可以启动/停止
4	T0 跑步	表示 Timer0 正在运行。如果位 T0startStopNow 已设置/重置，则此位和计时器可以启动/停止
3	T3StartStop 现在	如果设置，TControl T3Running 的位 7 可以修改
2	T2StartStop 现在	如果设置，可以修改 TControl T2Running 的位 6

1	T1StartStop 现在	如果设置，TControl T1Running 的位 5 可以修改
0	T0StartStop 现在	如果设置，可以修改 TControl T0Running 的位 4

9.7.2 T0 控制

Timer0 的控制寄存器。

表 74. T0Control 寄存器 (地址 0Fh);

比特	7	6	5	4	3	2	1	0
标志	T0StopRx	—	T0Start		T0 自动重启	—	字母 T Clk	
途径 权利	R/w	RFU	R/w		R/w	RFU	字母 R/W	

表 75. T0 控制位

比特	标志	描述
7	T0StopRx	如果设置，计时器在收到前 4 位后立即停止。如果清除，计时器不会自动停止。 注意：如果 T0Start 选择了 LFO 修剪，则此位无效。
6	—	RFU
5 到 4	T0Start	00b: 计时器没有自动启动 01 b: 计时器在传输结束时自动启动 10 b: 计时器用于无下流的低频点光机修剪 (在 PosEdge 上启动/停止) 11 b: 计时器用于带下流的低频点光机修剪 (在 PosEdge 上启动/停止)
3	T0 自动重启	1: 在计数器值达到值零后，计时器会自动从 T0ReloadValue 重新启动倒计时。 0: 计时器减少到零并停止。 当计时器下流时，位 Timer1IRQ 设置为逻辑 1。
2	—	RFU
1 到 0	T0Clk	00 B: 计时器输入时钟为 13.56 MHz。 01 B: 计时器输入时钟为 211,875 千赫。 10 B: 计时器输入时钟是计时器 2 的下流。 11 B: 计时器输入时钟是计时器 1 的下流。

9.7.2.1 T0ReloadHi

Timer0 的高字节重载值。

表 76. T0ReloadHi 寄存器 (地址 10h);

比特	7	6	5	4	3	2	1	0
标志	T0ReloadHi							

途径 权利	R/w
----------	-----

表 77. T0ReloadHi 位

比特	标志	描述
7 到 0	T0ReloadHi	定义计时器重新加载值的高字节。随着开始事件，计时器加载寄存器 T0ReloadValHi, T0ReloadValLo 的值。更改此寄存器仅在下一个开始事件时影响计时器。

9.7.2.2 T0ReloadLo

Timer0 的低字节重载值。

表 78. T0ReloadLo 寄存器 (地址 11h);

比特	7	6	5	4	3	2	1	0
标志	T0ReloadLo							
途径 权利	R/w							

表 79. T0ReloadLo 位

比特	标志	描述
7 到 0	T0ReloadLo	定义计时器重新加载值的低字节。随着开始事件，计时器加载 T0ReloadValHi, T0ReloadValLo 的值。更改此寄存器仅在下一个开始事件时影响计时器。

9.7.2.3 T0CounterValHi

Timer0 的计数器值的高字节。

表 80. T0CounterValHi 寄存器 (地址 12 小时)

比特	7	6	5	4	3	2	1	0
标志	T0CounterValHi							
途径 权利	Dy							

表 81. T0CounterValHi 位

比特	标志	描述
7 到 0	T0 计数器 瓦尔希	Timer0 的高字节值。 此值不得在接收期间读出。

9.7.2.4 T0CounterValLo

Timer0 的计数器值的低字节。

表 82. T0CounterValLo 寄存器 (地址 13h)

比特	7	6	5	4	3	2	1	0
标志	T0CounterValLo							

途径 权利	Dy
----------	----

表 83. T0CounterValLo 位

比特	标志	描述
7 到 0	T0CounterValLo	Timer0 的低字节值。 此值不得在接收期间读出。

9.7.2.5 T1 控制

计时器 1 的控制寄存器。

表 84. T1Control 寄存器 (地址 14h);

比特	7	6	5	4	3	2	1	0
标志	T1StopRx	—	T1St 艺术品		T1 自动重启	—	字母 T Clk	
途径 权利	R/w	RFU	R/w		R/w	RFU	字母 R/W	

表 85. T1 控制位

比特	标志	描述
7	T1StopRx	如果设置, 计时器在收到前 4 位后停止。如果清除, 计时器不会自动停止。 注意: 如果 T1start 选择 LFO 修剪, 此位无效。
6	—	RFU
5 到 4	T1Start	00b: 计时器没有自动启动 01 b: 计时器在传输结束时自动启动 10 b: 计时器用于无下流的低频点光机修剪 (在 PosEdge 上启动/停止) 11 b: 计时器用于带下流的低频点光机修剪 (在 PosEdge 上启动/停止)
3	T1 自动重启	设置为逻辑 1, 在计数器值达到值零后, 计时器会自动从 T1ReloadValue 重新启动倒计时。 设置为逻辑 0, 计时器递减为零并停止。 当计时器下流时, 位 Timer1IRQ 设置为逻辑 1。
2	—	RFU
1 到 0	T1Clk	00 B: 计时器输入时钟为 13.56 MHz 01 B: 计时器输入时钟为 211,875 千赫。 10 B: 计时器输入时钟是计时器 0 的下流 11 B: 计时器输入时钟是计时器 2 的下流

9.7.2.6 T1ReloadHi

计时器 1 的高字节 (MSB) 重载值。

表 86. T0ReloadHi 寄存器 (地址 15h)

比特	7	6	5	4	3	2	1	0
----	---	---	---	---	---	---	---	---

标志	T1ReloadHi
途径 权利	R/w

表 87. T1ReloadHi 位

比特	标志	描述
7 到 0	T1ReloadHi	定义计时器 1 的高字节重新加载值。随着启动事件，计时器加载 T1ReloadValHi 和 T1ReloadValLo 的值。更改此寄存器仅在下一个启动事件时影响计时器。

9.7.2.7 T1ReloadLo

Timer1 的低字节 (LSB) 重新加载值。

表 88. T1ReloadLo 寄存器 (地址 16h)

比特	7	6	5	4	3	2	1	0
标志	T1ReloadLo							
途径 权利	R/w							

表 89. T1ReloadValLo 位

比特	标志	描述
7 到 0	T1ReloadLo	定义计时器 1 的重新加载值的低字节。更改此寄存器仅在下一个开始事件时影响计时器。

9.7.2.8 T1CounterValHi

字节计时器 1 的计数器值的高字节 (MSB)。

表 90. T1CounterValHi 寄存器 (地址 17h)

比特	7	6	5	4	3	2	1	0
标志	T1CounterValHi							
途径 权利	Dy							

表 91. T1CounterValHi 位

比特	标志	描述
7 到 0	T1 计数器 瓦尔希	计时器 1 当前值的高字节。 此值不得在接收期间读出。

9.7.2.9 T1CounterValLo

字节计时器 1 的计数器值的低字节 (LSB)。

表 92. T1CounterValLo 寄存器 (地址 18 小时)

比特	7	6	5	4	3	2	1	0
----	---	---	---	---	---	---	---	---

标志	T1CounterValLo
途径 权利	Dy

表 93. T1CounterValLo 位

比特	标志	描述
7 到 0	T1 计数器 瓦尔洛	计数器 1 的当前值的低字节。 此值不得在接收期间读出。

9.7.2.10 T2 控制

计时器 2 的控制寄存器。

表 94. T2Control 寄存器 (地址 19h)

比特	7	6	5	4	3	2	1	0
标志	T2StopRx	—	T2St 艺术品		T2 自动重启	—	字母 T !Clk	
途径 权利	R/w	RFU	R/w		R/w	RFU	字母 R/W	

Table 95. T2Control bits

Bit	Symbol	Description
7	T2StopRx	If set the timer stops immediately after receiving the first 4 bits. If cleared indicates, that the timer is not stopped automatically. Note: If LFO Trimming is selected by T2Start, this bit has no effect.
6	-	RFU
5 to 4	T2Start	00 b: The timer is not started automatically. 01 b: The timer starts automatically at the end of the transmission. 10 b: Timer is used for LFO trimming without underflow (Start/Stop on PosEdge). 11 b: Timer is used for LFO trimming with underflow (Start/Stop on PosEdge).
3	T2AutoRestart	Set to logic 1, the timer automatically restarts its countdown from T2ReloadValue, after the counter value has reached the value zero. Set to logic 0 the timer decrements to zero and stops. The bit Timer2IRQ is set to logic 1 when the timer underflows
2	-	RFU
1 to 0	T2Clk	00 b: The timer input clock is 13.56 MHz. 01 b: The timer input clock is 212 kHz. 10 b: The timer input clock is an underflow of Timer0 11b: The timer input clock is an underflow of Timer1

9.7.2.11 T2ReloadHi

High byte of the reload value of Timer2.

Table 96. T2ReloadHi register (address 1Ah)

Bit	7	6	5	4	3	2	1	0
Symbol	T2ReloadHi							
Access rights	r/w							

Table 97. T2Reload bits

Bit	Symbol	Description
7 to 0	T2ReloadHi	Defines the high byte of the reload value of the Timer2. With the start event the timer load the value of the T2ReloadValHi and T2ReloadValLo. Changing this register affects the timer only at the next start event.

9.7.2.12 T2ReloadLo

Low byte of the reload value of Timer2.

Table 98. T2ReloadLo register (address 1Bh)

Bit	7	6	5	4	3	2	1	0
Symbol	T2ReloadLo							
Access rights	r/w							

Table 99. T2ReloadLo bits

Bit	Symbol	Description
7 to 0	T2ReloadLo	Defines the low byte of the reload value of the Timer2. With the start event the timer load the value of the T2ReloadValHi and T2RelaodVaLo. Changing this register affects the timer only at the next start event.

9.7.2.13 T2CounterValHi

High byte of the counter register of Timer2.

Table 100. T2CounterValHi register (address 1Ch)

Bit	7	6	5	4	3	2	1	0
Symbol	T2CounterValHi							
Access rights	dy							

Table 101. T2CounterValHi bits

Bit	Symbol	Description
7 to 0	T2CounterValHi	High byte current counter value of Timer2. This value shall not be read out during reception.

9.7.2.14 T2CounterValLoReg

Low byte of the current value of Timer 2.

Table 102. T2CounterValLo register (address 1Dh)

Bit	7	6	5	4	3	2	1	0
Symbol	T2CounterValLo							
Access rights	dy							

Table 103. T2CounterValLo bits

Bit	Symbol	Description
7 to 0	T2CounterValLo	Low byte of the current counter value of Timer1Timer2. This value shall not be read out during reception.

9.7.2.15 T3Control

Control register of the Timer 3.

Table 104. T3Control register (address 1Eh)

Bit	7	6	5	4	3	2	1	0
Symbol	T3StopRx	-	T3Start		T3AutoRestart	-	T3Clk	
Access rights	r/w	RFU	r/w		r/w	RFU	r/w	

Table 105. T3Control bits

Bit	Symbol	Description
7	T3StopRx	If set, the timer stops immediately after receiving the first 4 bits. If cleared, indicates that the timer is not stopped automatically. Note: If LFO Trimming is selected by T3Start, this bit has no effect.
6	-	RFU
5 to 4	T3Start	00b - timer is not started automatically 01 b - timer starts automatically at the end of the transmission 10 b - timer is used for LFO trimming without underflow (Start/Stop on PosEdge) 11 b - timer is used for LFO trimming with underflow (Start/Stop on PosEdge).
3	T3AutoRestart	Set to logic 1, the timer automatically restarts its countdown from T3ReloadValue, after the counter value has reached the value zero. Set to logic 0 the timer decrements to zero and stops. The bit Timer1IRQ is set to logic 1 when the timer underflows.
2	-	RFU
1 to 0	T3Clk	00 b - the timer input clock is 13.56 MHz. 01 b - the timer input clock is 211,875 kHz. 10 b - the timer input clock is an underflow of Timer0 11 b - the timer input clock is an underflow of Timer1

9.7.2.16 T3ReloadHi

High byte of the reload value of Timer3.

Table 106. T3ReloadHi register (address 1Fh);

Bit	7	6	5	4	3	2	1	0
Symbol	T3ReloadHi							
Access rights	r/w							

Table 107. T3ReloadHi bits

Bit	Symbol	Description
7 to 0	T3ReloadHi	Defines the high byte of the reload value of the Timer3. With the start event the timer load the value of the T3ReloadValHi and T3ReloadValLo. Changing this register affects the timer only at the next start event.

9.7.2.17 T3ReloadLo

Low byte of the reload value of Timer3.

Table 108. T3ReloadLo register (address 20h)

Bit	7	6	5	4	3	2	1	0
Symbol	T3ReloadLo							
Access rights	r/w							

Table 109. T3ReloadLo bits

Bit	Symbol	Description
7 to 0	T3ReloadLo	Defines the low byte of the reload value of Timer3. With the start event the timer load the value of the T3ReloadValHi and T3RelaodValLo. Changing this register affects the timer only at the next start event.

9.7.2.18 T3CounterValHi

High byte of the current counter value the 16-bit Timer3.

Table 110. T3CounterValHi register (address 21h)

Bit	7	6	5	4	3	2	1	0
Symbol	T3CounterValHi							
Access rights	dy							

Table 111. T3CounterValHi bits

Bit	Symbol	Description
7 to 0	T3CounterValHi	High byte of the current counter value of Timer3. This value shall not be read out during reception.

9.7.2.19 T3CounterValLo

Low byte of the current counter value the 16-bit Timer3.

Table 112. T3CounterValLo register (address 22h)

Bit	7	6	5	4	3	2	1	0
Symbol	T3CounterValLo							
Access rights	dy							

Table 113. T3CounterValLo bits

Bit	Symbol	Description
7 to 0	T3CounterValLo	Low byte current counter value of Timer3. This value shall not be read out during reception.

9.7.2.20 T4Control

The wake-up timer T4 activates the system after a given time. If enabled, it can start the low power card detection function.

Table 114. T4Control register (address 23h)

Bit	7	6	5	4	3	2	1	0
Symbol	T4Running	T4StartStopNow	T4AutoTrimm	T4AutoLPCD	T4AutoRestart	T4AutoWakeUp	T4Clk	

Table 114. T4Control register (address 23h)...continued

Bit	7	6	5	4	3	2	1	0
Access rights	dy	w	r/w	r/w	r/w	r/w	r/w	

Table 115. T4Control bits

Bit	Symbol	Description
7	T4Running	Shows if the timer T4 is running. If the bit T4StartStopNow is set, this bit and the timer T4 can be started/stopped.
6	T4StartStopNow	if set, the bit T4Running can be changed.
5	T4AutoTrimm	If set to one, the timer activates an LFO trimming procedure when it underflows. For the T4AutoTrimm function, at least one timer (T0 to T3) has to be configured properly for trimming (T3 is not allowed if T4AutoLPCD is set in parallel).
4	T4AutoLPCD	If set to one, the timer activates a low-power card detection sequence. If a card is detected an interrupt request is raised and the system remains active if enabled. If no card is detected the SLRC610 enters the Power down mode if enabled. The timer is automatically restarted (no gap). Timer 3 is used to specify the time where the RF field is enabled to check if a card is present. Therefore you may not use Timer 3 for T4AutoTrimm in parallel.
3	T4AutoRestart	Set to logic 1, the timer automatically restarts its countdown from T4ReloadValue, after the counter value has reached the value zero. Set to logic 0 the timer decrements to zero and stops. The bit Timer4IRQ is set to logic 1 at timer underflow.
2	T4AutoWakeUp	If set, the SLRC610 wakes up automatically, when the timer T4 has an underflow. This bit has to be set if the IC should enter the Power down mode after T4AutoTrimm and/or T4AutoLPCD is finished and no card has been detected. If the IC should stay active after one of these procedures this bit has to be set to 0.
1 to 0	T4Clk	00b - the timer input clock is the LFO clock 01b - the timer input clock is the LFO clock/8 10b - the timer input clock is the LFO clock/16 11b - the timer input clock is the LFO clock/32

9.7.2.21 T4ReloadHi

High byte of the reload value of the 16-bit timer 4.

Table 116. T4ReloadHi register (address 24h)

Bit	7	6	5	4	3	2	1	0
Symbol	T4ReloadHi							
Access rights	r/w							

Table 117. T4ReloadHi bits

Bit	Symbol	Description
7 to 0	T4ReloadHi	Defines high byte of the for the reload value of timer 4. With the start event the timer 4 loads the T4ReloadVal. Changing this register affects the timer only at the next start event.

9.7.2.22 T4ReloadLo

Low byte of the reload value of the 16-bit timer 4.

Table 118. T4ReloadLo register (address 25h)

Bit	7	6	5	4	3	2	1	0
Symbol	T4ReloadLo							
Access rights	r/w							

Table 119. T4ReloadLo bits

Bit	Symbol	Description
7 to 0	T4ReloadLo	Defines the low byte of the reload value of the timer 4. With the start event the timer loads the value of the T4ReloadVal. Changing this register affects the timer only at the next start event.

9.7.2.23 T4CounterValHi

High byte of the counter value of the 16-bit timer 4.

Table 120. T4CounterValHi register (address 26h)

Bit	7	6	5	4	3	2	1	0
Symbol	T4CounterValHi							
Access rights	dy							

Table 121. T4CounterValHi bits

Bit	Symbol	Description
7 to 0	T4CounterValHi	High byte of the current counter value of timer 4.

9.7.2.24 T4CounterValLo

Low byte of the counter value of the 16-bit timer 4.

Table 122. T4CounterValLo register (address 27h)

Bit	7	6	5	4	3	2	1	0
Symbol	T4CounterValLo							
Access rights	dy							

Table 123. T4CounterValLo bits

Bit	Symbol	Description
7 to 0	T4CounterValLo	Low byte of the current counter value of the timer 4.

9.8 Transmitter driver configuration registers

9.8.1 DrvMode

Table 124. DrvMode register (address 28h)

Bit	7	6	5	4	3	2	1	0
Symbol	Tx2Inv	Tx1Inv	-	-	TxEn	TxClk Mode		
Access rights	r/w	r/w	RFU	RFU	r/w	r/w		

Table 125. DrvMode bits

Bit	Symbol	Description
7	Tx2Inv	Inverts transmitter 2 at TX2 pin
6	Tx1Inv	Inverts transmitter 1 at TX1 pin
5		RFU
4	-	RFU
3	TxEn	If set to 1 both transmitter pins are enabled
2 to 0	TxClkMode	Transmitter clock settings (see 8.6.2. Table 27). Codes 011b and 0b100 are not supported. This register defines, if the output is operated in open drain, push-pull, at high impedance or pulled to a fix high or low level.

9.8.2 TxAmp

With the `set_cw_amplitude` register output power can be traded off against power supply rejection. Spending more headroom leads to better power supply rejection ration and better accuracy of the modulation degree.

With `CwMax` set, the voltage of TX1 will be pulled to the maximum possible. This register overrides the settings made by `set_cw_amplitude`.

Table 126. TxAmp register (address 29h)

Bit	7	6	5	4	3	2	1	0
Symbol	set_cw_amplitude		-	set_residual_carrier				
Access rights	r/w		RFU	r/w				

Table 127. TxAmp bits

Bit	Symbol	Description
7 to 6	set_cw_amplitude	Allows to reduce the output amplitude of the transmitter by a fix value. Four different preset values that are subtracted from TVDD can be selected: 0: TVDD -100 mV

Table 127. TxAmp bits...continued

Bit	Symbol	Description
		1: TVDD -250 mV 2: TVDD -500 mV 3: TVDD -1000 mV
5	RFU	-
4 to 0	set_residual_carrier	Set the residual carrier percentage. refer to Section 7.6.2

9.8.3 TxCon

Table 128. TxCon register (address 2Ah)

Bit	7	6	5	4	3	2	1	0
Symbol	OvershootT2				CwMax	TxInv	TxSel	
Access rights	r/w				r/w	r/w	r/w	

Table 129. TxCon bits

Bit	Symbol	Description
7 to 4	OvershootT2	Specifies the length (number of carrier clocks) of the additional modulation for overshoot prevention. Refer to Section 7.6.2.1 "Overshoot protection"
3	Cwmax	Set amplitude of continuous wave carrier to the maximum. If set, set_cw_amplitude in Register TxAmp has no influence on the continuous amplitude.
2	TxInv	If set, the resulting modulation signal defined by TxSel is inverted
1 to 0	TxSel	Defines which signal is used as source for modulation 00b ... no modulation 01b ... TxEnvelope 10b ... SigIn 11b ... RFU

9.8.4 TxI

Table 130. TxI register (address 2Bh)

Bit	7	6	5	4	3	2	1	0
Symbol	OvershootT1				tx_set_iLoad			
Access rights	r/w				r/w			

Table 131. TxI bits

Bit	Symbol	Description
7 to 4	OvershootT1	Overshoot value for Timer1. Refer to Section 7.6.2.1 "Overshoot protection"
3 to 0	tx_set_iLoad	Factory trim value, sets the expected Tx load current. This value is used to control the modulation index in an optimized way dependent on the expected TX load current.

9.9 Transmitter CRC configuration registers

9.9.1 TxCrcPreset

Table 132. TXCrcPreset register (address 2Ch)

Bit	7	6	5	4	3	2	1	0
Symbol	RFU	TXPresetVal			TxCRCtype		TxCRCInvert	TxCRCEn
Access rights	-	r/w			r/w		r/w	r/w

Table 133. TxCrcPreset bits

Bit	Symbol	Description
7	RFU	-
6 to 4	TXPresetVal	Specifies the CRC preset value for transmission (see Table 133).
3 to 2	TxCRCtype	Defines which type of CRC (CRC8/CRC16/CRC5) is calculated: <ul style="list-style-type: none"> • 00h -- CRC5 • 01h -- CRC8 • 02h -- CRC16 • 03h -- RFU
1	TxCRCInvert	if set, the resulting CRC is inverted and attached to the data frame (ISO/IEC 3309)
0	TxCRCEn	if set, a CRC is appended to the data stream

Table 134. Transmitter CRC preset value configuration

TXPresetVal[6...4]	CRC16	CRC8	CRC5
0h	0000h	00h	00h
1h	6363h	12h	12h
2h	A671h	BFh	-
3h	FFFEh	FDh	-
4h	-	-	-
5h	-	-	-
6h	User defined	User defined	User defined
7h	FFFFh	FFh	1Fh

Remark: User defined CRC preset values can be configured by EEprom (see [Section 7.7.2.1](#), [Table 30](#) "Configuration area (Page 0)").

9.9.2 RxCrcCon

Table 135. RxCrcCon register (address 2Dh)

Bit	7	6	5	4	3	2	1	0
Symbol	RxFORCECRCWRITE	RXPRESETVAL			RXCRCtype		RxCRCInvert	RxCRCEn

Table 135. RxCrcCon register (address 2Dh)...continued

Bit	7	6	5	4	3	2	1	0
Access rights	r/w	r/w			r/w		r/w	r/w

Table 136. RxCrcCon bits

Bit	Symbol	Description
7	RxForceCrc Write	If set, the received CRC byte(s) are copied to the FIFO. If cleared CRC Bytes are only checked, but not copied to the FIFO. This bit has to be always set in case of a not byte aligned CRC (e.g. ISO/IEC 18000-3 mode 3/ EPC Class-1HF)
6 to 4	RXPresetVal	Defines the CRC preset value (Hex.) for transmission. (see Table 136).
3 to 2	RxCRCtype	Defines which type of CRC (CRC8/CRC16/CRC5) is calculated: • 00h -- CRC5 • 01h -- CRC8 • 02h -- CRC16 • 03h -- RFU
1	RxCrcInvert	If set, the CRC check is done for the inverted CRC.
0	RxCrcEn	If set, the CRC is checked and in case of a wrong CRC an error flag is set. Otherwise the CRC is calculated but the error flag is not modified.

Table 137. Receiver CRC preset value configuration

RXPresetVal[6...4]	CRC16	CRC8	CRC5
0h	0000h	00h	00h
1h	6363h	12h	12h
2h	A671h	BFh	-
3h	FFFEh	FDh	-
4h	-	-	-
5h	-	-	-
6h	User defined	User defined	User defined
7h	FFFFh	FFh	1Fh

9.10 Transmitter data configuration registers

9.10.1 TxDataNum

Table 138. TxDataNum register (address 2Eh)

Bit	7	6	5	4	3	2	1	0
Symbol	RFU	RFU-	RFU-	KeepBitGrid	DataEn	TxLastBits		
Access rights				r/w	r/w	r/w		

Table 139. TxDataNum bits

Bit	Symbol	Description
7 to 5	RFU	-
4	KeepBitGrid	If set, the time between consecutive transmissions starts is a multiple of one ETU. If cleared, consecutive transmissions can even start within one ETU
3	DataEn	If cleared - it is possible to send a single symbol pattern. If set - data is sent.
2 to 0	TxLastBits	Defines how many bits of the last data byte to be sent. If set to 000b all bits of the last data byte are sent. Note - bits are skipped at the end of the byte. Example - Data byte B2h (sent LSB first). TxLastBits = 011b (3h) => 010b (LSB first) is sent TxLastBits = 110b (6h) => 010011b (LSB first) is sent

9.10.2 TxSym10BurstLen

If a protocol requires a burst (an unmodulated subcarrier) the length can be defined with this TxSymBurstLen, the value high or low can be defined by TxSym10BurstCtrl.

Table 140. TxSym10BurstLen register (address 30h)

Bit	7	6	5	4	3	2	1	0
Symbol	RFU	Sym1Burst Len			RFU	RFU		
Access rights	-	r/w			-	-		

Table 141. TxSym10BurstLen bits

Bit	Symbol	Description
7	RFU	-
6 to 4	Sym1BurstLen	Specifies the number of bits issued for symbol 1 burst. The 3 bits encodes a range from 8 to 256 bit: 00h - 8bit 01h - 16bit 02h - 32bit 03h - 48bit 04h - 64bit 05h - 96bit 06h - 128bit 07h - 256bit
3 to 0	RFU	-

9.10.3 TxWaitCtrl

Table 142. TxWaitCtrl register (address 31h); reset value: C0h

Bit	7	6	5	4	3	2	1	0
Symbol	TxWaitStart	TxWaitEtu	TxWait High			RFU		

表 142. TxWaitCtrl 寄存器 (地址 31h); 重置值: C0h...继续

比特	7	6	5	4	3	2	1	0
途径 权利	R/w	R/w	R/w			—		

表 143. TXWaitCtrl 位

比特	标志	描述
7	TxWaitStart	如果清除, TxWait 时间将从发送数据 (TX) 结束开始。 如果设置, TxWait 时间从接收数据 (RX) 的末尾开始。
6	TxWaitEtu	如果清除, TxWait 时间为 TxWait × 16/13.56 MHz。 如果设置, TxWait 时间为 TxWait × 0.5 / DBFreq (DBFreq 是 TxDataCon 定义的位流频率)。
5 到 3	TxWait 高	TxWaitLo 的位扩展。TxWaitCtrl 位 5 是 MSB。
2 到 0	TxStopBitLength	定义要发送的停止位和 EGT (=停止位+额外的保护时间 EGT): 0h: 没有停止位, 没有 EGT 1h: 1 个停止位, 无 EGT 2 小时: 1 个停止位+1 个 EGT 3 小时: 1 个停止位+2 个 EGT 4 小时: 1 个停止位+ 3 个 EGT 5 小时: 1 个停止位+ 4 个 EGT 6 小时: 1 个停止位+5 个 EGT 7 小时: 1 个停止位+6 个 EGT 注意: 这仅适用于 ISO/IEC14443 B 型

9.10.4 TxWaitLo

表 144. TxWaitLo 寄存器 (地址 32h)

比特	7	6	5	4	3	2	1	0
标志	TxWaitLo							
途径 权利	R/w							

表 145. TxWaitLo 位

比特	标志	描述
7 到 0	TxWaitLo	定义接收和发送之间或两个发送数据流之间的最小时间 注意: TxWait 是一个 11 位寄存器 (额外的 3 位在 TxWaitCtrl 寄存器中)! 另请参阅 TxWaitEtu 和 TxWaitStart。

9.11 FrameCon

表 146. FrameCon 寄存器 (地址 33h)

比特	7	6	5	4	3	2	1	0
标志	TxParityEn	RxParityEn	—	—	停止 Sym		StartSym	

SLRC610

本文件中提供的所有信息均受法律声明!

© 2024 NXP B.V. 保留所有权利。

表 146。FrameCon 寄存器 (地址 33h) ...继续

比特	7	6	5	4	3	2	1	0
途径权利	R/w	R/w	RFU	RFU		R/w		R 罗马字母的第 / 23 个字母

表 147。FrameCon 位

比特	标志	描述
7	TxParityEn	如果设置, 将计算一个奇偶校验位, 并将其附加到传输的每个字节中。
6	RxParityEn	如果设置, 将启用奇偶校验计算。奇偶校验不会转移到 FIFO。
5 到 4	—	RFU
3 到 2	停止 Sym	定义哪个符号作为停止符号发送: <ul style="list-style-type: none"> • 0h: 没有发送符号 • 1h: Symbol0 已发送 • 2 h 符号 1 已发送 • 3h Symbol2 已发送
1 到 0	StartSym	定义哪个符号作为开始符号发送: <ul style="list-style-type: none"> • 0h: 没有发送符号 • 1h: Symbol0 已发送 • 2 小时: 符号 1 已发送 • 3h: Symbol2 已发送

9.12 接收器配置寄存器

9.12.1 RxSofD

表 148。RxSofD 寄存器 (地址 34h)

比特	7	6	5	4	3	2	1	0
标志	RFU		SOF_En	SOF 检测	RFU	SubC_En	SubC_检测到	SubC_Present
途径权利	—		R/w	Dy	—	R/w	Dy	字母 R

表 149。RxSofD 位

比特	标志	描述
7 到 6	RFU	—
5	SOF_En	如果设置并检测到 SOF, 则会引发 RxSOFIRQ。
4	SOF_检测到	显示已检测到或已检测到 SOF。可以通过 SW 清除。
3	RFU	—

SLRC610

All information provided in this document is subject to legal disclaimers.

© 2024 NXP B.V. All rights reserved.

2	SubC_En	如果设置并检测到子载波，则会引发 RxSOFIRQ。
1	SubC_检测到	显示已检测到或已检测到子载波。可以通过 SW 清除。
0	SubC_Present	显示当前检测到子载波。

9.12.2 RxCtrl

表 150. RxCtrl 寄存器（地址 35h）

比特	7	6	5	4	3	2	1	0
标志	RxAllowBits	Rx 多人	RFU	RFU	EMD_Sup	鲍德莱特		
途径 权利	R/w	R/w	—	—	R/w	R/w		

表 151. RxCtrl 位

比特	标志	描述
7	RxAllowBits	如果设置，即使启用了 CRC，数据也会写入 FIFO，并且没有收到完整的字节。
6	Rx 多人	如果设置，RxMultiple 将被激活，接收器不会自动终止（参考第 7.10.3.4 节“接收命令”）。 如果设置为逻辑 1，在接收的数据流结束时，错误字节将添加到 FIFO 中。 错误字节是错误寄存器的副本。
5 到 4	RFU	—
3	EMD_Sup	根据 ISO/IEC14443 启用 EMD 抑制。如果在前三个字节内发生错误，则假设这三个字节为 EMD，忽略并重置 FIFO。碰撞也被视为错误，如果收到有效的 SOF，EMD_Sup 设置并接收了少于 3 字节的帧。在此 EMD 错误情况下没有设置 RX_IRQ。如果设置了 RxForceCRCWrite，则在写入三个字节之前不应读出 FIFO。
2 到 0	鲍德莱特	定义接收信号的波速率。 2h: 26 kBd 3h: 52 kBd 所有 有剩余值均为 RFU

9.12.3 RxWait

选择内部接收器设置。

表 152. RxWait 寄存器（地址 36h）

比特	7	6	5	4	3	2	1	0
标志	RxWaitEtu	RxWait						
途径 权利	R/w	R/w						

表 153. RxWait 位

比特	标志	描述

7	RXWaitEtu	如果设置为 0，RXWait 时间为 $RxWait \times 16/13.56 \text{ MHz}$ 。 如果设置为 1，RXWait 时间为 $RxWait \times (0.5/DBFreq)$ 。
6 到 0	RxWait	定义发送后的时间，其中每个输入都被忽略。

9.12.4 RxThreshold

为位解码器选择最低阈值级别。

表 154. RxThreshold 寄存器（地址 37h）

比特	7	6	5	4	3	2	1	0
标志	分 复 钟				MinLevelIP			
途径 权利	R/罗马字母的 第 23 个字母				R/w			

表 155. RxThreshold 位

比特	标志	描述
7 到 4	最小水平	定义接收的 MinLevel。 注意：MinLevel 应高于系统中的噪音水平。
3 到 0	MinLevelIP	定义相移检测器单元的 MinLevel。

9.12.5 Rcv

表 156. Rcv 寄存器（地址 38h）

比特	7	6	5	4	3	2	1	0
标志	Rcv_Rx_single	Rx_ADC 模式	SigInSel		网 第二十一 个 状 罗马字母 结 构		CollLevel	
途径 权利	R/w	R/w	R/w		—		R/w	

表 157. Rcv 位

比特	标志	描述
7	Rcv_Rx_single	单 RXP 输入引脚模式： 0: 完全差分 1: 准差异
6	Rx_ADC 模式	定义模拟数字转换器（ADC）的操作模式 0: ADC 的正常接收模式 1: ADC 的 LPCD 模式
5 到 4	SigInSel	定义信号处理单元的输入： 0h - 闲置 1h - 内部模拟块（RX） 2 小时-信号在信封上（ISO/IEC14443A） 3h - 信号在 s3c-generic

3 到 2	RFU	—
1 到 0	CollLevel	定义要解释为碰撞的信号强度： 0h - 碰撞至少有 1/8 的信号强度 1h - 碰撞至少有 1/4 的信号强度 2h - 碰撞至少有 1/2 的信号强度 3h - 碰撞检测已关闭

9.12.6 RxAna

此寄存器允许设置增益 (rcv_gain) 和高通角频率 (rcv_hpcf)。

表 158. RxAna 寄存器 (地址 39h)

比特	7	6	5	4	3	2	1	0
标志	VMid_r_sel		RFU		Rcv_hpcf		Rcv 增益	
途径 权利	R/w		—		R/w		R/罗马字母的 第 23 个字母	

表 159. RxAna 位

比特	标志	描述
7, 6	VMid_r_sel	工厂修剪值, 需要为 0。
5, 4	RFU	
3, 2	Rcv_hpcf	Rcv_hpcf [1:0]信号允许基带放大器高通截止频率的 4 种不同设置, 从~40 kHz 到~300 kHz。
1 到 0	Rcv_gain	使用 rcv_gain[1:0]可以配置 30 分贝和 60 分贝的四种不同的增益设置 (差分输出电压/差分输入电压)。

表 160. 增益和高通角寄存器设置的影响

Rcv_gain (十六 六)	Rcv_hpcf (十六 六)	FI (千赫)	fU (MHz)	增益 (dB20)	带 (MHz)
03	00	38	2,3	60	2,3
03	01	79	2,4	59	2,3
03	02	150	2,6	58	2,5
03	03	264	2,9	55	2,6
02	00	41	2,3	51	2,3
02	01	83	2,4	50	2,3
02	02	157	2,6	49	2,4
02	03	272	3,0	41	2,7
01	00	42	2,6	43	2,6
01	01	84	2,7	42	2,6

01	02	157	2,9	41	2,7
01	03	273	3,3	39	3,0
00	00	43	2,6	35	2,6
00	01	85	2,7	34	2,6
00	02	159	2,9	33	2,7
00	03	276	3,4	30	3,1

9.13 时钟配置

9.13.1 串行速度

此寄存器允许设置 RS232 接口的速度。默认速度设置为 9.6kbit/s。可以通过修改 BR_T0 和 BR_T1 的条目来更改接口的传输速度。传输速度可以使用以下方法计算 G 公式：

BR_T0 = 0: 传输速度 = 27.12 MHz / (BR_T1 + 1)

BR_T0 > 0: 传输速度 = 27.12 MHz / (BR_T1 + 33) / 2^(BR_T0 - 1)

框架由 1 个启动位、8 个数据位和 1 个停止位实现。不使用奇偶校验位。不支持超过 1228,8 kbit/s 的传输速度。

表 161. SerialSpeed 寄存器 (地址 3Bh); 重置值: 7Ah

比特	7	6	5	4	3	2	1	0
标志	BR_T0			BR_T1				
途径 权利	R/w			R/w				

表 162. 串行速度位

比特	标志	描述
7 到 5	BR_T0	BR_T0 = 0: 传输速度 = 27.12 MHz / (BR_T1 + 1) BR_T0 > 0: 传输速度 = 27.12 MHz / (BR_T1 + 33) / 2^(BR_T0 - 1)
4 到 0	BR_T1	BR_T0 = 0: 传输速度 = 27.12 MHz / (BR_T1 + 1) BR_T0 > 0: 传输速度 = 27.12 MHz / (BR_T1 + 33) / 2^(BR_T0 - 1)

表 163. RS232 速度设置

传输速度 (kbit/s)	SerialSpeed 寄存器内容 (Hex.)
7,2	足球协会
9,6	艾字节
14,4	DA
19,2	CB

38,4	腹肌
57,6	9A
115,2	7A
128,0	74
230,4	5A
460,8	3A
921,6	1C
1228,8	15

9.13.2 LFO_Trimm

表 164. LFO_Trim 寄存器 (地址 3Ch)

比特	7	6	5	4	3	2	1	0
标志	LFO_t里姆							
途径 权利	R/w							

表 165. LFO_Trim 位

比特	标志	描述
7 到 0	LFO_trimm	修剪值。参考第 8.8.3 节 注意: 如果修剪值增加, 振荡器的频率会降低。

9.13.3 PLL_Ctrl 寄存器

PLL_Ctrl 寄存器实现了 IntegerN PLL 的控制寄存器。存在两个阶段, 从 27,12MHz 输入创建 ClkOut 信号。在第一阶段, 27,12Mhz 输入信号乘以 PLLDiv_FB 中定义的值, 然后除以 two, 第二阶段将该频率除以 PLLDIV_Out 定义的值。

表 166. PLL_Ctrl 寄存器 (地址 3Dh)

比特	7	6	5	4	3	2	1	0
标志	厘升 :OutSel				ClkOut_En	PLL_PD	PLLDiv_FB	
途径 权利	R/w				R/w	R/w	R/w	

表 167. PLL_Ctrl 寄存器位

比特	标志	描述
----	----	----

7 到 4	CLKOutSel	<ul style="list-style-type: none"> • 0h - 引脚 CLKOUT 用作 I/O • 1h - 引脚 CLKOUT 显示模拟 PLL 的输出 • 2h - pin CLKOUT 在 0 上保持 • 3 小时-针 CLKOUT 保持在 1 • 4 小时-引脚 CLKOUT 显示来自晶体的 27.12 MHz • 5h - 引脚 CLKOUT 显示来自晶体的 13.56 MHz • 6h - 引脚 CLKOUT 显示来自晶体的 6.78 MHz • 7h - 针 CLKOUT 显示来自晶体的 3.39 MHz • 8h - pin CLKOUT 由 Timer0 溢出切换 • 9h - 引脚 CLKOUT 由 Timer1 溢出切换 • 啊-引脚 CLKOUT 被 Timer2 溢出切换 • Bh-引脚 CLKOUT 由 Timer3 溢出切换 • Ch...Fh - RFU
3	ClkOut_En	在 Pin CLKOUT 启用时钟
2	PLL_PD	PLL 关机
1-0	PLLDiv_FB	PLL 反馈分隔器（见表 174）

表 168。设置反馈分频器 PLLDiv_FB [1:0]

位 1	位 0	部门
0	0	23 (VCO 频率 312Mhz)
0	1	27 (VCO 频率 366MHz)
1	0	28 (VCO 频率 380Mhz)
1	1	23 (VCO 频率 312Mhz)

9.13.4 PLLDiv_Out

表 169。PLLDiv_Out 寄存器（地址 3Eh）

比特	7	6	5	4	3	2	1	0
标志	PLLDi _Out							
途径权利	R/w							

表 170。PLLDiv_Out 位

比特	标志	描述
7 到 0	PLLDiv_Out	PLL 输出分频器系数；参考 第 7.8.2 节

表 171。设置输出分频器比 PLLDiv_Out [7:0]

价值	部门
0	RFU
1	RFU

2	RFU
3	RFU
4	RFU
5	RFU
6	RFU
7	RFU
8	8
9	9
10	10
...	...
253	253
254	254
255	255

9.14 低功耗卡检测配置寄存器

LPCD 寄存器包含低功耗卡检测的设置。LPCD_IMax（6 位）的设置由寄存器 LPCD_QMin、LPCD_QMax 和 LPCD_IMin 的两个最高位（位 7、位 6）完成。

9.14.1 LPCD_QMin

表 172。LPCD_QMin 寄存器（地址 3Fh）

比特	7	6	5	4	3	2	1	0
标志	LPCD_IMax.5	LPCD_IMax.4	LPCD_Q分钟					
途径权利	R/w	R/w	R/w					

表 173。LPCD_QMin 位

比特	标志	描述
7, 6	LPCD_IMax	定义 LPCD 较高边界的最高两个位。如果 I 通道的测量值高于 LPCD_IMax，则用位 IRQ0 表示 LPCD 中断请求。LPCDIRQ。
5 到 0	LPCD_QMin	定义 LPCD 的下边框。如果 Q 通道的测量值高于 LPCD_QMin，则 LPCD 中断请求由位 IRQ0 指示。LPCDIRQ。

9.14.2 LPCD_QMax

表 174。LPCD_QMax 寄存器（地址 40h）

比特	7	6	5	4	3	2	1	0
----	---	---	---	---	---	---	---	---

标志	LPCD_IMax.3	LPCD_IMax.2	LPCD_QMax
途径权利	R/w	R/w	R/w

表 175。LPCD_QMax 位

比特	标志	描述
7	LPCD_IMax.3	定义 LPCD 高边界的第 3 位。如果 I 通道的测量值高于 LPCD IMax，则提高 LPCD IRQ。
6	LPCD_IMax.2	定义 LPCD 高边界的位 2。如果 I 通道的测量值高于 LPCD IMax，则提高 LPCD IRQ。
5 到 0	LPCD_QMax	定义 LPCD 的高边界。如果 Q 通道的测量值高于 LPCD QMax，则会提高 LPCD IRQ。

9.14.3 LPCD_IMin

表 176。LPCD_IMin 寄存器（地址 41h）

比特	7	6	5	4	3	2	1	0
标志	LPCD_IMax.1	LPCD_IMax.0	LPCD_IMin					
途径权利	R/w	R/w	R/w					

表 177。LPCD_IMin 位

比特	标志	描述
7 到 6	LPCD_IMax	为低功耗卡检测（LPCD）定义较高边界的最低两个位。如果 I 通道的测量值高于 LPCD IMax，则提高 LPCD IRQ。
5 到 0	LPCD_IMin	定义 ow 电源卡检测的下边框。如果 I 通道的测量值低于 LPCD IMin，则会提高 LPCD IRQ。

9.14.4 LPCD_结果_I

表 178。LPCD_Result_I 注册（地址 42h）

比特	7	6	5	4	3	2	1	0
标志	RFU-	RFU-	LPCD_结果_I					
途径权利	—	—	字母 R					

表 179。LPCD_I_结果位

比特	标志	描述
7 到 6	RFU	—
5 到 0	LPCD_结果_I	显示上次低功耗卡检测（I 通道）的结果。

9.14.5 LPCD_结果_Q

表 180。LPCD_Result_Q 寄存器（地址 43h）

比特	7	6	5	4	3	2	1	0
标志	RFU	LPCD_IRQ_Clr	LPCD_Result_Q					
途径 权利		R/w	字母 R					

表 181。LPCD_Q_结果位

比特	标志	描述
7	RFU	—
6	LPCD_IRQ_Clr	如果设置，在下一个低功耗卡检测程序之前，不再提高 LPCD IRQ。可用于软件清除中断源。
5 到 0	LPCD_结果_Q	显示最后一个 ow 电源卡检测（Q 通道）的结果。

9.14.6 LPCD_选项

此寄存器仅在 SLRC61003 上可用。对于硅版本 SLRC61002，地址 3Ah 上的这个寄存器是 RFU。

表 182。LPCD_Options 寄存器（地址 3Ah）

比特	7	6	5	4	3	2	1	0
标志	RFU —				LPCD_TX_高	LPCD_过滤器	LPCD_Q_不稳定	LPCD_I_不稳定
途径 权利					R/w	R/w	字母 R	字母 R

表 183。LPCD_选项

比特	标志	描述
7 到 4	RFU	—
3	LPCD_TX_高	如果设置，TX 驱动程序将与 V 相同 T_{VDD} 在 LPCD 期间。这将以更高的电流消耗为代价，实现更好的 LPCD 检测范围（更高的发射器输出电压）。如果这个位被清除，TX 驱动器的输出电压将为 $= T_{VDD} - 0.4V$ 。如果设置了这个位，TX 驱动器的输出电压将是 $= V_{TVDD}$ 。
2	LPCD_过滤器	如果设置，LPCD 决定基于滤波器的结果，该滤波器允许去除 I 和 Q 通道中评估信号中的噪声。启用 LPCD_FILTER 可以补偿嘈杂条件，而取样所需的 RF-ON 时间更长。总最大 LPCD 采样时间为 4.72us。
1	LPCD_Q_不稳定	如果设置了此寄存器的位 2，位 1 表示 Q 通道 ADC 值在 LPCD 测量期间发生了变化。注意：仅当 LPCD_FILTER（位 2）=1 时才有效。此信息可用于主机应用程序进行配置，例如 Shold LPCD_QMax 或反转 TX 驱动程序。

0	LPCD_I_不稳定	如果设置了此寄存器的位 2，位 0 表示 I 通道 ADC 值在 LPCD 测量期间发生了变化。注意：仅当 LPCD_FILTER (bit2) =1 时才有效。此信息可由主机应用程序用于配置，例如 thres 按住 LPCD_I _{Max} 或反转 TX 驱动程序。
---	------------	---

9.15 引脚配置

9.15.1 PadEn

表 184。PadEn 寄存器 (地址 44h)

比特	7	6	5	4	3	2	1	0
标志	SIGIN_EN / OUT7	CLKOUT_EN / OUT6	IFSEL1_EN / OUT5	IFSEL0_EN / OUT4	TCK_EN / OUT 3	TMS_EN / OUT2	TDI_EN / OUT1	TDO_EN / OUT0
途径权利	R/w	R/w	R/w	R/w	R/w	R/w	R/w	R/w

表 185。PadEn 位

比特	标志	描述
7	SIGIN_EN / OUT7	启用 SIGIN (引脚 5) 上的输出功能。然后将引脚用作输出。
6	CLKOUT_EN / OUT6	启用 CLKOUT 的输出功能 (引脚 22)。然后将引脚用作输出。CLKOUT 功能已关闭。

Table 185. PadEn bits...continued

Bit	Symbol	Description
5	IFSEL1_EN / OUT5	Enables the output functionality of the IFSEL1 (pin 27). The pin is then used as output.
4	IFSEL0_EN / OUT4	Enables the output functionality of the IFSEL0 (pin 26). The pin is then used as output.
3	TCK_EN / OUT3	Enables the output functionality of the TCK (pin 4) of the boundary scan interface. The pin is then used as output. If the boundary scan is activated in EEPROM, this bit has no function.
2	TMS_EN / OUT2	Enables the output functionality of the TMS (pin 2) of the boundary scan interface. The pin is then used as output. If the boundary scan is activated in EEPROM, this bit has no function.
1	TDI_EN / OUT1	Enables the output functionality of the TDI (pin 1) of the boundary scan interface. The pin is then used as output. If the boundary scan is activated in EEPROM, this bit has no function.
0	TDO_EN / OUT0	Enables the output functionality of the TDO (pin 3) of the boundary scan interface. The pin is then used as output. If the boundary scan is activated in EEPROM, this bit has no function.

9.15.2 PadOut

Table 186. PadOut register (address 45h)

Bit	7	6	5	4	3	2	1	0
Symbol	SIGIN_OUT	CLKOUT_OUT	IFSEL1_OUT	IFSEL0_OUT	TCK_OUT	TMS_OUT	TDI_OUT	TDO_OUT
Access rights	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Table 187. PadOut bits

Bit	Symbol	Description
7	SIGIN_OUT	Output buffer of the SIGIN pin
6	CLKOUT_OUT	Output buffer of the CLKOUT pin
5	IFSEL1_OUT	Output buffer of the IFSEL1 pin
4	IFSEL0_OUT	Output buffer of the IFSEL0 pin
3	TCK_OUT	Output buffer of the TCK pin
2	TMS_OUT	Output buffer of the TMS pin
1	TDI_OUT	Output buffer of the TDI pin
0	TDO_OUT	Output buffer of the TDO pin

9.15.3 PadIn

Table 188. PadIn register (address 46h)

Bit	7	6	5	4	3	2	1	0
Symbol	SIGIN_IN	CLKOUT_IN	IFSEL1_IN	IFSEL0_IN	TCK_IN	TMS_IN	TDI_IN	TDO_IN

Table 188. PadIn register (address 46h)...continued

Bit	7	6	5	4	3	2	1	0
Access rights	r	r	r	r	r	r	r	r

Table 189. PadIn bits

Bit	Symbol	Description
7	SIGIN_IN	Input buffer of the SIGIN pin
6	CLKOUT_IN	Input buffer of the CLKOUT pin
5	IFSEL1_IN	Input buffer of the IFSEL1 pin
4	IFSEL0_IN	Input buffer of the IFSEL0 pin
3	TCK_IN	Input buffer of the TCK pin
2	TMS_IN	Input buffer of the TMS pin
1	TDI_IN	Input buffer of the TDI pin
0	TDO_IN	Input buffer of the TDO pin

9.15.4 SigOut

Table 190. SigOut register (address 47h)

Bit	7	6	5	4	3	2	1	0
Symbol	Pad Speed	RFU			SigOutSel			
Access rights	r/w	-			r/w			

Table 191. SigOut bits

Bit	Symbol	Description
7	PadSpeed	If set, the I/O pins are supporting a fast switching mode. The fast mode for the I/O's will increase the peak current consumption of the device, especially if multiple I/Os are switching at the same time. The power supply needs to be designed to deliver this peak currents.
6 to 4	RFU	-
3 to 0	SIGOutSel	0h, 1h - The pin SIGOUT is 3-state 2h - The pin SIGOUT is 0 3h - The pin SIGOUT is 1 4h - The pin SIGOUT shows the TX-envelope 5h - The pin SIGOUT shows the TX-active signal 6h - The pin SIGOUT shows the S3C (generic) signal 7h - The pin SIGOUT shows the RX-envelope (only valid for ISO/IEC 14443A, 106 kBd) 8h - The pin SIGOUT shows the RX-active signal 9h - The pin SIGOUT shows the RX-bit signal 0Ah ...0Fh: RFU

9.16 Version register

9.16.1 Version

Table 192. Version register (address 7Fh)

Bit	7	6	5	4	3	2	1	0
Symbol	Version				SubVersion			
Access rights	r				r			

Table 193. Version bits

Bit	Symbol	Description
7 to 4	Version	Includes the version of the SLRC610 silicon. SLRC61002: 0x1 SLRC61003: 0x1
3 to 0	SubVersion	Includes the subversion of the SLRC610 silicon: CLRC66302: 0x8 CLRC66303: 0xA LPCD_OPTIONS register had been added compared to the earlier version SLRC61002. Default configuration for LoadProtocol updated for improved performance. User EEPROM initialized with data. Transmitter driver allows higher ITVDD than lower Sub Versions.

10 Limiting values

Table 194. Limiting values

In accordance with the Absolute Maximum Rating System (IEC 60134).

Symbol	Parameter	Conditions	Min	Max	Unit
V _{DD}	supply voltage		-0.5	+ 6.0	V
V _{DD(PVDD)}	PVDD supply voltage		-0.5	+ 6.0	V
V _{DD(TVDD)}	TVDD supply voltage		-0.5	+ 6.0	V
I _{DD(TVDD)}	TVDD supply current	SLRC61002	-	250	mA
		SLRC61003	-	500	mA
V _{i(RXP)}	input voltage on pin RXP		-0.5	+ 2.0	V
V _{i(RXN)}	input voltage on pin RXN		-0.5	+ 2.0	V
P _{tot}	total power dissipation	per package	-	1125	mW
V _{ESD}	electrostatic discharge voltage	human body model (HBM) ^[1] ; 1500 Ω, 100 pF	-2000	2000	V
		charge device model (CDM) ^[2]	-500	500	V
T _{j(max)}	maximum junction temperature		-	+150	°C
T _{stg}	storage temperature	no supply voltage applied	-55	+150	°C

[1] According to ANSI/ESDA/JEDEC JS-001.

[2] According to ANSI/ESDA/JEDEC JS-002.

11 Recommended operating conditions

Exposure of the device to other conditions than specified in the Recommended Operating Conditions section for extended periods may affect device reliability.

Electrical parameters (minimum, typical and maximum) of the device are guaranteed only when it is used within the recommended operating conditions.

Table 195. Operating conditions SLRC61001, SLRC61002

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V _{DD}	supply voltage		3.0	5.0	5.5	V
V _{DD(TVDD)}	TVDD supply voltage		[1] 3.0	5.0	5.5	V
V _{DD(PVDD)}	PVDD supply voltage	all host interfaces	[2] 3.0	3.3	5.5	V
T _{j(max)}	maximum junction temperature	-	-	-	+125	°C
T _{amb}	operating ambient temperature	in still air with exposed pin soldered on a 4 layer JEDEC PCB	-25	+25	+85	°C
T _{stg}	storage temperature	no supply voltage applied, relative humidity 45...75%	-45	+25	+125	°C

[1] V_{DD(PVDD)} must always be the same or lower than V_{DD}.
 [2] A PVDD voltage higher than 5.0 V might lead to an increased current consumption during Power-down mode

Table 196. Operating conditions SLRC61003

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V _{DD}	supply voltage		2.5	5.0	5.5	V
V _{DD(TVDD)}	TVDD supply voltage		[1] 2.5	5.0	5.5	V
V _{DD(PVDD)}	PVDD supply voltage	all host interfaces except I2C interface	[2] 2.5	5.0	5.5	V
		all host interfaces incl. I2C interface	[2] 3.0	5.0	5.5	V
T _{j(max)}	maximum junction temperature	-	-	-	+125	°C
T _{amb}	operating ambient temperature	HVQFN32 package, in still air with exposed pin soldered on a 4 layer JEDEC PCB	-40	+25	+105	°C
		VFPGA36 package, in still air with exposed pin soldered on a 4 layer JEDEC PCB	-40	+25	+85	°C
T _{stg}	storage temperature	no supply voltage applied, relative humidity 45...75%	-45	+25	+125	°C

[1] V_{DD(PVDD)} must always be the same or lower than V_{DD}.
 [2] A PVDD voltage higher than 5.0 V might lead to an increased current consumption during Power-down mode

12 Thermal characteristics

Table 197. Thermal characteristics

Symbol	Parameter	Conditions	Package	Typ	Unit
$R_{th(j-a)}$	thermal resistance from junction to ambient	in still air with exposed pin soldered on a 4 layer JEDEC PCB	HVQFN32	40	K/W

深圳南天星

13 Characteristics

Table 198. Characteristics

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
Current consumption						
I _{DD}	supply current	I _{DD} = A _{VDD} +D _{VDD} ; modem on (transmitter and receiver are switched on)	-	17	20	mA
		I _{DD} = A _{VDD} +D _{VDD} ; modem off (transmitter and receiver are switched off)	-	0.45	0.5	mA
I _{DD(PVDD)}	PVDD supply current	no load on digital pins, leakage current only	-	0.5	5	µA
I _{DD(TVDD)}	TVDD supply current	SLRC61002HN	-	100	250	mA
		SLRC61003HN	-	250	350	mA
I _{pd}	power-down current	All OUTx pins floating				
		ambient temp = +25 °C	-	40	400	nA
		ambient temp = -40°C... +85°C	-	1.5	2.1	µA
		SLRC61003: ambient temp = +105 °C	-	3.5	5.2	µA
I _{stby}	standby current	All OUTx pins floating				
		ambient temp = 25 °C, I _{VDD} +I _{TVDD} + I _{PVDD}	-	3	6	µA
		ambient temp = -40°C... +105°C, I _{stby} = I _{VDD} +I _{TVDD} + I _{PVDD}	-	5.25	26	
I _{LPCD(sleep)}	LPCD sleep current	All OUTx pins floating				
		LFO active, no RF field on, ambient temp = 25 °C	^[1] -	3.3	6.3	µA
I _{LPCD(average)}	LPCD average current	All OUTx pins floating, TxLoad = 50 ohms. LPCD_FILTER = 0; Rfon duration = 10 us, RF-off duration 300ms; V _{TVDD} = 3.0V; T _{amb} = 25°C; I _{LPCD} = I _{VDD} +I _{TVDD} + I _{PVDD}				
		LPCD_TX_HIGH = 0,	-	12	-	µA
		LPCD_TX_HIGH = 1	-	23	-	
t _{RFON}	RF-on time during LPCD	LPCD_TX_HIGH = 0; TVDD=5.0 V; T=25C;	-	10	-	µs
		LPCD_TX_HIGH = 1; TVDD=5.0 V; T=25C	-	50	-	µs
Buffer capacitors on AVDD,DVDD						
C _L	external buffer capacitor	AVDD	220	470	-	nF

Table 198. Characteristics...continued

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
C _L	external buffer capacitor	DVDD	220	470	-	nF
I/O pin characteristics SIGIN/OUT7, SIGOUT, CLKOUT/OUT6, IFSEL0/OUT4, IFSEL1/OUT5, TCK/OUT3, TMS/OUT2, TDI/OUT1, TDO/OUT0, IRQ, IF0, IF1, IF2, SCL2, SDA2						
I _{LI}	input leakage current	output disabled	0.0	50	500	nA
V _{IL}	low-level input voltage		-0.5	-	0.3 x V _{DD(PVDD)}	V
V _{IH}	high-level input voltage		0.7 x V _{DD(PVDD)}	V _{DD(PVDD)}	V _{DD(PVDD)} + 0.5	V
V _{OL}	low-level output voltage		0.0	0.0	0.4	V
V _{OH}	high-level output voltage	If pins are used as output OUTx, I _{OH} = 4 mA driving current for each pin	V _{DD(PVDD)} -0.4	V _{DD(PVDD)}	V _{DD(PVDD)}	V
C _i	input capacitance		0.0	2.5	4.5	pF
Pin characteristics PDOWN						
V _{IL}	low-level input voltage		0.0	0.0	0.4	V
V _{IH}	high-level input voltage		0.6 x V _{PVDD}	V _{DD(PVDD)}	V _{DD(PVDD)}	V
Pull-up resistance for TCK, TMS, TDI, IF2						
R _{pu}	pull-up resistance		50	72	120	KΩ
Pin characteristics AUX 1, AUX 2						
V _o	output voltage		0.0	-	1.8	V
C _L	load capacitance		0.0	-	400	pF
Pin characteristics RXP, RXN						
V _p	input voltage		0	1.65	1.8	V
C _i	input capacitance		2	3.5	5	pF
V _{mod(pp)}	modulation voltage	V _{mod(pp)} = V _{i(pp)(max)} - V _{i(pp)(min)}	-	2.5	-	mV
Pins TX1 and TX2						
V _o	output voltage		V _{ss(TVSS)}	-	V _{DD(TVDD)}	V
R _o	output resistance	SLRC61002 T=25°C, V _{DD(TVDD)} = 5.0V	-	1.5	-	Ω
		SLRC61003: T=25°C, V _{DD(TVDD)} = 5.0V	-	1.2	-	Ω
Clock frequency Pin CLKOUT						
f _{clk}	clock frequency	configured to 27.12 MHz	-	27.12	-	MHz
δ _{clk}	clock duty cycle		-	50	-	%
Crystal connection XTAL1, XTAL2						
V _{o(p-p)}	peak-to-peak output voltage	pin XTAL1	-	1.0	-	V
V _i	input voltage	pin XTAL1	0.0	-	1.8	V

Table 198. Characteristics...continued

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
C _i	input capacitance	pin XTAL1	-	3	-	pF
Crystal requirements						
f _{xtal}	crystal frequency	ISO/IEC14443 compliancy	27.12-14kHz	27.12	27.12+14kHz	MHz
ESR	equivalent series resistance		-	50	100	Ω
C _L	load capacitance		-	10	-	pF
P _{xtal}	crystal power dissipation		-	50	100	μW
Input characteristics I/O Pin Characteristics IF3-SDA in I²C configuration						
I _{LI}	input leakage current	output disabled	-	2	100	nA
V _{IL}	LOW-level input voltage		-0.5	-	+0.3 V _{DD(PVDD)}	V
V _{IH}	HIGH-level input voltage		0.7 V _{DD(PVDD)}	-	V _{DD(PVDD)} + 0.5	V
V _{OL}	LOW-level output voltage	I _{OL} = 3 mA	-	-	0.3	V
I _{OL}	LOW-level output current	V _{OL} = 0.4 V; Standard mode, Fast mode	4	-	-	mA
		V _{OL} = 0.6 V; Standard mode, Fast mode	6	-	-	mA
t _{f(o)}	output fall time	Standard mode, Fast mode, C _L < 400 pF	-	-	250	ns
		Fast mode +; C _L < 550 pF	-	-	120	ns
t _{SP}	pulse width of spikes that must be suppressed by the input filter		0	-	50	ns
C _i	input capacitance		-	3.5	5	pF
C _L	load capacitance	Standard mode	-	-	400	pF
		Fast mode	-	-	550	pF
t _{EER}	EEPROM data retention time	T _{amb} = +55 °C	10	-	-	year
N _{EEC}	EEPROM endurance (number of programming cycles)	under all operating conditions	5 x 10 ⁵	-	-	cycle

[1] I_{pd} is the total current for all supplies.

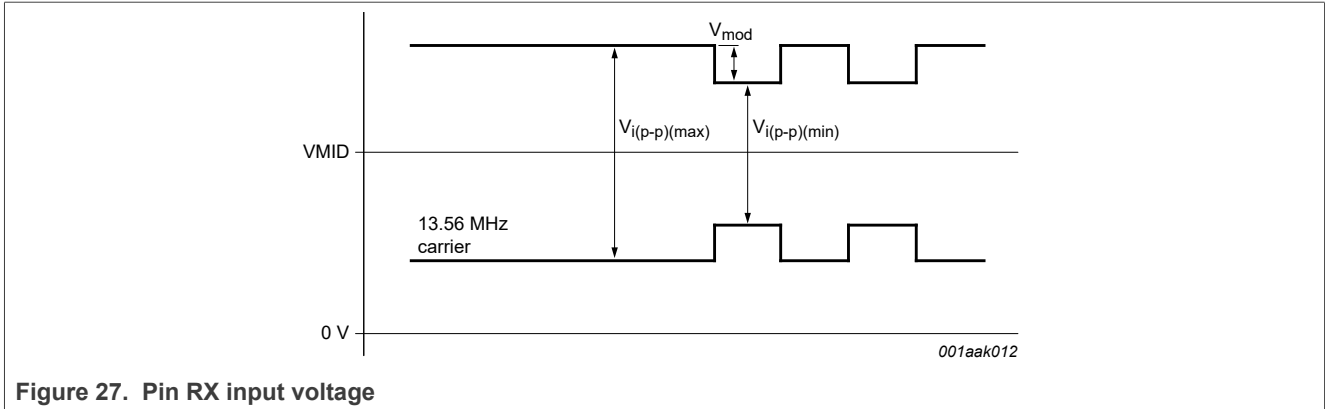


Figure 27. Pin RX input voltage

13.1 Timing characteristics

Table 199. SPI timing characteristics

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
t_{SCKL}	SCK LOW time		50	-	-	ns
t_{SCKH}	SCK HIGH time		50	-	-	ns
$t_{h(SCKH-D)}$	SCK HIGH to data input hold time	SCK to changing MOSI	25	-	-	ns
$t_{su(D-SCKH)}$	data input to SCK HIGH set-up time	changing MOSI to SCK	25	-	-	ns
$t_{h(SCKL-Q)}$	SCK LOW to data output hold time	SCK to changing MISO	-	-	25	ns
$t_{(SCKL-NSSH)}$	SCK LOW to NSS HIGH time		0	-	-	ns
t_{NSSH}	NSS HIGH time	before communication	50	-	-	ns

Remark: To send more bytes in one data stream the NSS signal must be LOW during the send process. To send more than one data stream the NSS signal must be HIGH between each data stream.

Table 200. I²C-bus timing in fast mode and fast mode plus

Symbol	Parameter	Conditions	Fast mode		Fast mode Plus		Unit
			Min	Max	Min	Max	
f_{SCL}	SCL clock frequency		0	400	0	1000	kHz
$t_{HD,STA}$	hold time (repeated) START condition	after this period, the first clock pulse is generated	600	-	260	-	ns
$t_{SU,STA}$	set-up time for a repeated START condition		600	-	260	-	ns
$t_{SU,STO}$	set-up time for STOP condition		600	-	260	-	ns
t_{LOW}	LOW period of the SCL clock		1300	-	500	-	ns
t_{HIGH}	HIGH period of the SCL clock		600	-	260	-	ns
$t_{HD,DAT}$	data hold time		0	900	-	450	ns
$t_{SU,DAT}$	data set-up time		100	-	-	-	ns
t_r	rise time	SCL signal	20	300	-	120	ns
t_f	fall time	SCL signal	20	300	-	120	ns

Table 200. I²C-bus timing in fast mode and fast mode plus...continued

Symbol	Parameter	Conditions	Fast mode		Fast mode Plus		Unit
			Min	Max	Min	Max	
t _r	rise time	SDA and SCL signals	20	300	-	120	ns
t _f	fall time	SDA and SCL signals	20	300	-	120	ns
t _{BUF}	bus free time between a STOP and START condition		1.3	-	0.5	-	μs

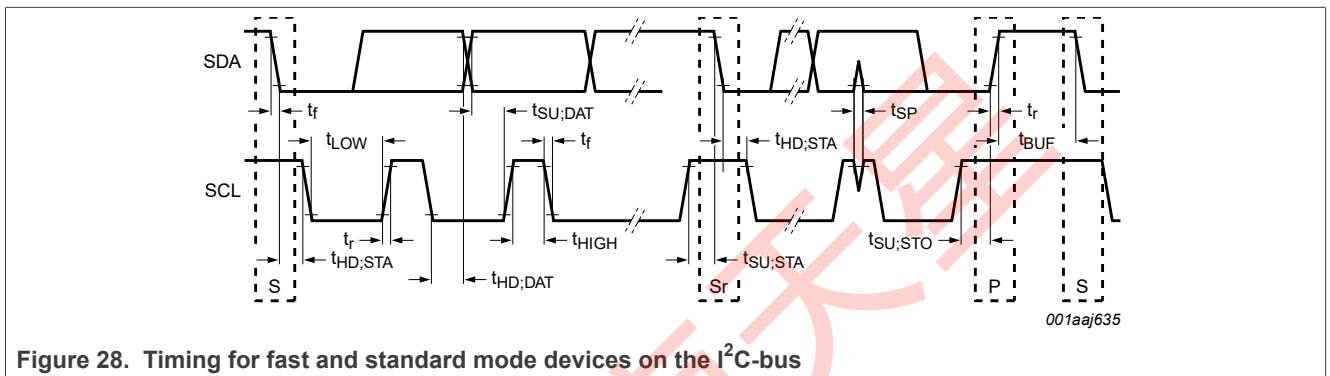


Figure 28. Timing for fast and standard mode devices on the I²C-bus

14 Application information

A typical application diagram using a complementary antenna connection to the SLRC610 is shown in [Figure 29](#).

The antenna tuning and RF part matching is described in the application note [\[1\]](#) and [\[2\]](#).

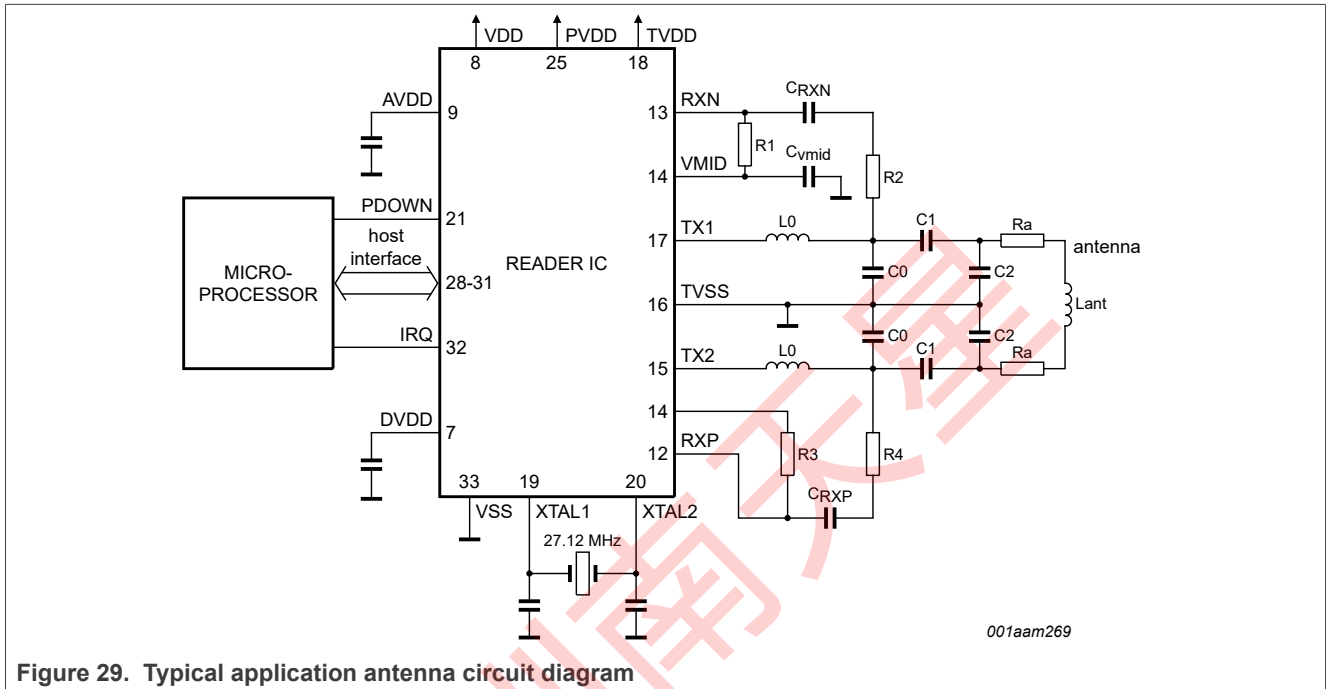


Figure 29. Typical application antenna circuit diagram

14.1 Antenna design description

The matching circuit for the antenna consists of an EMC low pass filter (L0 and C0), a matching circuitry (C1 and C2), and a receiving circuit (R1 = R3, R2 = R4, C3 = C5 and C4 = C6;), and the antenna itself. The receiving circuit component values need to be designed for operation with the SLRC610. A reuse of dedicated antenna designs done for other products without adaptation of component values will result in degraded performance.

14.1.1 EMC low pass filter

The MIFARE product-based system operates at a frequency of 13.56 MHz. This frequency is derived from a quartz oscillator to clock the SLRC610 and is also the basis for driving the antenna with the 13.56 MHz energy carrier. This will not only cause emitted power at 13.56 MHz but will also emit power at higher harmonics. The international EMC regulations define the amplitude of the emitted power in a broad frequency range. Thus, an appropriate filtering of the output signal is necessary to fulfil these regulations.

Remark: The PCB layout has a major influence on the overall performance of the filter.

14.1.2 Antenna matching

Due to the impedance transformation of the given low pass filter, the antenna coil has to be matched to a certain impedance. The matching elements C1 and C2 can be estimated and have to be fine tuned depending on the design of the antenna coil.

The correct impedance matching is important to provide the optimum performance. The overall quality factor has to be considered to guarantee a proper ISO/IEC 14443 communication scheme. Environmental influences have to be considered as well as common EMC design rules.

For details refer to the NXP application notes.

14.1.3 Receiving circuit

The internal receiving concept of the SLRC610 makes use both side-bands of the sub-carrier load modulation of the card response via a differential receiving concept (RXP, RXN). No external filtering is required.

It is recommended to use the internally generated VMID potential as the input potential of pin RX. This DC voltage level of VMID has to be coupled to the Rx-pins via R2 and R4. To provide a stable DC reference voltage capacitances C4, C6 has to be connected between VMID and ground. Refer to [Figure 29](#)

Considering the (AC) voltage limits at the Rx-pins the AC voltage divider of R1 + C3 and R2 as well as R3 + C5 and R4 has to be designed. Depending on the antenna coil design and the impedance matching the voltage at the antenna coil varies from antenna design to antenna design. Therefore the recommended way to design the receiving circuit is to use the given values for R1(= R3), R2 (= R4), and C3 (= C5) from the above mentioned application note, and adjust the voltage at the RX-pins by varying R1(= R3) within the given limits.

Remark: R2 and R4 are AC-wise connected to ground (via C4 and C6).

14.1.4 Antenna coil

The precise calculation of the antenna coils' inductance is not practicable but the inductance can be **estimated** using the following formula. We recommend designing an antenna either with a circular or rectangular shape.

$$L_1 = 2 \cdot I_1 \cdot \left(\ln \left(\frac{I_1}{D_1} \right) - K \right) N_1^{1,8} \quad (4)$$

- I_1 - Length in cm of one turn of the conductor loop
- D_1 - Diameter of the wire or width of the PCB conductor respectively
- K - Antenna shape factor ($K = 1,07$ for circular antennas and $K = 1,47$ for square antennas)
- L_1 - Inductance in nH
- N_1 - Number of turns
- Ln: Natural logarithm function

The actual values of the **antenna inductance, resistance, and capacitance at 13.56 MHz** depend on various parameters such as:

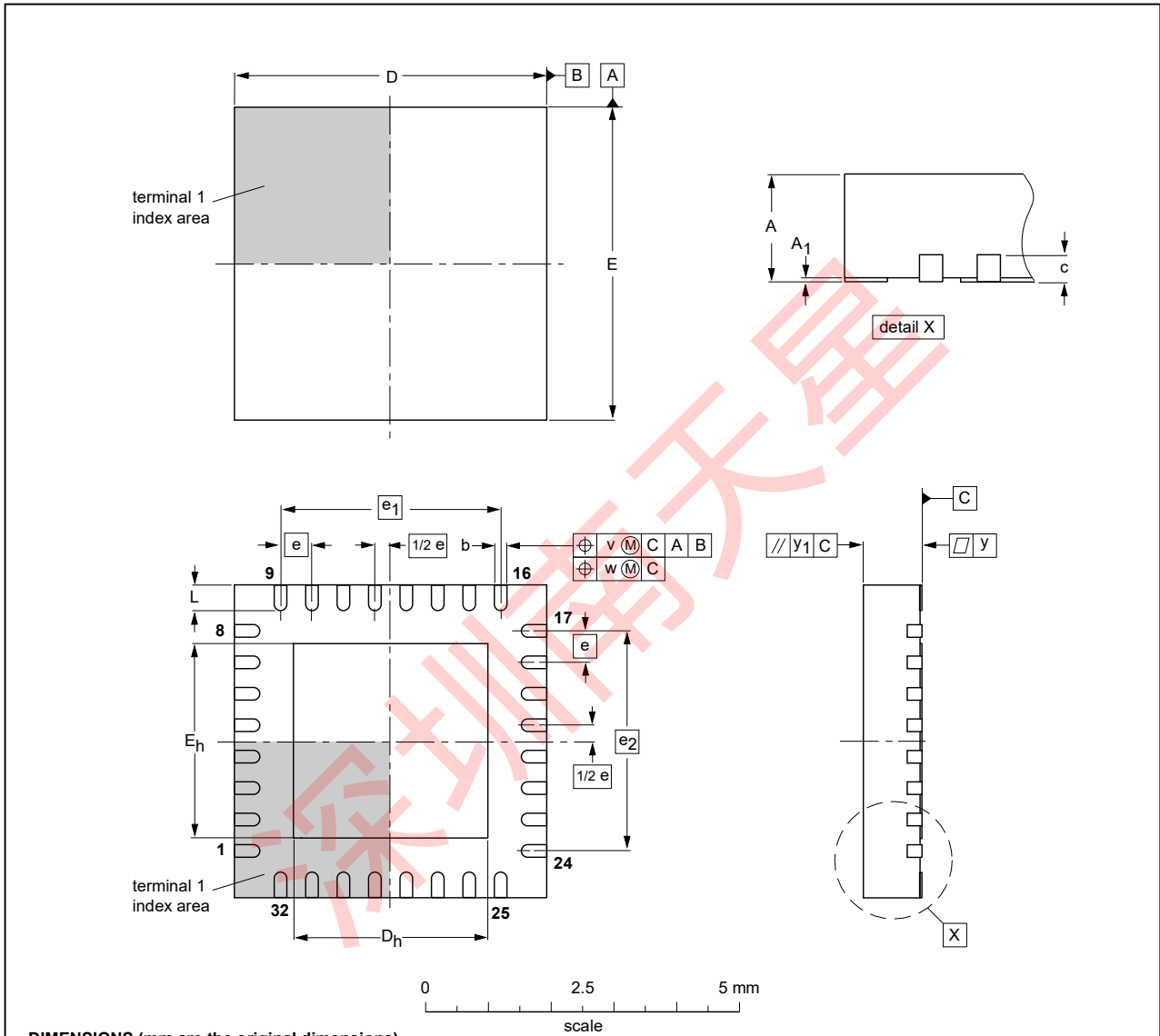
- antenna construction (Type of PCB)
- thickness of conductor
- distance between the windings
- shielding layer
- metal or ferrite in the near environment

Therefore a measurement of those parameters under real life conditions, or at least a rough measurement and a tuning procedure is highly recommended to guarantee a reasonable performance. For details refer to the above mentioned application notes.

15 Package outline

HVQFN32: plastic thermal enhanced very thin quad flat package; no leads;
32 terminals; body 5 x 5 x 0.85 mm

SOT617-1



DIMENSIONS (mm are the original dimensions)

UNIT	A ⁽¹⁾ max.	A ₁	b	c	D ⁽¹⁾	D _h	E ⁽¹⁾	E _h	e	e ₁	e ₂	L	v	w	y	y ₁
mm	1	0.05 0.00	0.30 0.18	0.2	5.1 4.9	3.25 2.95	5.1 4.9	3.25 2.95	0.5	3.5	3.5	0.5 0.3	0.1	0.05	0.05	0.1

Note

1. Plastic or metal protrusions of 0.075 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES			EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	JEITA		
SOT617-1	---	MO-220	---		-01-08-08 02-10-18

Figure 30. Package outline SOT617-1 (HVQFN32)

Detailed package information can be found at <http://www.nxp.com/package/SOT617-1.html>.



16 Handling information

CAUTION

This device is sensitive to ElectroStatic Discharge (ESD). Observe precautions for handling electrostatic sensitive devices.

Such precautions are described in the *ANSI/ESD S20.20*, *IEC/ST 61340-5*, *JESD625-A* or equivalent standards.

深圳市南天星

17 Packing information

Moisture Sensitivity Level (MSL) evaluation has been performed according to *SNW-FQ-225B rev.04/07/07 (JEDEC J-STD-020C)*.

An MSL corresponds to a certain out-of-bag time (or floor life). If semiconductor packages are removed from their sealed dry-bags and not soldered within their out-of-bag time, they must be baked prior to reflow soldering, in order to remove any moisture that might have soaked into the package.

For MSL3:

168h out-of-pack floor life at maximum ambient temperature, conditions < 30°C / 60 % RH.

For MSL2:

- 1 year out-of-pack floor life at maximum ambient temperature, conditions < 30°C / 60 % RH.

For MSL1:

- No out-of-pack floor live spec. required. Conditions: <30°C / 85 % RH.

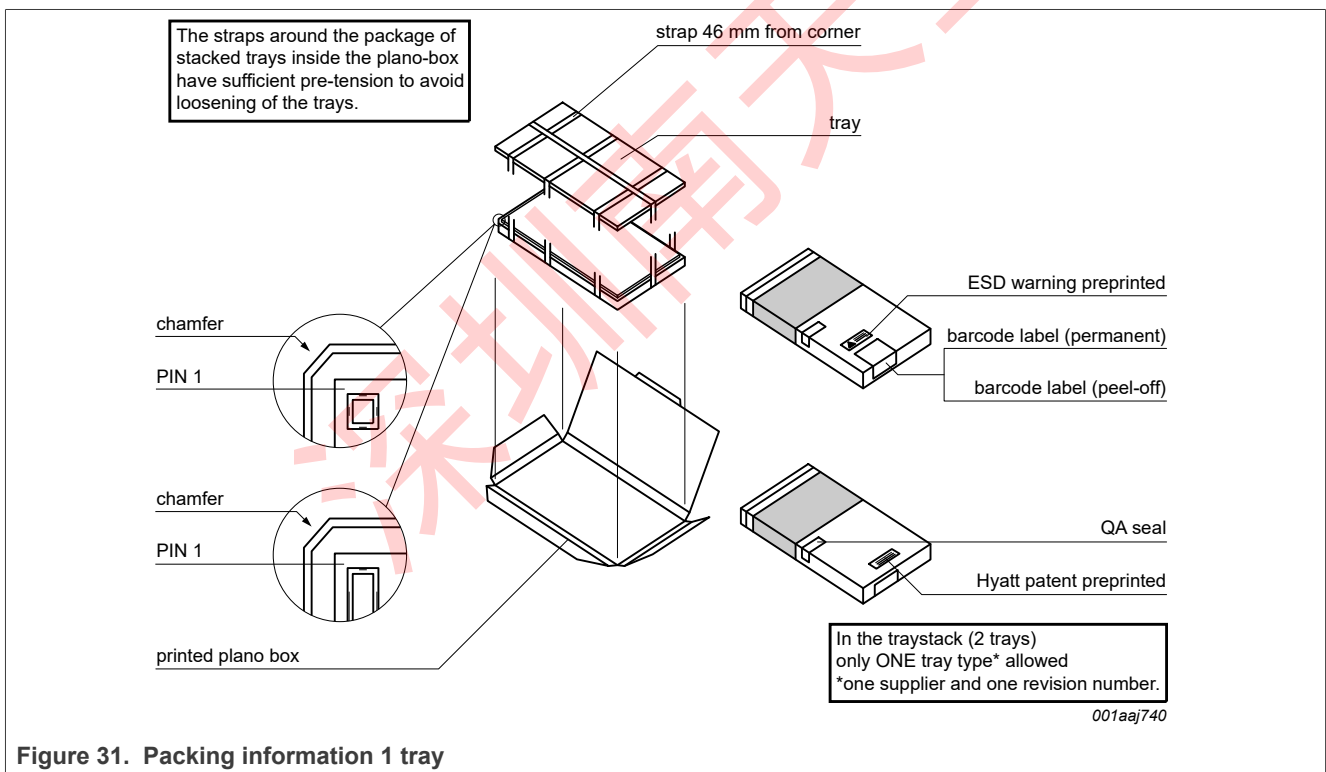


Figure 31. Packing information 1 tray

High-performance ICODE frontend SLRC610 and SLRC610 *plus*

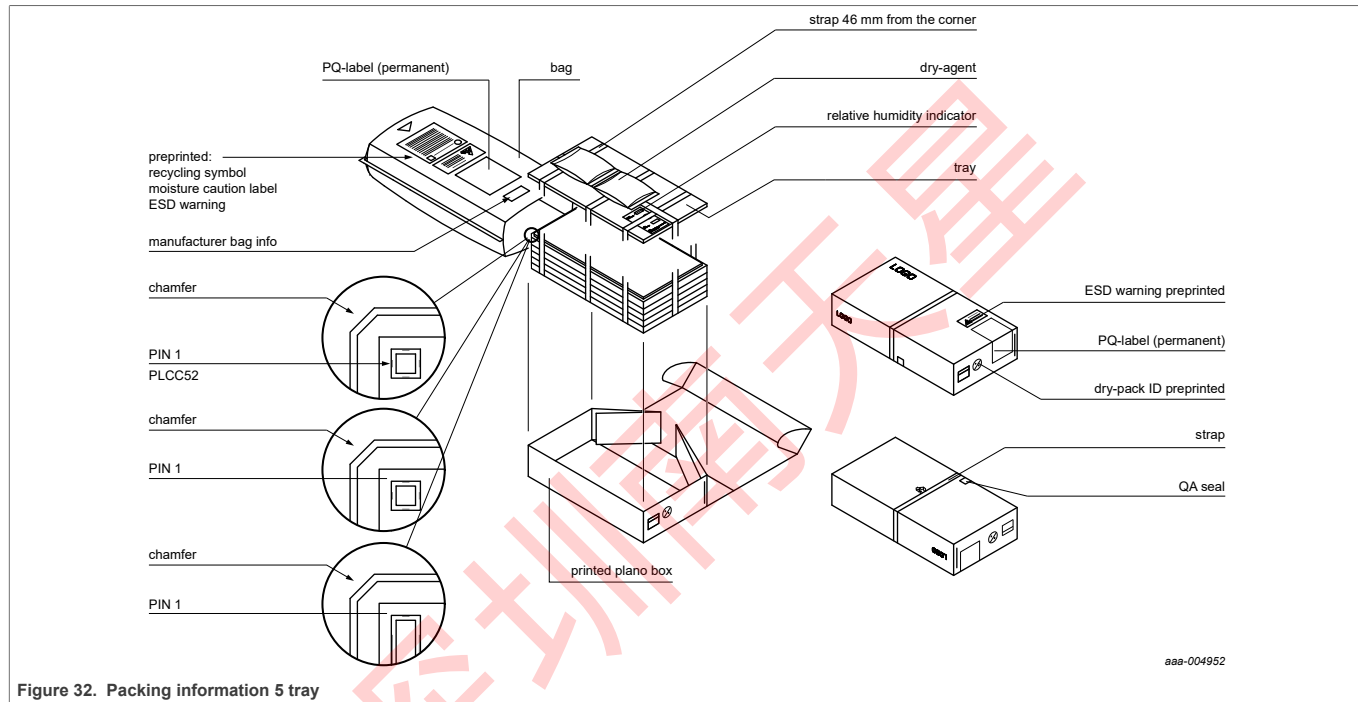
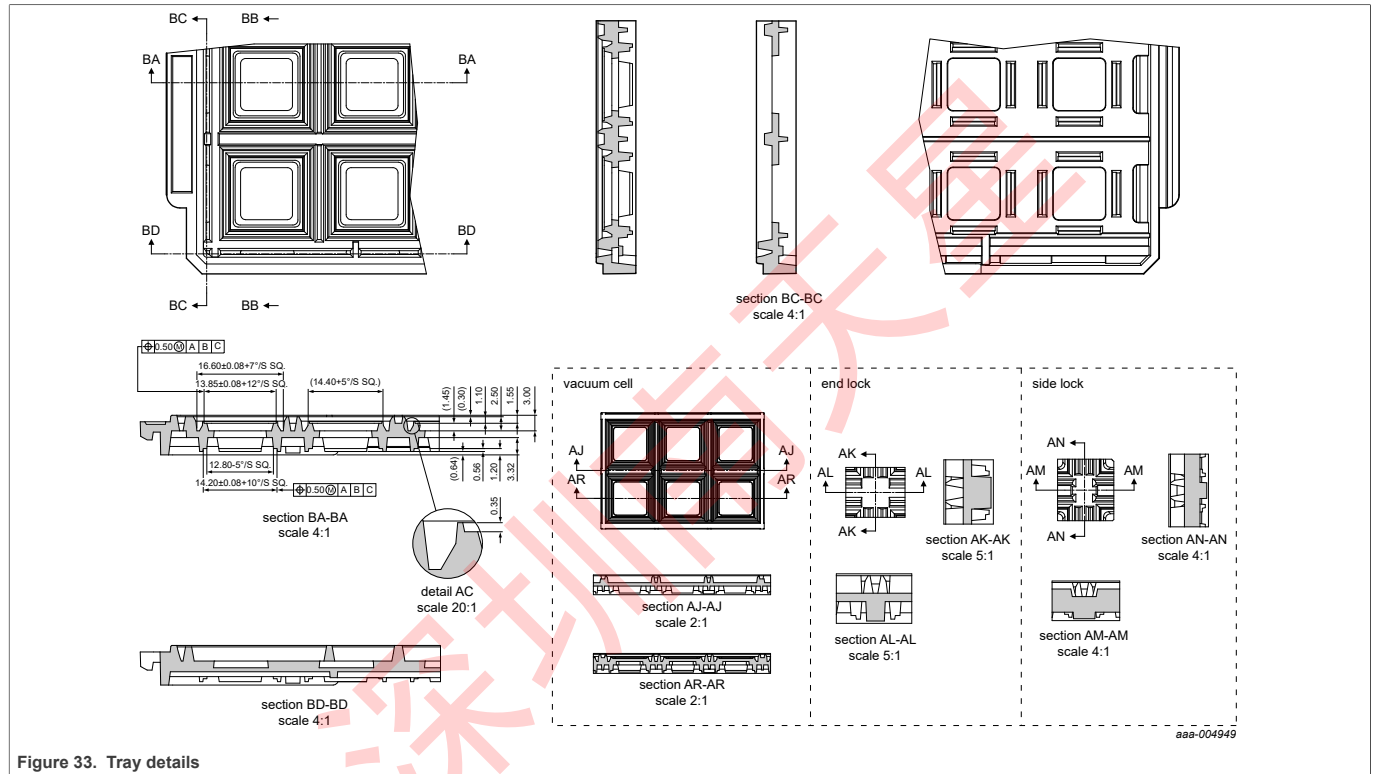


Figure 32. Packing information 5 tray



High-performance ICODE frontend SLRC610 and SLRC610 plus

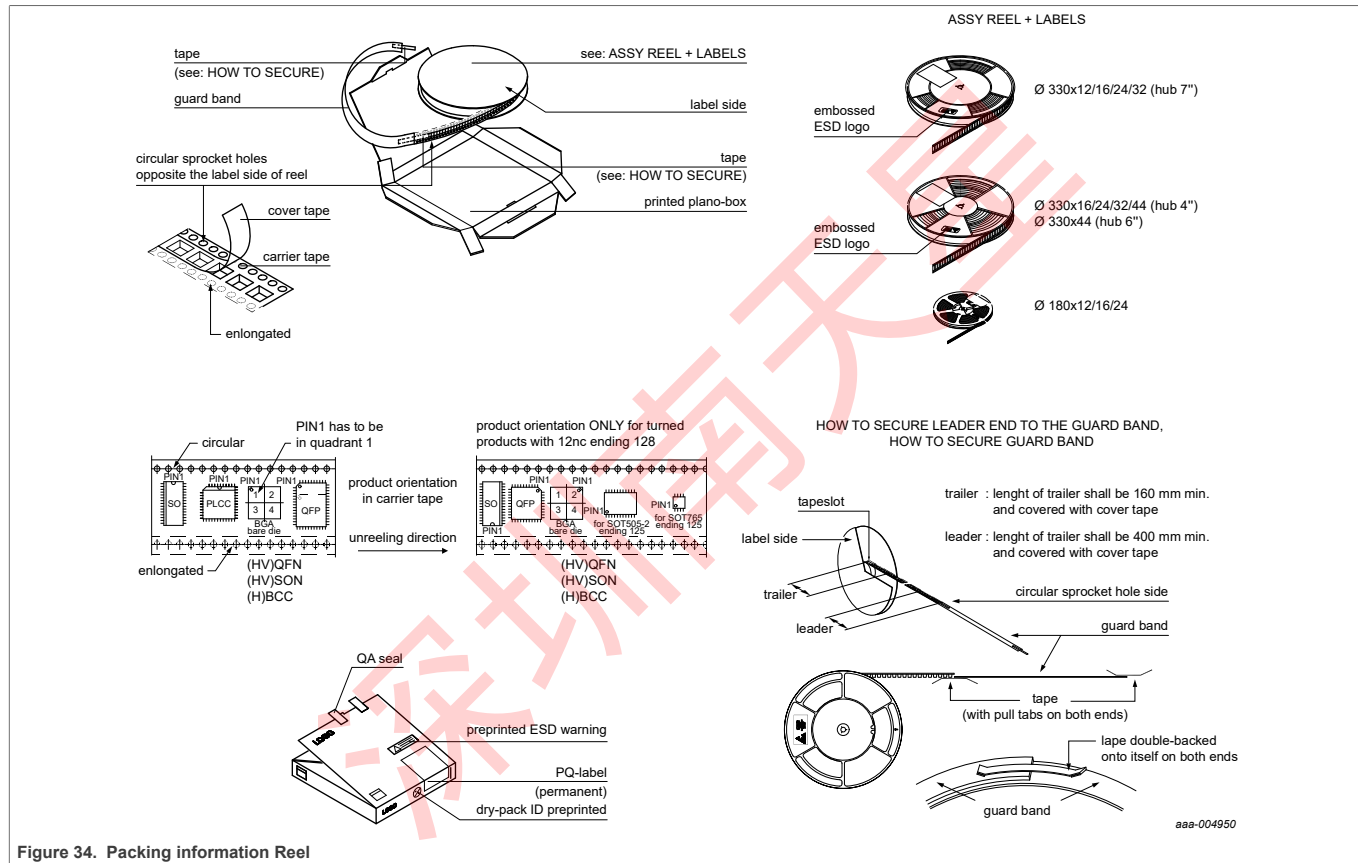


Figure 34. Packing information Reel

18 Appendix

18.1 LoadProtocol command register initialization

The RF configuration is loaded with the command Load Protocol. The tables below show the register configuration as performed by this command for each of the protocols. Antenna specific configurations are not covered by this register settings.

The SLRC61002 is not initialized for any antenna configuration. For this products the antenna configuration needs to be done by firmware.

The SLRC61003 antenna configuration in the user EEPROM is described in the [Section 18.2](#).

Table 201. Protocol Number 00: ISO/IEC15693 SLI 1/4 - SSC- 26

Value for register	Value (hex)
TxBitMod	00
RFU	00
TxDataCon	83
TxDataMod	04
TxSymFreq	40
TxSym0H	00
TxSym0L	00
TxSym1H	00
TxSym1L	00
TxSym2	84
TxSym3	02
TxSym10Len	00
TxSym32Len	37
TxSym10BurstCtrl	00
TxSym10Mod	00
TxSym32Mod	00
RxBitMod	00
RxEofSym	1D
RxSyncValH	00
RxSyncValL	01
RxSyncMod	00
RxMod	24
RxCorr	60
FabCal	F0

Table 202. Protocol Number 01: ISO/IEC15693 SLI 1/4 - SSC- 53

Value for register	Value (hex)
TxBitMod	00
RFU	00
TxDataCon	83
TxDataMod	04
TxSymFreq	40
TxSym0H	00
TxSym0L	00
TxSym1H	00
TxSym1L	00
TxSym2	84
TxSym3	02
TxSym10Len	00
TxSym32Len	37
TxSym10BurstCtrl	00
TxSym10Mod	00
TxSym32Mod	00
RxBitMod	00
RxEofSym	1D
RxSyncValH	00
RxSyncValL	01
RxSyncMod	00
RxMod	24
RxCorr	40
FabCal	F0

Table 203. Protocol Number 02: ISO/IEC15693 SLI 1/256 - DSC

Value for register	Value (hex)
TxBitMod	00
RFU	00
TxDataCon	83
TxDataMod	04
TxSymFreq	40
TxSym0H	00
TxSym0L	00
TxSym1H	00
TxSym1L	00

Table 203. Protocol Number 02: ISO/IEC15693 SLI 1/256 - DSC...continued

Value for register	Value (hex)
TxSym2	81
TxSym3	02
TxSym10Len	00
TxSym32Len	37
TxSym10BurstCtrl	00
TxSym10Mod	00
TxSym32Mod	00
RxBitMod	00
RxEofSym	1D
RxSyncValH	00
RxSyncValL	01
RxSyncMod	00
RxMod	26
RxCorr	60
FabCal	F0

Table 204. Protocol Number 03: EPC/UID - SSC -26

Value for register	Value (hex)
TxBitMod	80
RFU	00
TxDataCon	44
TxDataMod	00
TxSymFreq	44
TxSym0H	08
TxSym0L	22
TxSym1H	08
TxSym1L	28
TxSym2	8A
TxSym3	02
TxSym10Len	BB
TxSym32Len	37
TxSym10BurstCtrl	00
TxSym10Mod	00
TxSym32Mod	00
RxBitMod	08
RxEofSym	0B

Table 204. Protocol Number 03: EPC/UID - SSC -26...continued

Value for register	Value (hex)
RxSyncValH	00
RxSyncValL	00
RxSyncMod	08
RxMod	04
RxCorr	50
FabCal	F0

Table 205. Protocol Number 04: EPC-V2 - 2/424

Value for register	Value (hex)
TxBitMod	80
RFU	00
TxDataCon	C5
TxDataMod	00
TxSymFreq	05
TxSym0H	68
TxSym0L	41
TxSym1H	01
TxSym1L	A1
TxSym2	00
TxSym3	00
TxSym10Len	8E
TxSym32Len	00
TxSym10BurstCtrl	00
TxSym10Mod	00
TxSym32Mod	00
RxBitMod	08
RxEofSym	0B
RxSyncValH	00
RxSyncValL	01
RxSyncMod	04
RxMod	0C
RxCorr	40
FabCal	F0

Table 206. Protocol Number 05: EPC-V2 - 4/424

Value for register	Value (hex)
TxBitMod	80
RFU	00
TxDataCon	C5
TxDataMod	00
TxSymFreq	05
TxSym0H	68
TxSym0L	41
TxSym1H	01
TxSym1L	A1
TxSym2	00
TxSym3	00
TxSym10Len	8E
TxSym32Len	00
TxSym10BurstCtrl	00
TxSym10Mod	00
TxSym32Mod	00
RxBitMod	08
RxEofSym	0B
RxSyncValH	00
RxSyncValL	01
RxSyncMod	04
RxMod	0C
RxCorr	50
FabCal	F0

Table 207. Protocol Number 06: EPC-V2 - 2/848

Value for register	Value (hex)
TxBitMod	80
RFU	00
TxDataCon	C5
TxDataMod	00
TxSymFreq	05
TxSym0H	68
TxSym0L	41
TxSym1H	01
TxSym1L	A1

Table 207. Protocol Number 06: EPC-V2 - 2/848...continued

Value for register	Value (hex)
TxSym2	00
TxSym3	00
TxSym10Len	8E
TxSym32Len	00
TxSym10BurstCtrl	00
TxSym10Mod	00
TxSym32Mod	00
RxBitMod	08
RxEofSym	0B
RxSyncValH	00
RxSyncValL	01
RxSyncMod	04
RxMod	0C
RxCorr	88
FabCal	F0

Table 208. Protocol Number 07: EPC-V2 - 4/848

Value for register	Value (hex)
TxBitMod	80
RFU	00
TxDDataCon	C5
TxDDataMod	00
TxSymFreq	05
TxSym0H	68
TxSym0L	41
TxSym1H	01
TxSym1L	A1
TxSym2	00
TxSym3	00
TxSym10Len	8E
TxSym32Len	00
TxSym10BurstCtrl	00
TxSym10Mod	00
TxSym32Mod	00
RxBitMod	08
RxEofSym	0B

Table 208. Protocol Number 07: EPC-V2 - 4/848...continued

Value for register	Value (hex)
RxSyncValH	00
RxSyncValL	01
RxSyncMod	04
RxMod	0C
RxCorr	80
FabCal	F0

18.2 SLRC61003 EEPROM configuration

The SLRC61003 user EEPROM had been initialized with useful values for configuration of the chip using a typical 65x65mm antenna. This values stored in EEPROM can be used to configure the MFRC61003 with the command LoadReg. Typically, some of this entries will be required to be modified compared to the preset values to achieve the best RF performance for a specific antenna.

The registers 0x28...0x39 are relevant for configuration of the Antenna. For each supported protocol, a dedicated preset configuration is available. To ensure compatibility between products of the SLRC61003 family, all products use the same default settings which are initialized in EEPROM, even if some of this protocols are not supported by the MFRC61003 product (e.g. ISO/IEC14443-A, ISO14443-B) and cannot be used.

Alternatively, the registers can be initialized by individual register write commands.

Table 209. ISO/IEC14443-A 106 / MIFARE Classic

Value for register	EEPROM address (hex)	Value (hex)
DrvMode	C0	8E
TxAmp	C1	12
DrvCon	C2	39
TxI	C3	0A
TXCrcPreset	C4	18
RXCrcPreset	C5	18
TxDataNum	C6	0F
TxModWidth	C7	21
TxSym10BurstLen	C8	00
TxWaitCtrl	C9	C0
TxWaitLo	CA	12
TxFrameCon	CB	CF
RxSofD	CC	00
RxCtrl	CD	04
RxWait	CE	90
RxTreshold	CF	5C
Rcv	D0	12
RxAAna	D1	0A

Table 210. ISO/IEC14443-A 212/ MIFARE Classic

Value for register	EEPROM address (hex)	Value (hex)
DrvMode	D4	8E
TxAmp	D5	D2
DrvCon	D6	11
TxI	D7	0A
TXCrcPreset	D8	18
RXCrcPreset	D9	18
TxDataNum	DA	0F
TxModWidth	DB	10
TxSym10BurstLen	DC	00
TxWaitCtrl	DD	C0
TxWaitLo	DE	12
TxFrameCon	DF	CF
RxSofD	E0	00
RxCtrl	E1	05
RxWait	E2	90
RxTreshold	E3	3C
Rcv	E4	12
RxAna	E5	0B

Table 211. ISO/IEC14443-A 424/ MIFARE Classic

Value for register	EEPROM address (hex)	Value (hex)
DrvMode	E8	8F
TxAmp	E9	DE
DrvCon	EA	11
TxI	EB	0F
TXCrcPreset	EC	18
RXCrcPreset	ED	18
TxDataNum	EE	0F
TxModWidth	EF	07
TxSym10BurstLen	F0	00
TxWaitCtrl	F1	C0
TxWaitLo	F2	12
TxFrameCon	F3	CF
RxSofD	F4	00
RxCtrl	F5	06
RxWait	F6	90

Table 211. ISO/IEC14443-A 424/ MIFARE Classic...continued

Value for register	EEPROM address (hex)	Value (hex)
RxTreshold	F7	2B
Rcv	F8	12
RxAana	F9	0B

Table 212. ISO/IEC14443-A 848/ MIFARE Classic

Value for register	EEPROM address (hex)	Value (hex)
DrvMode	0100	8F
TxAmp	0101	DB
DrvCon	0102	21
Txl	0103	0F
TXCrcPreset	0104	18
RXCrcPreset	0105	18
TxDatNum	0106	0F
TxModWidth	0107	02
TxSym10BurstLen	0108	00
TxWaitCtrl	0109	C0
TxWaitLo	010A	12
TxFramCon	010B	CF
RxSofD	010C	00
RxCtrl	010D	07
RxWait	010E	90
RxTreshold	010F	3A
Rcv	0110	12
RxAana	0111	0B

Table 213. ISO/IEC14443-B 106

Value for register	EEPROM address (hex)	Value (hex)
DrvMode	0114	8F
TxAmp	0115	0E
DrvCon	0116	09
Txl	0117	0A
TXCrcPreset	0118	7B
RXCrcPreset	0119	7B
TxDatNum	011A	08
TxModWidth	011B	00

Table 213. ISO/IEC14443-B 106 ...continued

Value for register	EEPROM address (hex)	Value (hex)
TxSym10BurstLen	011C	00
TxWaitCtrl	011D	01
TxWaitLo	011E	00
TxFrameCon	011F	05
RxSofD	0120	00
RxCtrl	0121	34
RxWait	0122	90
RxTreshold	0123	6F
Rcv	0124	12
RxAana	0125	03

Table 214. ISO/IEC14443-B 212

Value for register	EEPROM address (hex)	Value (hex)
DrvMode	0128	8F
TxAmp	0129	0E
DrvCon	012A	09
TxI	012B	0A
TXCrcPreset	012C	7B
RXCrcPreset	012D	7B
TxDataNum	012E	08
TxModWidth	012F	00
TxSym10BurstLen	0130	00
TxWaitCtrl	0131	01
TxWaitLo	0132	00
TxFrameCon	0133	05
RxSofD	0134	00
RxCtrl	0135	35
RxWait	0136	90
RxTreshold	0137	3F
Rcv	0138	12
RxAana	0139	03

Table 215. ISO/IEC14443-B 424

Value for register	EEPROM address (hex)	Value (hex)
DrvMode	0140	8F

Table 215. ISO/IEC14443-B 424...continued

Value for register	EEPROM address (hex)	Value (hex)
TxAmp	0141	0F
DrvCon	0142	09
TxI	0143	0A
TXCrcPreset	0144	7B
RXCrcPreset	0145	7B
TxDDataNum	0146	08
TxModWidth	0147	00
TxSym10BurstLen	0148	00
TxWaitCtrl	0149	01
TxWaitLo	014A	00
TxFrameCon	014B	05
RxSofD	014C	00
RxCtrl	014D	36
RxWait	014E	90
RxTreshold	014F	3F
Rcv	0150	12
RxAAna	0151	03

Table 216. ISO/IEC14443-B 848

Value for register	EEPROM address (hex)	Value (hex)
DrvMode	0154	8F
TxAmp	0155	10
DrvCon	0156	09
TxI	0157	0A
TXCrcPreset	0158	7B
RXCrcPreset	0159	7B
TxDDataNum	015A	08
TxModWidth	015B	00
TxSym10BurstLen	015C	00
TxWaitCtrl	015D	01
TxWaitLo	015E	00
TxFrameCon	015F	05
RxSofD	0160	00
RxCtrl	0161	37
RxWait	0162	90
RxTreshold	0163	3F

Table 216. ISO/IEC14443-B 848...continued

Value for register	EEPROM address (hex)	Value (hex)
Rcv	0164	12
RxAAna	0165	03

The following EEPROM values for initializing the Receiver cannot be used on the MFRC63103. They are provided for compatibility reasons between the products of the CLRC66303 product family

Table 217. JIS X 6319-4 (FeliCa) 212

Value for register	EEPROM address (hex)	Value (hex)
DrvMode	0168	8F
TxAmp	0169	17
DrvCon	016A	01
TxI	016B	06
TXCrcPreset	016C	09
RXCrcPreset	016D	09
TxDataNum	016E	08
TxModWidth	016F	00
TxSym10BurstLen	0170	03
TxWaitCtrl	0171	80
TxWaitLo	0172	12
TxFrameCon	0173	01
RxSofD	0174	00
RxCtrl	0175	05
RxWait	0176	86
RxTreshold	0177	3F
Rcv	0178	12
RxAAna	0179	02

Table 218. JIS X 6319-4 (FeliCa) 424

Value for register	EEPROM address (hex)	Value (hex)
DrvMode	0180	8F
TxAmp	0181	17
DrvCon	0182	01
TxI	0183	06
TXCrcPreset	0184	09
RXCrcPreset	0185	09
TxDataNum	0186	08
TxModWidth	0187	00

Table 218. JIS X 6319-4 (FeliCa) 424...continued

Value for register	EEPROM address (hex)	Value (hex)
TxSym10BurstLen	0188	03
TxWaitCtrl	0189	80
TxWaitLo	018A	12
TxFrameCon	018B	01
RxSofD	018C	00
RxCtrl	018D	06
RxWait	018E	86
RxTreshold	018F	3F
Rcv	0190	12
RxAana	0191	02

Table 219. ISO/IEC15693 SLI 1/4 - SSC- 26

Value for register	EEPROM address (hex)	Value (hex)
DrvMode	0194	89
TxAmp	0195	10
DrvCon	0196	09
TxI	0197	0A
TXCrcPreset	0198	7B
RXCrcPreset	0199	7B
TxDataNum	019A	08
TxModWidth	019B	00
TxSym10BurstLen	019C	00
TxWaitCtrl	019D	88
TxWaitLo	019E	A9
TxFrameCon	019F	0F
RxSofD	01A0	00
RxCtrl	01A1	02
RxWait	01A2	9C
RxTreshold	01A3	74
Rcv	01A4	12
RxAana	01A5	07

Table 220. ISO/IEC15693 SLI 1/4 - SSC-53

Value for register	EEPROM address (hex)	Value (hex)
DrvMode	01A8	89

Table 220. ISO/IEC15693 SLI 1/4 - SSC-53...continued

Value for register	EEPROM address (hex)	Value (hex)
TxAmp	01A9	10
DrvCon	01AA	09
TxI	01AB	0A
TXCrcPreset	01AC	7B
RXCrcPreset	01AD	7B
TxDataNum	01AE	08
TxModWidth	016F	00
TxSym10BurstLen	01B0	00
TxWaitCtrl	01B1	88
TxWaitLo	01B2	A9
TxFrameCon	01B3	0F
RxSofD	01B4	00
RxCtrl	01B5	03
RxWait	01B6	9C
RxTreshold	01B7	74
Rcv	01B8	12
RxAna	01B9	03

Table 221. ISO/IEC15693 SLI 1/256 - DSC

Value for register	EEPROM address (hex)	Value (hex)
DrvMode	01C0	8E
TxAmp	01C1	10
DrvCon	01C2	01
TxI	01C3	06
TXCrcPreset	01C4	7B
RXCrcPreset	01C5	7B
TxDataNum	01C6	08
TxModWidth	01C7	00
TxSym10BurstLen	01C8	00
TxWaitCtrl	01C9	88
TxWaitLo	01CA	A9
TxFrameCon	01CB	0F
RxSofD	01CC	00
RxCtrl	01CD	02
RxWait	01CE	10
RxTreshold	01CF	44

Table 221. ISO/IEC15693 SLI 1/256 - DSC...continued

Value for register	EEPROM address (hex)	Value (hex)
Rcv	01D0	12
RxAAna	01D1	06

Table 222. EPC/UID - SSC -26

Value for register	EEPROM address (hex)	Value (hex)
DrvMode	01D4	8F
TxAmp	01D5	10
DrvCon	01D6	01
TxI	01D7	06
TXCrcPreset	01D8	74
RXCrcPreset	01D9	7B
TxDataNum	01DA	18
TxModWidth	01DB	00
TxSym10BurstLen	01DC	00
TxWaitCtrl	01DD	50
TxWaitLo	01DE	5C
TxFrameCon	01DF	0F
RxSofD	01E0	00
RxCtrl	01E1	03
RxWait	01E2	10
RxTreshold	01E3	4E
Rcv	01E4	12
RxAAna	01E5	06

Table 223. EPC-V2 - 2/424

Value for register	EEPROM address (hex)	Value (hex)
DrvMode	01E8	8F
TxAmp	01E9	10
DrvCon	01EA	09
TxI	01EB	0A
TXCrcPreset	01EC	11
RXCrcPreset	01ED	91
TxDataNum	01EE	09
TxModWidth	01EF	00
TxSym10BurstLen	01F0	00

Table 223. EPC-V2 - 2/424...continued

Value for register	EEPROM address (hex)	Value (hex)
TxWaitCtrl	01F1	80
TxWaitLo	01F2	12
TxFrameCon	01F3	01
RxSofD	01F4	00
RxCtrl	01F5	03
RxWait	01F6	A0
RxTreshold	01F7	56
Rcv	01F8	12
RxAAna	01F9	0F

Table 224. EPC-V2 - 4/424

Value for register	EEPROM address (hex)	Value (hex)
DrvMode	0200	8F
TxAmp	0201	10
DrvCon	0202	09
Txl	0203	0A
TXCrcPreset	0204	11
RXCrcPreset	0205	91
TxDataNum	0206	09
TxModWidth	0207	00
TxSym10BurstLen	0208	00
TxWaitCtrl	0209	80
TxWaitLo	020A	12
TxFrameCon	020B	01
RxSofD	020C	00
RxCtrl	020D	03
RxWait	020E	A0
RxTreshold	020F	56
Rcv	0210	12
RxAAna	0211	0F

Table 225. EPC-V2 - 2/848

Value for register	EEPROM address (hex)	Value (hex)
DrvMode	0214	8F
TxAmp	0215	D0

Table 225. EPC-V2 - 2/848...continued

Value for register	EEPROM address (hex)	Value (hex)
DrvCon	0216	01
TxI	0217	0A
TXCrcPreset	0218	11
RXCrcPreset	0219	91
TxDataNum	021A	09
TxModWidth	021B	00
TxSym10BurstLen	021C	00
TxWaitCtrl	021D	80
TxWaitLo	021E	12
TxFrameCon	021F	01
RxSofD	0220	00
RxCtrl	0221	05
RxWait	0222	A0
RxTreshold	0223	26
Rcv	0224	12
RxAAna	0225	0E

Table 226. EPC-V2 - 4/848

Value for register	EEPROM address (hex)	Value (hex)
DrvMode	0228	8F
TxAmp	0229	D0
DrvCon	022A	01
TxI	022B	0A
TXCrcPreset	022C	11
RXCrcPreset	022D	91
TxDataNum	022E	09
TxModWidth	022F	00
TxSym10BurstLen	0230	00
TxWaitCtrl	0231	80
TxWaitLo	0232	12
TxFrameCon	0233	01
RxSofD	0234	00
RxCtrl	0235	05
RxWait	0236	A0
RxTreshold	0237	26
Rcv	0238	12

Table 226. EPC-V2 - 4/848...continued

Value for register	EEPROM address (hex)	Value (hex)
RxAAna	0239	0E

Table 227. Jewel

Value for register	EEPROM address (hex)	Value (hex)
DrvMode	0240	8E
TxAmp	0241	15
DrvCon	0242	11
TxI	0243	06
TXCrcPreset	0244	18
RXCrcPreset	0245	18
TxDataNum	0246	0F
TxModWidth	0247	20
TxSym10BurstLen	0248	00
TxWaitCtrl	0249	40
TxWaitLo	024A	09
TxFrameCon	024B	4F
RxSofD	024C	00
RxCtrl	024D	04
RxWait	024E	8F
RxTreshold	024F	32
Rcv	0250	12
RxAAna	0251	0A

Table 228. ISO/IEC14443 - B 106 EMVCo Optimized

Value for register	EEPROM address (hex)	Value (hex)
DrvMode	0254	8F
TxAmp	0255	0E
DrvCon	0256	09
TxI	0257	0A
TXCrcPreset	0258	7B
RXCrcPreset	0259	7B
TxDataNum	025A	08
TxModWidth	025B	00
TxSym10BurstLen	025C	00
TxWaitCtrl	025D	01

Table 228. ISO/IEC14443 - B 106 EMVCo Optimized...continued

Value for register	EEPROM address (hex)	Value (hex)
TxWaitLo	025E	00
TxFrameCon	025F	05
RxSofD	0260	00
RxCtrl	0261	34
RxWait	0262	90
RxTreshold	0263	9F
Rcv	0264	12
RxAAna	0265	03



19 Abbreviations

Table 229. Abbreviations

Acronym	Description
ADC	Analog-to-Digital Converter
BPSK	Binary Phase Shift Keying
CRC	Cyclic Redundancy Check
CW	Continuous Wave
EGT	Extra Guard Time
EMC	Electro Magnetic Compatibility
EMD	Electro Magnetic Disturbance
EOF	End Of Frame
EPC	Electronic Product Code
ETU	Elementary Time Unit
GPIO	General Purpose Input/Output
HBM	Human Body Model
I ² C	Inter-Integrated Circuit
IRQ	Interrupt Request
LFO	Low Frequency Oscillator
LPCD	Low-Power Card Detection
LSB	Least Significant Bit
MISO	Master In Slave Out
MOSI	Master Out Slave In
MSB	Most Significant Bit
NRZ	Not Return to Zero
NSS	Not Slave Select
PCD	Proximity Coupling Device
PLL	Phase-Locked Loop
RZ	Return To Zero
RX	Receiver
SAM	Secure Access Module
SOF	Start Of Frame
SPI	Serial Peripheral Interface
SW	Software
TTimer	Timing of the clk period
TX	Transmitter
UART	Universal Asynchronous Receiver Transmitter
UID	Unique IDentification

Table 229. Abbreviations...continued

Acronym	Description
VCO	Voltage Controlled Oscillator

深圳南天星

20 References

[1]

Application note AN11019

CLRC663, MFRC630, MFRC631, SLRC610 Antenna Design Guide

[2]

Application note AN11783

CLRC663 plus Low Power Card Detection

深圳南天星

21 Revision history

Table 230. Revision history

Document ID	Release date	Data sheet status	Change notice	Supersedes
SLRC610 v. 5.1	20240103	Product data sheet	-	SLRC610 v. 5.0
Modifications:	<ul style="list-style-type: none"> • Table 195 "Operating conditions SLRC61001, SLRC61002" and Table 196 "Operating conditions SLRC61003": Added the note "A PVDD voltage higher than 5.0 V might lead to an increased current consumption during Power-down mode." 			
SLRC610 v. 5.0	20210623	Product data sheet	-	SLRC610 v. 4.9
Modifications:	<ul style="list-style-type: none"> • Section 5 "Ordering information": type number SLRC61002HN, 151 added • Table 28 "EEPROM memory organization": corrected Section 4: 112 to 127 • Section 8.10.3.8 "WriteE2PAGE command": corrected into Parameter2..65 • Table 42 "Behavior of register bits and their designation": description of RFU updated • Table 141 "TxSym10BurstLen bits": updated • Table 171 "Setting for the output divider ratio PLLDiv_Out [7:0]": value 255 added • Table 191 "SigOut bits": description of Bit 3 to 0 updated • Table 195 "Operating conditions SLRC61001, SLRC61002": operating ambient temperatures corrected 			
SLRC610 v. 4.9	20201201	Product data sheet	-	SLRC610 v. 4.8
Modifications:	<ul style="list-style-type: none"> • Table 22 "Boundary scan path of the SLRC610": Cell BC_4 corrected 			
SLRC610 v. 4.8	20200701	Product data sheet	-	SLRC610 v. 4.7
SLRC610 v. 4.7	20180912	Product data sheet	-	SLRC610 v. 4.6
SLRC610 v. 4.6	20180912	Product data sheet	-	SLRC610 v. 4.5
SLRC610 v. 4.5	20180627	Product data sheet	-	SLRC610 v. 4.4
SLRC610 v. 4.4	20171219	Product data sheet	-	SLRC610 v. 4.3
SLRC610 v. 4.3	20170801	Product data sheet	-	SLRC610 v. 4.2
SLRC610 v. 4.2	20160427	Product data sheet	-	SLRC610 v.4.1
SLRC610 v. 4.1	20160211	Product data sheet	-	SLRC610 v.3.3
SLRC610 v.3.3	20140204	Product data sheet		SLRC610 v.3.2
SLRC610 v.3.2	20130312	Product data sheet	-	SLRC610 v.3.1
SLRC610 v.3.1	20120906	Product data sheet	-	-

Legal information

Data sheet status

Document status ^{[1][2]}	Product status ^[3]	Definition
Objective [short] data sheet	Development	This document contains data from the objective specification for product development.
Preliminary [short] data sheet	Qualification	This document contains data from the preliminary specification.
Product [short] data sheet	Production	This document contains the product specification.

[1] Please consult the most recently issued document before initiating or completing a design.

[2] The term 'short data sheet' is explained in section "Definitions".

[3] The product status of device(s) described in this document may have changed since this document was published and may differ in case of multiple devices. The latest product status information is available on the Internet at URL <https://www.nxp.com>.

Definitions

Draft — A draft status on a document indicates that the content is still under internal review and subject to formal approval, which may result in modifications or additions. NXP Semiconductors does not give any representations or warranties as to the accuracy or completeness of information included in a draft version of a document and shall have no liability for the consequences of use of such information.

Short data sheet — A short data sheet is an extract from a full data sheet with the same product type number(s) and title. A short data sheet is intended for quick reference only and should not be relied upon to contain detailed and full information. For detailed and full information see the relevant full data sheet, which is available on request via the local NXP Semiconductors sales office. In case of any inconsistency or conflict with the short data sheet, the full data sheet shall prevail.

Product specification — The information and data provided in a Product data sheet shall define the specification of the product as agreed between NXP Semiconductors and its customer, unless NXP Semiconductors and customer have explicitly agreed otherwise in writing. In no event however, shall an agreement be valid in which the NXP Semiconductors product is deemed to offer functions and qualities beyond those described in the Product data sheet.

Disclaimers

Limited warranty and liability — Information in this document is believed to be accurate and reliable. However, NXP Semiconductors does not give any representations or warranties, expressed or implied, as to the accuracy or completeness of such information and shall have no liability for the consequences of use of such information. NXP Semiconductors takes no responsibility for the content in this document if provided by an information source outside of NXP Semiconductors.

In no event shall NXP Semiconductors be liable for any indirect, incidental, punitive, special or consequential damages (including - without limitation - lost profits, lost savings, business interruption, costs related to the removal or replacement of any products or rework charges) whether or not such damages are based on tort (including negligence), warranty, breach of contract or any other legal theory.

Notwithstanding any damages that customer might incur for any reason whatsoever, NXP Semiconductors' aggregate and cumulative liability towards customer for the products described herein shall be limited in accordance with the Terms and conditions of commercial sale of NXP Semiconductors.

Right to make changes — NXP Semiconductors reserves the right to make changes to information published in this document, including without limitation specifications and product descriptions, at any time and without notice. This document supersedes and replaces all information supplied prior to the publication hereof.

Suitability for use — NXP Semiconductors products are not designed, authorized or warranted to be suitable for use in life support, life-critical or safety-critical systems or equipment, nor in applications where failure or malfunction of an NXP Semiconductors product can reasonably be expected to result in personal injury, death or severe property or environmental damage. NXP Semiconductors and its suppliers accept no liability for inclusion and/or use of NXP Semiconductors products in such equipment or applications and therefore such inclusion and/or use is at the customer's own risk.

Applications — Applications that are described herein for any of these products are for illustrative purposes only. NXP Semiconductors makes no representation or warranty that such applications will be suitable for the specified use without further testing or modification.

Customers are responsible for the design and operation of their applications and products using NXP Semiconductors products, and NXP Semiconductors accepts no liability for any assistance with applications or customer product design. It is customer's sole responsibility to determine whether the NXP Semiconductors product is suitable and fit for the customer's applications and products planned, as well as for the planned application and use of customer's third party customer(s). Customers should provide appropriate design and operating safeguards to minimize the risks associated with their applications and products.

NXP Semiconductors does not accept any liability related to any default, damage, costs or problem which is based on any weakness or default in the customer's applications or products, or the application or use by customer's third party customer(s). Customer is responsible for doing all necessary testing for the customer's applications and products using NXP Semiconductors products in order to avoid a default of the applications and the products or of the application or use by customer's third party customer(s). NXP does not accept any liability in this respect.

Limiting values — Stress above one or more limiting values (as defined in the Absolute Maximum Ratings System of IEC 60134) will cause permanent damage to the device. Limiting values are stress ratings only and (proper) operation of the device at these or any other conditions above those given in the Recommended operating conditions section (if present) or the Characteristics sections of this document is not warranted. Constant or repeated exposure to limiting values will permanently and irreversibly affect the quality and reliability of the device.

Terms and conditions of commercial sale — NXP Semiconductors products are sold subject to the general terms and conditions of commercial sale, as published at <https://www.nxp.com/profile/terms>, unless otherwise agreed in a valid written individual agreement. In case an individual agreement is concluded only the terms and conditions of the respective agreement shall apply. NXP Semiconductors hereby expressly objects to applying the customer's general terms and conditions with regard to the purchase of NXP Semiconductors products by customer.

No offer to sell or license — Nothing in this document may be interpreted or construed as an offer to sell products that is open for acceptance or the grant, conveyance or implication of any license under any copyrights, patents or other industrial or intellectual property rights.

High-performance ICODE frontend SLRC610 and SLRC610 plus

快速参考数据—快速参考数据是本文档的“限制值和特征”部分中给出的产品数据的摘录，因此不完整、详尽或具有法律约束力。

出口管制—本文件以及本文所述项目可能受出口管制法规的约束。出口可能需要事先获得主管当局的授权。

适用于非汽车合格产品的适用性—除非本文件明确说明该特定的恩智浦半导体产品符合汽车资格，否则该产品不适合汽车使用。它既不合格，也不根据汽车测试或应用要求进行测试。NXP Semiconductors 对在汽车设备或应用中包含和/或使用非汽车合格产品不承担任何责任。

如果客户根据汽车规格和标准使用产品进行设计和用于汽车应用，客户 (a) 应在没有 NXP 半导体保修的情况下将产品用于此类汽车应用，使用和规格，以及 (b) 每当客户将产品用于超出 NXP 半导体规格的汽车应用时，此类使用应完全由客户自行承担风险，以及 (c) 客户对 NXP Semiconductors 的任何赔偿客户设计和将产品用于超出恩智浦半导体标准保修和恩智浦半导体产品规格的汽车应用而导致的损坏或产品索赔失败。

翻译—文件的非英语（翻译）版本，包括该文件中的法律信息，仅供参考。如果翻译版本和英文版本之间有任何差异，应以英文版本为准。

安全—客户理解，所有 NXP 产品都可能存在未识别的漏洞，或可能支持具有已知限制的既定安全标准或规范。客户负责其应用程序的设计和操作系统 D 产品在其整个生命周期中，以减少这些漏洞对客户应用程序和产品的影响。客户的责任还延伸到 NXP 产品支持的其他开放和/或专有技术，供客户使用的应用程序。NXP 对任何漏洞不承担任何责任。客户应定期检查 NXP 的安全更新，并进行适当的跟进。

客户应选择具有最符合预期应用规则、法规和标准的安全功能的产品，并就其产品做出最终设计决定，并全权负责遵守所有法律、法规，以及有关其产品的安全相关要求，无论 NXP 可能提供的任何信息或支持。

SLRC610

本文件中提供的所有信息均受法律免责声明的约束。

© 2024 NXP B.V.保留所有权利。

桌子

NXP 有一个产品安全事件响应小组 (PSIRT) (可联系到 PSIRT@nxp.com) 管理 NXP 产品安全漏洞的调查、报告和解决方案发布。

NXP B.V.— NXP B.V.不是运营公司，也不分销或销售产品。

许可证

购买采用 NFC 技术的 NXP IC—购买 NXP

符合近场通信 (NFC) 标准之一的半导体 IC ISO/IEC 18092 和 ISO/IEC 21481 不传达因实施任何这些标准而受到侵犯的任何专利权的默示许可。购买 NXP Semiconductors IC 不包括任何 NXP 专利 (或其他知识产权) 的许可，涵盖这些产品与其他产品 (无论是硬件还是软件) 的组合。

商标

注意：所有引用的品牌、产品名称、服务名称和商标均为其各自所有者的财产。

NXP—文字标记和徽标是 NXP B.V.的商标。

DESFire—是 NXP B.V.的商标。

ICODE 和 I-CODE—是 NXP B.V.的商标。

I2C 巴士—徽标是 NXP B.V.的商标。

MIFARE—是 NXP B.V.的商标。

MIFARE 经典—是 NXP B.V.的商标。

MIFARE Plus—是 NXP B.V.的商标。

MIFARE 超轻型—是 NXP B.V.的商标。

选项卡。快速参考数据 SLRC61002I	选项卡。HostCtrl 寄存器 (地址 01h);	53
1.	46.	
选项卡。快速参考数据 SLRC61003I	选项卡。HostCtrl	
2.	位	54
选项卡。订购信息	选项卡。FIFOControl 寄存器 (地址 02h);	54
3.	48.	
选项卡。引脚描述	选项卡。FIFOControl 位	54
4.	49.	
选项卡。中断源	选项卡。水位登记册 (地址 03h);	55
5.	50.	
选项卡。ISO/IEC 的通信概述	选项卡。水位位	55
6.	51.	
15693 读者/作家读者标签	选项卡。FIFOLength 寄存器 (地址 04h); 重置	
选项卡。ISO/IEC 的通信概述	价	
7.	值	
15693 读者/作家标签到读者	00h	55
选项卡。EPC/UID 的通信概述	选项卡。FIFOLength 位	55
8.	53.	
选项卡。用于检测的连接方案	选项卡。FIFO 数据寄存器 (地址 05h);	56
9.	54.	
不同的接口类型	选项卡。FIFO 数据位	56
选项卡。MOSI 和 MISO 的字节顺序	55.	
10.	选项卡。IRQ0 寄存器 (地址 06h); 重置值:	
选项卡。MOSI 和 MISO 的字节顺序	00h	56
11.	选项卡。IRQ0	
选项卡。地址字节 0 寄存器; 地址 N	位	56
12.	选项卡。IRQ1 寄存器 (地址 07h)	57
选项卡。时间条件 SPI	58.	
13.	选项卡。IRQ1	
选项卡。BR_T0 和 BR_T1 的设置	59.	
14.	位	57
选项卡。可选传输速度	选项卡。IRQ0En 寄存器 (地址 08h)	58
15.	60.	
选项卡。UART 框架	选项卡。IRQ0En 位	58
16.	61.	
选项卡。读取数据的字节顺序	选项卡。IRQ1EN 登记册 (地址 09h);	58
17.	62.	
选项卡。写入数据的字节顺序	选项卡。IRQ1EN 位	58
18.	63.	
选项卡。计时参数 I2CL	选项卡。错误寄存器 (地址 0Ah)	59
19.	64.	
选项卡。SPI SAM 连接	选项卡。错	误
20.	65.	
选项卡。边界扫描命令	位	59
21.	选项卡。状态登记册 (地址 0Bh)	60
选项卡。SLRC610 的边界扫描路径	66.	
22.	选项卡。状	态
选项卡。TX1 和 TX2 的设置	67.	
23.	位	60
选项卡。设置残余载流子和调制	选项卡。RxBitCtrl 寄存器 (地址 0Ch);	60
24.	68.	
索引: TXamp.set_residual	选项卡。RxBitCtrl 位	61
选项卡。单或差分配置	69.	
25.	选项卡。RxColl 寄存器 (地址 0Dh);	61
接	70.	
器	选项卡。RxColl	
	位	61
	71.	

选项卡。 SLRC610 有源天线概念 (I 26. 置.....35	选项卡。 TControl 寄存器 (地址 0Eh)62
选项卡。 SLRC610 有源天线概念 27. 置35	选项卡。 TControl 位62
选项卡。 EEPROM 内存组织 28.	选项卡。 T0Control 寄存器 (地址 0Fh);62
选项卡。 生产区域 (第 0 页) 29.	选项卡。 T0 控制位63
选项卡。 CLRC663 系列的产品 ID 概 30.	选项卡。 T0ReloadHi 寄存器 (地址 10h);63
选项卡。 配置区域 (第 0 页) 31.	选项卡。 T0ReloadHi bits63
选项卡。 接口字节 32.	选项卡。 T0ReloadLo 寄存器 (地址 11h);63
选项卡。 接口位 33.	选项卡。 T0ReloadLo 位64
选项卡。 寄存器集中的 Tx 和 Rx 安插 34. 协 议	选项卡。 T0CounterValHi 寄存器 (地址 12h)64
选项卡。 注册重置值 (Hex.) (第 0 页) 35.	选项卡。 T0CounterValHi 位.....64
选项卡。 注册重置值 (Hex.) (第 1 页) 36. 第	选项卡。 T0CounterValLo 寄存器 (地址 13h)64
选项卡。 水晶要求建议.....42	选项卡。 T0CounterValLo 位.....64
选项卡。 选定频率的分频器值 37.	选项卡。 T1Control 寄存器 (地址 14h);64
选项卡。 使用整数 N PLL 38.	选项卡。 T1 控制位65
选项卡。 命令集 39.	选项卡。 T0ReloadHi 寄存器 (地址 15h)65
选项卡。 预定义协议概述 RX 40.	选项卡。 T1ReloadHi 位65
选项卡。 预定义协议概述 TX 41.	选项卡。 T1ReloadLo 寄存器 (地址 16h)65
选项卡。 寄存器位的行为及其 42. 指定38	选项卡。 T1ReloadValLo 位66
选项卡。 SLRC610 寄存器概述 43.	选项卡。 T1CounterValHi 寄存器 (地址 17h)66
选项卡。 命令寄存器 (地址 00h) ... 44.	选项卡。 T1CounterValHi 位.....66
选项卡。 命令位 45.	选项卡。 T1CounterValLo 寄存器 (地址 18h)66
	选项卡。 T1CounterValLo 位.....66
	选项卡。 T2Control 寄存器 (地址 19h)66
	选项卡。 T2 控制位67
	选项卡。 T2ReloadHi 寄存器 (地址 1Ah)67
	选项卡。 T2 重新加载位67
	选项卡。 T2ReloadLo 寄存器 (地址 1Bh)67
	98.

选项卡。 T2ReloadLo 位68
99.



选项卡。 T2CounterValHi 寄存器 (地址 100).....	选项卡。 RxAna 寄存器 (地址 39h)82
选项卡。 T2CounterValHi 位.....	选项卡。 RxAna 位82
选项卡。 T2CounterValLo 寄存器 (地址 101).....	选项卡。 增益和高通角寄存器的影响
选项卡。 T2CounterValLo 位.....	选项卡。 设置82
选项卡。 T3Control 寄存器 (地址 1E).....	选项卡。 串行速度寄存器 (地址 3Bh); 重置
选项卡。 T3 控制位83	选项卡。 值 : 7Ah83
选项卡。 T3ReloadHi 寄存器 (地址 105).....	选项卡。 SerialSpeed 位83
选项卡。 T3ReloadHi bits83	选项卡。 RS232 速度设置83
选项卡。 T3ReloadLo 寄存器 (地址 106).....	选项卡。 LFO_Trim 寄存器 (地址 3Ch)84
选项卡。 T3ReloadLo 位84	选项卡。 LFO_Trim 位84
选项卡。 T3CounterValHi 寄存器 (地址 107).....	选项卡。 PLL_Ctrl 寄存器 (address3Dh)84
选项卡。 T3CounterValHi 位84	选项卡。 PLL_Ctrl 寄存器
选项卡。 T3CounterValLo 寄存器 (地址 108).....	选项卡。 位84
选项卡。 T3CounterValLo 位84	选项卡。 设置反馈分隔符 PLLDiv_FB
选项卡。 T4Control 寄存器 (地址 23).....	选项卡。 [1:0]85
选项卡。 T4 控制位85	选项卡。 PLLDiv_Out register (地址 3Eh)85
选项卡。 T4ReloadHi 寄存器 (地址 110).....	选项卡。 PLLDiv_Out 位85
选项卡。 T4ReloadHi 位85	选项卡。 设置输出分配器比 PLLDiv_
选项卡。 T4ReloadLo 寄存器 (地址 111).....	选项卡。 出 [7:0]85
选项卡。 T4ReloadLo 位85	选项卡。 LPCD_QMin 寄存器 (地址 3Fh)86
选项卡。 T4CounterValHi 寄存器 (地址 112).....	选项卡。 LPCD_QMin 位86
选项卡。 T4CounterValHi 位86	选项卡。 LPCD_QMax 寄存器 (地址 40h)86
选项卡。 T4CounterValLo 寄存器 (地址 113).....	选项卡。 LPCD_QMax 位86
选项卡。 T4CounterValLo 位86	选项卡。 LPCD_I_Min 寄存器 (地址 41h)86
选项卡。 T4Control 寄存器 (地址 23).....	选项卡。 LPCD_I_Min 位.....87
选项卡。 T4 控制位85	选项卡。 LPCD_Result_I 注册 (地址 42h)87
选项卡。 T4ReloadHi 寄存器 (地址 116).....	选项卡。 LPCD_I_Result 位87
选项卡。 T4ReloadHi 位87	选项卡。 LPCD_Result_Q 寄存器 (地址 43h)87
选项卡。 T4ReloadLo 寄存器 (地址 117).....	选项卡。 LPCD_Q_Result 位87
选项卡。 T4ReloadLo 位87	选项卡。 LPCD_Options 寄存器 (地址 3Ah)88
选项卡。 T4CounterValHi 寄存器 (地址 118).....	选项卡。 LPCD_Options88
选项卡。 T4CounterValHi 位.....88	选项卡。 LPCD_Options 寄存器 (地址 44h)88
选项卡。 T4CounterValLo 寄存器 (地址 119).....	选项卡。 PadEn 寄存器 (地址 44h)88
选项卡。 T4CounterValLo 位88	选项卡。 184.
选项卡。 DrvMode 寄存器 (地址 28).....	
选项卡。 DrvMode 位88	
选项卡。 TxAmp 寄存器 (地址 29h).....	
选项卡。 TxAmp 位88	

选项卡。 TxCon 寄存器 (地址 2Ah)	选项卡。 PadEn
128.	位88
选项卡。 TxCon	选项卡。 PadOut 寄存器 (地址 45h)89
129.	位 186.
选项卡。 TxI 寄存器 (地址 2Bh)	选项卡。 PadOut
130.	位89
选项卡。 TxI 位	选项卡。 PadIn 寄存器 (地址 46h)89
131.	188.
选项卡。 TXCrcPreset 寄存器 (地址	选项卡。 PadIn
132.	位90
选项卡。 TxCrcPreset 位	选项卡。 SigOut 寄存器 (地址 47h)90
133.	190.
选项卡。 发射器 CRC 预设值配置....	选项卡。 SigOut 位90
134.	191.
选项卡。 RxCrcCon 寄存器 (地址 2I	选项卡。 版本寄存器 (地址 7Fh)91
135.	192.
选项卡。 RxCrcCon 位	选项卡。 版本位91
136.	193.
选项卡。 接收器 CRC 预设值配置....	选项卡。 限制值92
137.	194.
选项卡。 TxDataNum 寄存器 (地址:	选项卡。 操作条件 SLRC61001,
138.	SLRC6100293
选项卡。 TxDataNum 位	选项卡。 操作条件 SLRC6100393
139.	196.
选项卡。 TxSym10BurstLen 寄存器	选项卡。 热特性94
140.	197.
选项卡。 TxSym10BurstLen 位	选项卡。 特点95
141.	198.
选项卡。 TxWaitCtrl 寄存器 (地址 3:	选项卡。 SPI 定时特性98
142.	199.
值	选项卡。 快速模式和快速模式下的 I2C 总线定时
选项卡。 TXWaitCtrl 位	200. 加上98
143.	选项卡。 协议编号 00: ISO/IEC15693 SLI
选项卡。 TxWaitLo 寄存器 (地址 32	201. 1/4 - SSC- 26109
144.	选项卡。 协议编号 01: ISO/IEC15693 SLI
选项卡。 TxWaitLo 位	202. 1/4 - SSC- 53110
145.	选项卡。 协议编号 02: ISO/IEC15693 SLI
选项卡。 FrameCon 寄存器 (地址 3:	203. 1/256
146.	DSC11
选项卡。 FrameCon 位	0
147.	选项卡。 协议编号 03: EPC/UID - SSC -26111
选项卡。 RxSofD 寄存器 (地址 34h)	204.
148.	选项卡。 协议编号 04: EPC-V2 - 2/424112
选项卡。 RxSofD	205.
149.	选项卡。 协议编号 05: EPC-V2 - 4/424113
位	206.
选项卡。 RxCtrl 寄存器 (地址 35h)	选项卡。 协议编号 06: EPC-V2 - 2/848113
150.	207.
选项卡。 RxCtrl	
151.	
位	
选项卡。 RxWait 寄存器	
152.	
时)80	
选项卡。 RxWait 位	
153.	
选项卡。 RxThreshold 寄存器 (地址	
154.	
选项卡。 RxThreshold 位	
155.	

- 选项卡。 Rcv 寄存器（地址 38h）
- 156.
- 选项卡。 Rcv
- 157. 位

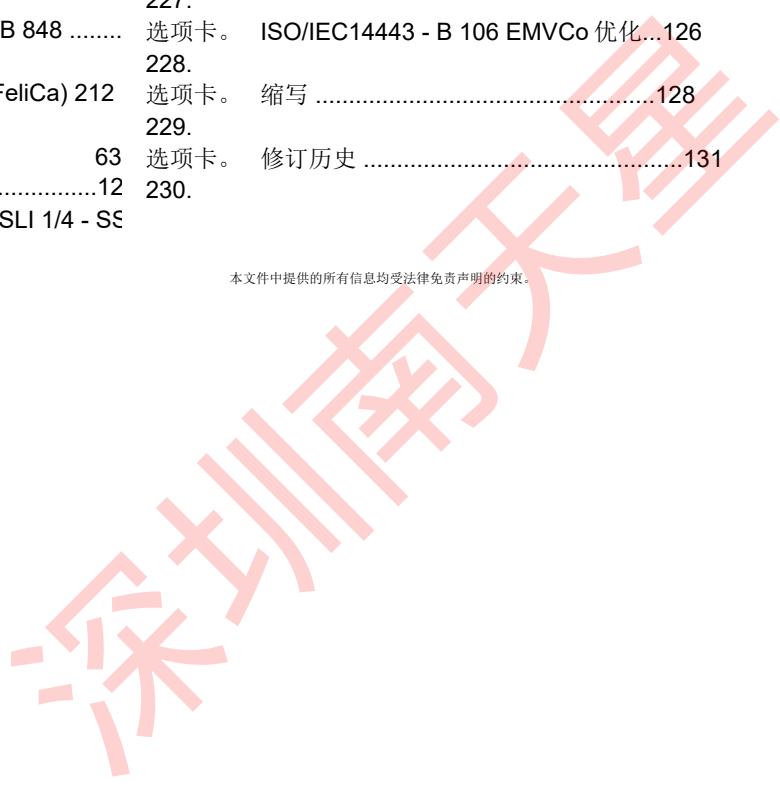


选项卡。 协议编号 07: EPC-V2 - 4/t	选项卡。 ISO/IEC15693 SLI 1/4 - SSC-53	121
208.	220.	
选项卡。 ISO/IEC14443-A 106 / MIF	选项卡。 ISO/IEC15693 SLI 1/256 - DSC	122
209.	221.	
选项卡。 ISO/IEC14443-A 212/ MIF/	选项卡。 EPC/UID - SSC -26	123
210.	222.	
选项卡。 ISO/IEC14443-A 424/ MIF/	选项卡。 EPC-V2	-
211.	223. 2/424	123
选项卡。 ISO/IEC14443-A 848/ MIF/	选项卡。 EPC-V2	-
212.	224. 4/424	124
选项卡。 ISO/IEC14443-B 106	选项卡。 EPC-V2	-
213.	225. 2/848	124
选项卡。 ISO/IEC14443-B 212	选项卡。 EPC-V2	-
214.	226. 4/848	125
选项卡。 ISO/IEC14443-B 424	选项卡。 珠宝.....	126
215.	227.	
选项卡。 ISO/IEC14443-B 848	选项卡。 ISO/IEC14443 - B 106 EMVCo 优化...	126
216.	228.	
选项卡。 JIS X 6319-4 (FeliCa) 212	选项卡。 缩写	128
217.	229.	
选项卡。 JIS X 63	选项卡。 修订历史	131
218. 424	230.	
选项卡。 ISO/IEC15693 SLI 1/4 - SE		
219.		

SLRC610

本文件中提供的所有信息均受法律免责声明的约束。

© 2024 NXP B.V.保留所有权利。



数字

图。1.	SLRC610 的简化框图.....6	图。19.	示例 1: overshoot_t1 = 2d; overhoot_t2 = 5d.32
图。2.	固定配置 HVQFN32 (SOT617-1)7	图。20.	示例 2: overshoot_t1 = 0d; overhoot_t2 = 5d33
图。3.	SLRC610 的详细方框图9	图。21.	接收器电路的方框图34
图。4.	读 / 写模式12	图。22.	有源天线的方框图概念.....35
图。5.	根据 ISO/IEC 15693 进行数据编码。	图。23.	概述 SIGIN/SIGOUT 信号路由.....36
图。6.	标准模式读取器标签13	图。24.	EEPROM 的部门安排38
图。7.	与 SPI 连接到主机15	图。25.	石英连接42
图。8.	使用 SPI 连接到主机17	图。26.	内部 PDown 到电压调节器逻辑.....45
图。9.	UART Read 的示例.....19	图。27.	引脚 RX 输入电压98
图。10.	UART 写入的示例图.....19	图。28.	快速和标准模式设备的定时99
图。11.	I2C 总线接口.....20	图。29.	在 I2C 巴士上.....100
图。12.	I2C 总线上的位传输。.....20	图。30.	典型应用天线电路图...100
图。13.	开始和停止条件21	图。31.	包装大纲 SOT617-1 (HVQFN32)102
图。14.	在 I2C-总线上确认21	图。32.	包装信息 1 托盘105
图。15.	I2C-总线上的数据传输22	图。33.	包装信息 5 托盘106
图。16.	START 程序后的第一个字节.....22	图。34.	托 盘 细 节107
图。17.	注册读取和写入访问23		包装信息 卷轴108
图。18.	边界扫描细胞路径结构.....27		
	调制的一般依赖性30		



内容

1	一般描述	1	8.4.2.4	地址字	节	16
2	特点和好处	2	8.4.2.5	计时规范 SPI	16	
3	应用	3	8.4.3	RS232 接口	17	
4	快速参考数据	4	8.4.3.1	传输速度的选择	17	
5	订购信息	5	8.4.3.2	框架	18	
6	框图	6	8.4.4	I2C 总线接口	19	
7.1	引脚描述	9	8.4.4.1	一般	19	
8.1	中断控制	9	8.4.4.2	I2C 数据有效性	20	
8.2	计时器模	10	8.4.4.3	I2C START 和 STOP 条件	20	
8.2.1	计时器模式	11	8.4.4.4	I2C 字节格式	21	
8.2.1.1	超时和看门狗计数器	11	8.4.4.5	I2C 确认	21	
8.2.1.2	唤醒计时器	11	8.4.4.6	I2C 7 位寻址	22	
8.2.1.3	停止观看	12	8.4.4.7	I2C 寄存器写入访问	22	
8.2.1.4	可编程的一次性计时器	12	8.4.4.8	I2C-register 读取访问	22	
8.2.1.5	定期触发	12	8.4.4.9	I2CL 总线接口	23	
8.3	非接触式接口单元	12	8.4.5	SAM 接口	24	
8.3.1	ISO/IEC15693 功能	12	8.4.5.1	SAM 功能	24	
8.3.2	EPC-UID/UID-OTP 功能	13	8.4.5.2	SAM 连接	24	
8.3.3	ISO/IEC 18000-3 模式 3/ EPC Class-1 HF 功能	14	8.4.6	边界扫描接口	25	
8.3.3.1	数据编码 ICODE	14	8.4.6.1	接口信号	25	
8.4	主机接口	14	8.4.6.2	测试时钟 (TCK)	25	
8.4.1	主机接口配置	14	8.4.6.3	测试模式选择 (TMS)	26	
8.4.2	SPI 接口	15	8.4.6.4	测试数据输入 (TDI)	26	
8.4.2.1	一般	15	8.4.6.5	测试数据输出 (TDO)	26	
8.4.2.2	阅读数据	15	8.4.6.6	数据寄存器	26	
8.4.2.3	写入数据	16	8.4.6.7	边界扫描单元	26	

8.4.6.8	边界扫描路径	27	8.9.1	供应概念	43
8.4.6.9	边界扫描描述语言 (BSDL)	28	8.9.2	功率降低模式	44
8.4.6.10	非 IEEE1149.1 命令	28	8.9.2.1	关机	44
8.5	缓冲器	28	8.9.2.2	待机	44
8.5.1	概述	28	8.9.2.3	调制解调器关闭模式	44
8.5.2	访问 FIFO 缓冲区	29	8.9.3	低功耗卡检测 (LPCD)	44
8.5.3	控制 FIFO 缓冲区	29	8.9.4	重置和启动时间	45
8.5.4	关于 FIFO 缓冲区的状态信息	29	8.10	命令集	45
8.6	模拟界面和非接触式 UART	30	8.10.1	一般	45
8.6.1	一般	30	8.10.2	命令集概述	45
8.6.2	TX 发射器	30	8.10.3	命令功能	46
8.6.2.1	过冲保护	32	8.10.3.1	空闲命令	46
8.6.2.2	位发生器	33	8.10.3.2	LPCD 命令	46
8.6.3	接收器电路	33	8.10.3.3	AckReq 命令	46
8.6.3.1	一般	33	8.10.3.4	接收命令	46
8.6.3.2	方框图	33	8.10.3.5	传输命令	47
8.6.4	有源天线概念	34	8.10.3.6	收搁命令	47
8.6.5	符号生成器	37	8.10.3.7	WriteE2 命令	47
8.7	内存	37	8.10.3.8	WriteE2PAGE 命令	47
8.7.1	内存概述	37	8.10.3.9	ReadE2 命令	47
8.7.2	EEPROM 内存组织	37	8.10.3.10	LoadReg 命令	47
8.7.2.1	产品信息和配置-第 0 页	38	8.10.3.11	LoadProtocol 命令	48
8.7.3	EEPROM 初始化内容	40	8.10.3.12	GetRNR 命令	49
8.8	时钟生成	41	8.10.3.13	SoftReset 命令	49
8.8.1	水晶振荡器	41			

SLRC610

本文件中提供的所有信息均受法律声明的约束。

© 2024 NXP B.V.保留所有权利。

产品数据表

修订版 5.1 - 2024 年 1 月 3 日

8.8.2	IntegerN PLL 时钟线	42	9.1	注册位	50
8.8.3	低频振荡器 (LFO)	42	9.2	命令配置	53
8.9	电源管理	43			

138 / 139

命令499 个

SLRC610 寄存器50

.....50

注 册 位 行

为50

命令配置53

9.2.1	命令	53	9.7.2.10	T2Control	66
9.3	SAM 配置寄存器	53	9.7.2.11	T2ReloadHi	67
9.3.1	HostCtrl	53	9.7.2.12	T2ReloadLo	67
9.4	FIFO 配置寄存器	54		T2CounterValHi	9.7.2.13
9.4.1	FIFOControl	54	68	9.7.2.14
9.4.2	水位	55		T2CounterValLoReg	68
9.4.3	FIFOLength	55	9.7.2.15	T3Control	68
9.4.4	FIFOData	56	9.7.2.16	T3ReloadHi	69
9.5	中断配置寄存器	56	9.7.2.17	T3ReloadLo	69
9.5.1	IRQ0 寄存器	56	9.7.2.18	T3CounterValHi	70
9.5.2	IRQ1 寄存器	57	9.7.2.19	T3CounterValLo	70
9.5.3	IRQ0En 寄存器	57		T4Control	9.7.2.20
9.5.4	IRQ1En	58	70	9.7.2.21
9.6	非接触式接口配置寄存器	59		T4ReloadHi	71
9.6.1	错误	59	9.7.2.22	T4ReloadLo	72
9.6.2	状态	60	9.7.2.23	T4CounterValHi	72
9.6.3	RxBitCtrl	60	9.7.2.24	T4CounterValLo	72
9.6.4	RxColl	61		发射器驱动程序配置寄存器	73
9.7	定时器配置寄存器	62	9.8	9.8.1	DrvMode
9.7.1	TControl	62	73	9.8.2
9.7.2	T0Control	62		TxAmp	73
9.7.2.1	T0ReloadHi	63	73	9.8.3
9.7.2.2	T0ReloadLo	63	9.8.4	Txl	74
9.7.2.3	T0CounterValHi	64	9.9	发射器 CRC 配置寄存器	75
9.7.2.4	T0CounterValLo	64	9.9.1	TxCrcPreset	75
9.7.2.5	T1Control	64	9.9.2	RxCrcCon	75
9.7.2.6	T1ReloadHi	65	9.10	发射器数据配置寄存器	76
9.7.2.7	T1ReloadLo	65	9.10.1	TxDataNum	76
9.7.2.8	T1CounterValHi	66	9.10.2	TxSym10BurstLen	77
9.7.2.9	T1CounterValLo	66	9.10.3	TxWaitCtrl	77
			9.10.4	TxWaitLo	78
			9.11	FrameCon	78
			9.12	接收器配置寄存器	79
			9.12.1	RxSofD	79
			9.12.2	RxCtrl	80

9.12.3 RxWait 80

9.12.4 RxThreshold 81

9.12.5 Rcv 81

9.12.6 RxAna 82

9.13 时钟配置 83

9.13.1 SerialSpeed 83

9.13.2 LFO_Trimm 84

9.13.3 PLL_Ctrl 寄存器 84

9.13.4 PLLDiv_Out 85

9.14 低功耗卡检测配置寄存器 86

9.14.1 LPCD_QMin 86

9.14.2 LPCD_QMax 86

9.14.3 LPCD_Imin 86

9.14.4 LPCD_Result_I 87

9.14.5 LPCD_Result_Q 87

9.14.6 LPCD_Options 87

9.15 引脚配置 88

9.15.1 PadEn 88

9.15.2 PadOut 89

9.15.3 PadIn 89

9.15.4 SigOut 90

9.16 版本寄存器 91

9.16.1 版本 91

10 限制值 92

11 推荐的操作条件 93

12 热特性 94

13 特征 95

13.1 时序特征 98

14 应用信息 100

14.1 天线设计描述 100

14.1.1 EMC 低通滤波器 100

14.1.2 天线匹配 100

14.1.3 接收电路 101

14.1.4 天线线圈 101

15 包装大纲 102

16 处理信息 104

17 包装信息 105

18 附录 109

18.1 LoadProtocol 命令寄存器初始化 109

18.2 SLRC61003 EEPROM 配置 115

19 缩写 128

20 参考文献 130

21 修订历史 131

法律信息 132

请注意，有关本文件和本文所述产品的重要通知已包含在“法律信息”部分。

© 2024 NXP B.V.

保留所有权利。

有关更多信息，请访问：<https://www.nxp.com>

发布日期：2024 年 1 月 3 日
文档标识符：SLRC610