



子系统	特点
Arm Cortex-A53 MPCore 平台	四对称 Cortex-A53 处理器 <ul style="list-style-type: none"> <li>• 32 KB L1 指令缓存</li> <li>• 32 KB L1 数据缓存</li> <li>• 采用 NEON 技术的媒体处理引擎 (MPE) 支持高级单指令多数据架构:</li> <li>• 支持 VFPv4-D16 架构的浮点单元 (FPU)</li> </ul>
	支持 64 位 Armv8-A 架构
	KB 统一 L2 缓存
Arm Cortex-M4 核心平台	适用于客户应用的低功耗微控制器: <ul style="list-style-type: none"> <li>• 低功耗待机模式</li> <li>• 包括 Weave 在内的物联网功能</li> <li>• 管理红外或无线遥控器</li> </ul>
	Cortex M4 CPU: <ul style="list-style-type: none"> <li>• 16 KB L1 指令缓存</li> <li>• 16 KB L1 数据缓存</li> <li>• 256 KB 紧密耦合内存 (TCM)</li> </ul>
连接	一个 PCI Express (PCIe) <ul style="list-style-type: none"> <li>• 支持 PCIe Gen2 的单通道</li> <li>• 双模式操作作为根复合体或端点</li> <li>• 集成 PHY 接口</li> <li>• 支持 L1 低功耗子状态</li> </ul>
	两个带有集成 PHY 接口的 USB 2.0 OTG 控制器: <ul style="list-style-type: none"> <li>• 扩频时钟支持</li> </ul>
	三个超安全数字主机控制器 (uSDHC) 接口: <ul style="list-style-type: none"> <li>• MMC 5.1 符合 HS400 DDR 信令, 支持高达 400 MB/秒</li> <li>• SD/SDIO 3.0 符合 200 MHz SDR 信令, 支持高达 100 MB/秒</li> <li>• 支持 SDXC (扩展容量)</li> </ul>
	一个千兆以太网控制器, 支持节能以太网 (EEE)、以太网 AVB 和 IEEE 1588
	四个通用异步接收器/发射器 (UART) 模块
	四路 I <sup>2</sup> C 模块
	三个 ECSPi 模块
片上内存	引导 ROM (256 KB)
	片上 RAM (256 KB + 32 KB)
GPIO 和引脚多路复用	具有中断能力的通用输入/输出 (GPIO) 模块
	输入/输出多路复用控制器 (IOMUXC) 提供集中式垫片控制
电源管理	带有可编程行程点的温度传感器
i.MX 8M Mini Applications Processor Datasheet for Consumer Products, Rev. 2, 11/2022	带有内部电源开关的灵活电源域分区, 以支持高效的电源管理
	NXP Semiconductors

表 1. 特点 2

表 1. 特点 (续)

子系统	特点
外部内存接口	32/16 位 DRAM 接口: <ul style="list-style-type: none"> <li>LPDDR4 (高达 1.5 GHz)</li> <li>DDR4-2400</li> <li>DDR3L-1600</li> </ul>
	8 位 NAND-Flash, 包括支持原始 MLC/SLC 设备, BCH ECC 高达 62 位和 ONFi3.2 合规性 (时钟速率高达 100 MHz, 数据速率高达 200 MB/秒)
	eMMC 5.1 闪存 (2 个接口, uSDHC1 和 uSDHC3)
	SPI NOR Flash (3 个接口)
	支持 XIP (低功耗模式下的 ME) 和两个相同 FLASH 设备的并行读取模式的 FlexSPI
多媒体	视频处理单元: <ul style="list-style-type: none"> <li>1080p60 VP9 配置文件 0, 2 (10 位)</li> <li>1080p60 HEVC/H.265 解码器</li> <li>1080p60 AVC/H.264 基线, 主, 高解码器</li> <li>1080p60 VP8</li> <li>1080p60 AVC/H.264 编码器</li> <li>1080p60 VP8</li> <li>TrustZone 支持</li> </ul>
	图形处理单元: <ul style="list-style-type: none"> <li>用于 3D 加速的 GCNanoUltra</li> <li>用于 2D 加速的 GC320</li> </ul>
	LCDIF 显示控制器: <ul style="list-style-type: none"> <li>支持多达 2 层覆盖层</li> <li>通过 MIPI DSI 支持高达 1080p60 的显示器</li> </ul>
	MIPI 接口: <ul style="list-style-type: none"> <li>4 路 MIPI CSI 接口</li> <li>4 通道 MIPI DSI 接口</li> </ul>
	音频: <ul style="list-style-type: none"> <li>S/PDIF 输入和输出, 包括新的原始捕获输入模式</li> <li>五个同步音频接口 (SAI) 模块支持 I2S、AC97、TDM、编解码器/DSP 和 DSD 接口, 包括一个具有 8 个 Tx 和 8 个 Rx 通道的 SAI, 一个具有 4 个 Tx 和 4 个 Rx 通道的 SAI, 两个具有 2 个 Tx 和 2 个 Rx 通道的 SAI, 以及一个具有 1 个 Tx 和 1 个 Rx 通道的 SAI。补端口超过 20 个音频通道, 受 I/O 限制。</li> <li>8 通道脉冲密度调制 (PDM) 输入</li> </ul>
	系统调试
	跟踪端口接口单元 (TPIU) 支持离芯片实时跟踪
	嵌入式跟踪 FIFO (ETF) 具有 4 KB 的内部存储, 以提供跟踪缓冲

	Quad Cortex-A53 和 Cortex-M4 CPU 的统一跟踪能力
	交叉触发接口 (CTI)
	支持 5 针 (JTAG) 调试接口

表 1. 特点 (续)

子系统	特点
安全	资源域控制器 (RDC) 支持四个域和最多八个区域 DDR
	Arm TrustZone (TZ) 架构: •支持 Arm Cortex-A53 MPCore TrustZone
	使用 OCRAM 控制器的片上 RAM (OCRAM) 安全区域保护
	高保证引导 (HAB)
	加密加速和保证 (CAAM) 模块和保证模块: • 支持 Widevine 和 PlayReady 内容保护 • 带有 RSA 和椭圆曲线 (ECC) 算法的公钥加密 (PKHA) • 实时完整性检查器 (RTIC) • 对 RSA、AES、3DES、DES 的 DRM 支持 • 侧通道攻击阻力 • 真正的随机数生成 (RNG) • 制造保护支持
	安全非易失性存储 (SNVS): •安全实时时钟 (RTC)
安全 JTAG 控制器 (SJC)	

### 笔记

实际功能集取决于部件号, 如表 2。显示和相机接口以及连接接口等功能可能无法为特定部件号启用。

## 1.1 方框图

图 1 显示 i.MX 8M Mini 应用程序处理器系统中的功能模块。

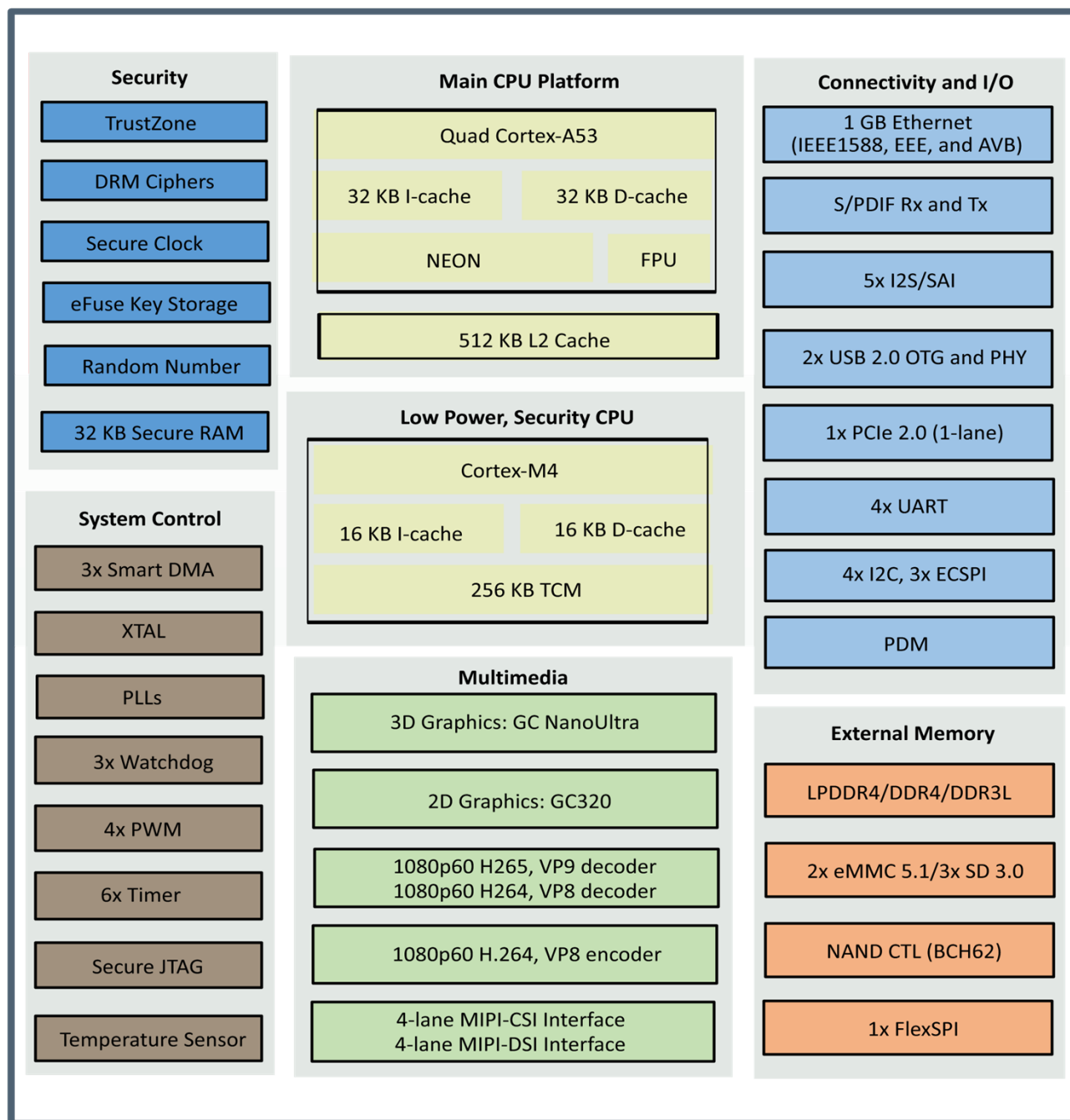


图 1. i.MX 8M 迷你系统框图

## 1.2 订购信息

表 2 显示本数据表涵盖的可订购样品部件号的示例。此表不包括所有可能的可订购部件号。如果您所需的部件号没有列在表格中，或者您对可用部件有疑问，请联系您的 NXP 代表。

表 2. 可订购部件号

家庭	部件号	部分差异化器	皮质-A53 CPU 速度等级	资格等级	温度 ure T 第十个英文字母 J (C)	包裹
i.MX 8M 迷你 股四头肌	MIMX8MM6DVTLZAA	4x A53, M4, GPU, VPU	1.8 千兆赫	消费者	0 到+95	14 x 14 毫 米, 0.5 毫米间距
i.MX 8M 迷你 四光	MIMX8MM5DVTLZAA	4x A53, M4, GPU	1.8 千兆赫	消费者	0 到+95	14 x 14 毫 米, 0.5 毫米间距
i.MX 8M 迷你 四光	MIMX8MM5DVTLZCA	4x A53, M4, GPU, 带有杜比的 Immersiv3D ATMOS 支持 <sup>1</sup>	1.8 千兆赫	消费者	0 到+95	14 x 14 毫 米, 0.5 毫米间距
i.MX 8M 迷你 四光	MIMX8MM5DVTLZDA	4x A53, M4, GPU, 带有杜比的 Immersiv3D ATMOS 和 DTS 支持 <sup>1</sup>	1.8 千兆赫	消费者	0 到+95	14 x 14 毫 米, 0.5 毫米间距
i.MX 8M 迷你 双	MIMX8MM4DVTLZAA	2x A53, M4, GPU, VPU	1.8 千兆赫	消费者	0 到+95	14 x 14 毫 米, 0.5 毫米间距
i.MX 8M 迷 你 DualLite	MIMX8MM3DVTLZAA	2x A53, M4, GPU	1.8 千兆赫	消费者	0 到+95	14 x 14 毫 米, 0.5 毫米间距
i.MX 8M 迷你 独奏	MIMX8MM2DVTLZAA	1x A53, M4, GPU, VPU	1.8 千兆赫	消费者	0 到+95	14 x 14 毫 米, 0.5 毫米间距
i.MX 8M 迷 你 SoloLite	MIMX8MM1DVTLZAA	1x A53, M4, GPU	1.8 千兆赫	消费者	0 到+95	14 x 14 毫 米, 0.5 毫米间距

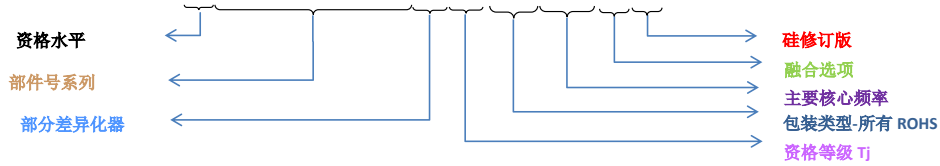
<sup>1</sup> Supply of this Implementation of Dolby technology does not convey a license nor imply a right under any patent, or any other industrial or intellectual property right of Dolby Laboratories, to use this Implementation in any finished end-user or ready-to-use final product. It is hereby notified that a license for such use is required from Dolby Laboratories.

Figure 2 describes the part number nomenclature so that the users can identify the characteristics of the specific part number.

Contact an NXP representative for additional details.

# 罗马字母的第十三个字母我

MX8MM@+VT\$\$% 罗马字母的第一个字母



资格水平	部分差异化器	温度 Tj	频率	\$\$
样品	i.MX 8M 迷你四边形 4x A53, M4, GPU	消费者: 0 至+95 °C字母 C	1.8 千兆赫	LZ
批量生产	i.MX 8M 迷你四光 4x A53, M4, GPU	工业: -40 到 105 °C字母 C	1.6 千兆赫	KZ
	i.MX 8M 迷你双 2x A53, M4, GPU			
	i.MX 8M 迷你 DualL 2x A53, M4, GPU			
	i.MX 8M 迷你独奏 1x A53, M4, GPU			
	i.MX 8M 迷你 SoloL 1x A53, M4, GPU			

部件号系列	包装类型	融合	%
IMX8MM	FCBG4486 14 x 14 毫米, 0.5 毫米间距	默认选项	罗马字母的第一个字母
		Immersiv3D 启用 w/Dolby Atmos	字母 C
		Immersiv3D 启用 w/Dolby Atmos 和 DTS	D

硅转速	罗马字母的第一个字母
修订版 A0	罗马字母的第一个字母

图 2. 零件编号命名法—i.MX 8M Mini 系列处理器

## 2 模块列表

i.MX 8M Mini 系列处理器包含各种数字和模拟模块。表 3 按字母顺序描述这些模块。

表 3.i.MX 8M 迷你模块列表

块助记符	区块名称	简要描述
32k 振荡器	时钟系统	32 KHz 振荡器用作 RTC 和内部低速时钟的时钟源。它可以由外部 32.768 KHz 振荡器提供。
APBH-DMA	NAND 闪存和 BCH ECC DMA 控制器	用于 GPMI2 操作的 DMA 控制器。
手臂	手臂平台	Arm Core Platform 包括一个四 Cortex-A53 核心和一个 Cortex-M4 核心。Cortex-A53 核心包括相关的子块，如 2 级缓存控制器、史努比控制单元 (SCU)、通用中断控制器 (GIC)、私人计时器、看门狗和 CoreSight 调试模块。Cortex-M4 内核用作客户微控制器。
BCH	Binary-BCH ECC 处理器	BCH 模块为 NAND 闪存控制器 (GPMI) 提供高达 62 位的 ECC 加密/解密
CAAM	加密加速器和保证模块	CAAM 是一个加密加速器和保证模块。CAAM 实现了几个加密和散列函数、运行时完整性检查器、熵源生成器和伪随机数生成器 (PRNG)。PRNG 可由国家标准与技术研究所 (NIST) 的加密算法验证计划 (CAVP)。CAAM 还实现了安全内存机制。在 i.MX 8M Mini 处理器中，提供的安全内存为 32 KB。
CCM GPC SRC	时钟控制模块，通用电源控制器，系统重置控制器	这些模块负责系统中的时钟和重置分布，以及系统电源管理。
CSU	中央安全股	中央安全股 (CSU) 负责在 i.MX 8M Mini 平台内制定全面的安全政策。
CTI-0 CTI-1 CTI-2 CTI-3 CTI-4	交叉触发接口	交叉触发接口 (CTI) 允许基于连接到 CTI 的主输入进行交叉触发。CTI 模块是 Cortex-A53 核心平台的内部。
DAP	调试访问端口	DAP 为调试器提供实时访问，而不会停止核心访问： <ul style="list-style-type: none"> <li>系统内存和外围寄存器</li> <li>所有调试配置寄存器</li> </ul> DAP 还提供了对 JTAG 扫描链的调试器访问。

DDRC	双数据速率控制器	DDR 控制器具有以下功能： <ul style="list-style-type: none"> <li>支持 32/16 位 LPDDR4（高达 1.5 GHz）、DDR4-2400 和 DDR3L-1600</li> <li>支持高达 8 Gbyte 的 DDR 内存空间</li> </ul>
eCSPI1 eCSPI2 eCSPI3	可配置的 SPI	全双工增强的同步串行接口，数据速率高达 52 Mbit/s。可配置为支持主/从模式，仅支持一个芯片选择。

模块列表

表 3. i.MX 8M 迷你模块列表（续）

块助记符	区块名称	简要描述
ENET1	以太网控制器	以太网媒体访问控制器（MAC）旨在支持 10/100/1000 Mbps 以太网/IEEE 802.3 网络。需要外部收发器接口和收发器功能来完成媒体的接口。该模块有专用的 hardware 支持 IEEE 1588 标准。请参阅 ENET 章节 <i>i.MX 8M 迷你应用处理器参考手册（IMX8MMRM）</i> 了解详情。
FlexSPI	FlexSPI	FlexSPI 模块充当外部串行闪存设备的接口。本模块包含以下功能： <ul style="list-style-type: none"> <li>灵活的序列引擎，支持各种闪存供应商设备</li> <li>单垫/双垫/四垫操作模式</li> <li>单数据速率/双数据速率操作模式</li> <li>并行闪存模式</li> <li>DMA 支持</li> <li>内存映射读取访问连接的闪存设备</li> <li>多主访问，每个主服务器具有优先级以及灵活且可配置的缓冲区</li> </ul>
GIC	通用中断控制器	GIC 处理来自各种子系统的所有中断，并已准备好进行虚拟化。
GPIO1 GPIO2 GPIO3 GPIO4 GPIO5	通用 I/O 模块	用于外部 IC 的通用输入/输出。每个 GPIO 模块支持高达 32 位的 I/O。
GPMI	通用内存接口	GPMI 模块支持 NAND 闪存控制器（GPMI2）的高达 8 个 NAND 设备和 62 位 ECC 加密/解密。GPMI 为每个 NAND 设备支持单独的 DMA 通道。

GPT1 GPT2 GPT3 GPT4 GPT5 GPT6	通用计时器	每个 GPT 都是一个 32 位的“自由运行”或“设置和忘记”模式计时器，带有可编程预缩放器以及比较和捕获寄存器。可以使用外部事件捕获计时器计数器值，并且可以配置为在 $le$ 上触发捕获事件输入脉冲的边缘或后缘。当计时器配置为在“设置和忘记”模式下运行时，它能够以最少的处理器干预定期提供精确的中断。计数器有输出，将逻辑与专业进行比较比较时视状态和中断。此计时器可以配置为在外部时钟或内部时钟上运行。
GPU3D	图形处理单元-3D	GPU3D 为 3D 图形算法提供硬件加速，具有足够的处理器功率，可以在显示器上运行桌面质量的交互式图形应用程序。
I2C1 I2C2 I2C3 I2C4	我 $^2$ C 接口	我 $^2$ C 为外部设备提供串行接口。支持高达 320 kbps 的数据速率。
IOMUXC	IOMUX 控制	该模块支持灵活的 I/O 多路复用。每个 IO 垫都有一个默认功能以及几个备用功能。备用功能是软件可配置的。

模块列表

表 3. i.MX 8M 迷你模块列表（续）

块助记符	区块名称	简要描述
MIPI CSI2（四车道）	MIPI 相机串行接口	该模块提供了一个四通道 MIPI 相机串行接口，其最大比特率为 1.5 Gbps。
MIPI DSI（四车道）	MIPI 显示串行接口	该模块提供四通道 MIPI 显示串行接口，最大比特率为 1.5 Gbps。
OCOTP_CTRL	OTP 控制器	片上 OTP 控制器（OCOTP_CTRL）提供了一个接口，用于读取、编程和/或覆盖存储在片上保险丝元件中的识别和控制信息。该模块支持电气可编程聚保险丝（eFUSE）。OCOTP_CTRL 还提供了一组易失性软件可访问信号，可用于硬件元素的软件控制，不需要非波动性。OCOTP_CTRL 为与片上保险丝元件接口提供了用户可见的主要机制。保险丝的用途包括唯一的芯片标识符、掩码修订号、加密密钥、JTAG 安全模式、引导特性以及需要永久非波动性的各种控制信号。
OCRAM	片上内存控制器	片上内存控制器（OCRAM）模块被设计为系统 AXI 总线和内部（片上）SRAM 内存模块之间的接口。 在 i.MX 8M Mini 处理器中，OCRAM 用于通过 64 位 AXI 总线控制 256 KB 多媒体 RAM。
PCIe1	PCI Express 2.0	PCIe IP 提供 PCI Express Gen 2.0 功能。

PDM	脉冲密度调制	PDM 最多支持 8 个通道（4 个通道）。
PMU	电源管理单元	综合电源管理单元。用于为各种 SoC 域提供电力。
PWM1 PWM2 PWM3 PWM4	脉冲宽度调制	脉冲宽度调制器（PWM）有一个 16 位计数器，并经过优化，可从存储的样本音频图像中生成声音。它也可以产生音调。它使用 16 位分辨率和 4x16 数据 FIFO 来生成声音。
SAI1 SAI2 SAI3 SAI5 SAI6	同步音频接口	SAI 模块提供了一个同步音频接口（SAI），支持具有帧同步的全双工串行接口，如 I2S、AC97、TDM 和编解码器/DSP 接口。

表 3. i.MX 8M 迷你模块列表 (续)

块助记符	区块名称	简要描述
SDMA	智能直接内存访问	<p>SDMA 是一个多通道灵活的 DMA 引擎。它通过卸载动态数据路由中的各种内核，有助于最大限度地提高系统性能。它具有以下特点：</p> <ul style="list-style-type: none"> <li>• 由 16 位指令集 micro-RISC 引擎提供动力</li> <li>• 多通道 DMA 支持多达 32 个时分多路 DMA 通道</li> <li>• 48 个具有完全灵活性的事件，可以触发任何渠道组合</li> <li>• 内存访问，包括线性、FIFO 和 2D 寻址</li> <li>• Arm 和 SDMA 之间的共享外围设备</li> <li>• 非常快的上下文切换，基于 2 级优先级的先制人多任务</li> <li>• 具有自动冲洗和预取功能的 DMA 单元</li> <li>• DMA 传输的灵活地址管理（源地址和目的地地址的增量、递减和无地址更改）</li> <li>• DMA 端口可以处理单向和双向流（复制模式）</li> <li>• 高达 8 字的缓冲区，用于 EMIV2.5 的可配置突发传输</li> <li>• 支持字节交换和 CRC 计算</li> <li>• 脚本和 API 库可用</li> </ul>
SJC	安全 JTAG 控制器	<p>SJC 为内部逻辑提供 JTAG 接口（旨在与 JTAG TAP 标准兼容）。i.MX 8M Mini 系列处理器使用 JTAG 端口进行生产、测试和系统调试。此外，SJC 提供 BSR（Boundary Scan Register）标准支持，旨在与 IEEE 1149 兼容。1.</p> <p>JTAG 端口必须在平台初始实验室启动期间访问，用于制造测试和故障排除，以及授权实体的软件调试。i.MX 8M Mini SJC 集成了三种安全模式，以防止未经授权的访问。模式通过 eFUSE 配置选择。</p>
SNVS	安全的非易失性存储	安全非易失性存储，包括安全实时时钟、安全状态机、主密钥控制以及违规/篡改检测和报告。
SPDIF1	索尼飞利浦数字互连格式	一种标准音频文件传输格式，由索尼和飞利浦公司联合开发。它支持发射器和接收器功能。
温度传感器	温度传感器	温度传感器
TZASC	信任区地址空间控制器	TZASC（TZC-380 by Arm）提供了预期应用所需的安全地址区域控制功能。它用于 DRAM 控制器的路径上。

模块列表

函数	球名	如果未使用, 建议
MIP-CSI 和 MIPI-DSI	VDD_MIPI_0P9, VDD_MIPI_1P2, VDD_MIPI_1P8	保持未连接

PCIe	VDD_PCI_0P8, VDD_PCI_1P8	保持未连接
------	--------------------------	-------

表 3. i.MX 8M 迷你模块列表 (续)

块助记符	区块名称	简要描述
UART1 UART2 UART3 UART4	UART 接口	每个 UARTv2 模块都支持以下串行数据传输/接收协议和配置： <ul style="list-style-type: none"> <li>• 7 或 8 位数据字，1 或 2 个停止位，可编程奇偶校验（偶数、奇数或无）</li> <li>• 可编程的 baud 速率高达 4 Mbps。与 TIA/EIA-232-F 标准规定的 1.875 MHz 相比，这是一个更高的最大 baud 速率。</li> <li>• Tx 上的 32 字节 FIFO 和支持自动 baud 的 Rx 上的 32 个半字 FIFO</li> </ul>
uSDHC1 uSDHC2 uSDHC3	SD/MMC 和 SDXC 增强型多媒体卡/ 安全数字主机控制器	i.MX 8M Mini SoC 特性： 所有 MMC/SD/SDIO 控制器 IP 都基于 uSDHC IP。 它们旨在支持： <ul style="list-style-type: none"> <li>• SD/SDIO 标准，最高可达 3.0 版本。</li> <li>• MMC 标准，直到 5.1 版本。</li> <li>• 1.8V 和 3.3V 操作，但不支持 1.2V 操作。</li> <li>• 1 位/4 位 SD 和 SDIO 模式，1 位/4 位/8 位 MMC 模式。</li> </ul> 两个 uSDHC 控制器（uSDHC1 和 uSDHC3）最多可支持 8 位接口，另一个控制器（uSDHC2）最多只能支持 4 位接口。
USB1 USB2	2 个 USB 2.0 控制器和 PHYs	两个支持 USB 2.0 的 USB 控制器和 PHY。每个 USB 实例都包含： <ul style="list-style-type: none"> <li>• USB 2.0 核心，可以在 2.0 模式下运行</li> </ul>
VPU	视频处理单元	高性能视频处理单元（VPU），涵盖许多 SD 级和 HD 级视频解码器。看到 <i>i.MX 8M 迷你应用处理器参考手册</i> （IMX8MMRM）获取 VPU 解码和编码功能的完整列表。
WDOG1 WDOG2 WDOG3	看门狗	看门狗（WDOG）计时器在每个计数期间支持两个比较点。每个比较点都可以配置为唤起手臂核心的中断，第二个点唤起 WDOG 线上的外部事件。
XTALOSC	水晶振荡器接口	XTALOSC 模块可以连接到外部晶体振荡器设备。在典型的应用程序用例中，它用于 24 MHz 振荡器。

## 2.1 未使用的输入/输出的推荐连接

如果不使用 i.MX 8M Mini 的功能，可以终止该功能的 I/O 和电源导轨，以降低整体电路板功率。

表 4 显示未使用的电源导轨的推荐连接。

表 4. 未使用的电源轨道的推荐连接

模块列表

表 4. 未使用电源导轨的推荐连接 (续)

函数	球名	如果未使用, 建议
USB1 和 USB2	VDD_USB_0P8, VDD_USB_1P8, VDD_USB_3P3	保持未连接
VPU	VDD_VPU	保持未连接
图形处理器	VDD_GPU	保持未连接
数字 I/O 用品	NVCC_CLK, NVCC_ECSPi, NVCC_ENET, NVCC_GPIO1, NVCC_I2C, NVCC_JTAG, NVCC_NAND, NVCC_SAI1, NVCC_SAI2, NVCC_SAI3, NVCC_SAI5, NVCC_SD1, NVCC_SD2, NVCC_UART, NVCC_SNVs_1P8, PVCC0_1P8, PVCC1_1P8, PVCC2_1P8	本表中列出的所有数字 I/O 电源必须在正常条件下供电, 无论相关 I/O 引脚是否在使用, 并且相关的 I/O 引脚需要启用拉入垫控制寄存器, 以限制任何浮动栅极电流。

表 5 显示未使用的信号触点/接口的推荐连接。

表 5. 未使用的信号触点/接口的推荐连接

函数	球名	如果未使用, 建议
MIPI-CSI	MIPI_CSI_CLK_P, MIPI_CSI_CLK_N, MIPI_CSI_Dx_P, MIPI_CSI_Dx_N	将所有信号绑定到地面
MIPI-DSI	MIPI_VREG_CAP, MIPI_DSI_CLK_P, MIPI_DSI_CLK_N, MIPI_DSI_Dx_P, MIPI_DSI_Dx_N	保持未连接
PCIe	PCIe_CLK_P, PCIe_CLK_N, PCIe_TXN_P, PCIe_TXN_N, PCIe_RXN_P, PCIe_RXN_N, PCIe_RESREF	保持未连接
USB1	USB1_VBUS, USB1_DN, USB1_DP, USB1_ID, USB1_TXRTUNE	保持未连接
USB2	USB2_VBUS, USB2_DN, USB2_DP, USB2_ID, USB2_TXRTUNE	保持未连接

## 3 电气特性

本节提供了 i.MX 8M Mini 系列处理器的设备和模块级电气特性。

### 3.1 芯片级条件

本节提供设备-IC 的水平电气特性。看见表 6 快速参考各个表格和部分。

表 6. i.MX 8M 迷你芯片—水平条件

对于这些特征， ...	主题出现...
绝对最高评分	在第 14 页
FCBGA 封装耐热性	在第 16 页
操作范围	在第 17 页
外部时钟源	在第 19 页
最大供应电流	在第 20 页

#### 3.1.1 绝对最高评分

##### 谨慎

超出下面列出的重音表 7 可能会影响可靠性或对设备造成永久性损坏。这些只是压力评级。不暗示设备在这些或超出操作范围或参数表所示条件的任何其他条件下的功能操作。

表 7. 绝对最高评分

参数描述	标志	分钟	麦克斯	单位	笔记
核心电源电压	VDD_ARM VDD_SOC	-0.3	1.15	V	—
GPU 的电源	VDD_GPU	-0.3	1.15	V	—
VPU 的电源	VDD_VPU	-0.3	1.15	V	—
DDR PHY 电源电压	VDD_DRAM	-0.3	1.15	V	—
DDR I/O 电源电压	NVCC_DRAM	-0.3	1.575	V	—
DRAM PLL 电源电压	VDD_DRAM_PLL_0P8	-0.3	1.15	V	—
	VDD_DRAM_PLL_1P8	-0.3	2.15	V	—
SNVS IO 电源电压	NVCC_SNVS_1V8	-0.3	2.15	V	—

VDD_SNVS 电源电压	VDD_SNVS_0V8	-0.3	0.95	V	—
---------------	--------------	------	------	---	---

表 7. 绝对最高评分 (续)

参数描述	标志	分钟	麦克斯	单位	笔记
GPIO 电源电压	NVCC_JTAG, NVCCGPIO1, NVCC_ENET, NVCC_SD1, NVCC_SD2, NVCC_NAND, NVCC_SA1, NVCC_SAI2, NVCC_SAI3, NVCC_SAI5, NVCC_ECSPi, NVCC_I2C, NVCC_UART, NVCC_CLK	-0.3	3.8	V	—
GPIO 预驱动电源电压	PVCC0_1P8, PVCC1_1P8, PVCC2_1P8	-0.3	2.15	V	—
隔离的核心电源电压	VDD_ANA_0P8	-0.3	1.15	V	—
模拟核心电源电压	VDD_ANA0_1P8	-0.3	2.15	V	—
	VDD_ANA1_1P8	-0.3	2.15	V	—
臂 PLL 电源电压	VDD_ARM_PLL_0P8	-0.3	0.95	V	—
	VDD_ARM_PLL_1P8	-0.3	2.15	V	—
MIPI PHY 电源电压	VDD_MIPI_0P9	-0.3	1.05	V	—
	VDD_MIPI_1P2	-0.3	1.45	V	—
	VDD_MIPI_1P8	-0.3	2.15	V	—
PCIe PHY 电源电压	VDD_PCIE_0P8	-0.3	0.95	V	—
	VDD_PCIE_1P8	-0.3	2.15	V	—
USB PHY 电源电压	VDD_USB_0P8	-0.3	0.95	V	—
	VDD_USB_1P8	-0.3	2.15	V	—
	VDD_USB_3P3	-0.3	3.95	V	—
检测到 USB_VBUS 输入	USB1_VBUS, USB2_VBUS	-0.3	3.95	V	—
XTAL 电源电压	VDD_24M_XTAL_1P8	-0.3	2.15	V	—

存储温度范围	字母 T 存储	-40	150	字母 O 字母 C	—
--------	---------	-----	-----	--------------	---

表 8. 静电放电和锁定值

参数描述		评分	参考	评论
静电放电 (ESD)	人体模型 (HBM)	±1000 V	JS-001-2017	—
	充电设备型号 (CDM)	±250 V	JS-002-2018	—
门锁 (LU)	免疫水平: • I 级 @ 25 字母 °C 环境温度 • II 级 @ 105 字母 °C 环境温度	罗马字母的 第一个字母 罗马字母的 第一个字母	JESD78E	—

## 3.1.2 耐热性

### 3.1.2.1 FCBGA 封装耐热性

表 9 显示 FCBGA 封装的热阻数据。

表 9. 热阻数据

评分	测试条件	标志	价值	单位	笔记
交界处到环境 自然对流	单层板 (1s)	字母 RJA	30	字母 °C/W	1, 2
交界处到环境 自然对流	四层板 (2s2p)	字母 RJA	22.9	字母 °C/W	1, 2, 3
枢纽到环境 (@200 英尺/分钟)	单层板 (1s)	字母 RJMA	24	字母 °C/W	1, 3
枢纽到环境 (@200 英尺/分钟)	四层板 (2s2p)	字母 RJMA	18.5	字母 °C/W	1, 3
交界处到董事会	—	字母 RJB	7.8	字母 °C/W	4
连接到案例	—	字母 RJC	4	字母 °C/W	5
连接点到包装顶部	自然对流	JT	0.2	字母 °C/W	6

- 接点温度是模具尺寸、片上功耗、封装热阻、安装点 (板) 温度、环境温度、气流、板上其他组件的功耗和板热阻的函数。
- 根据 SEMI G38-87 和 JESD51-2, 单层板水平。
- 根据 JEDEC JESD51-6, 板是水平的。
- 根据 JEDEC JESD51-8, 模具和印刷电路板之间的热阻。电路板温度在包装附近的电路板顶部表面进行测量。
- 用冷板法 (MIL SPEC-883 方法 1012.1) 测量的模具和外壳顶部表面之间的热阻。
- 热表征参数根据 JEDEC JESD51-2 指示包装顶部和结点温度之间的温差。当希腊字母不可用时, 热表征参数写为 Psi-JT。

### 3.1.3 操作范围

表 10 提供 i.MX 8M Mini 应用处理器的操作范围。有关芯片电源结构的详细信息，请参阅“电源管理单元 (PMU)”一章 *i.MX 8M 迷你应用处理器参考手册 (IMX8MMRM)*。

表 10。操作范围<sup>1</sup>

标志	分钟	类型	麦克斯 2, 3	单位	评论
VDD_ARM	0.805	0.850	0.950	V	Quad-A53 电源, 1.2 GHz
	0.900	0.950	1.000	V	Quad-A53 电源, 1.6 GHz
	0.950	1.000	1.050	V	Quad-A53 电源, 1.8 GHz <sup>4</sup>
没有 PCIE 的 VDD_SOC	0.780	0.820	0.900	V	SoC 逻辑的电源 <sup>5</sup>
带有 PCIE 的 VDD_SOC	0.805	0.850	0.900	V	SoC 逻辑的电源 <sup>5</sup>
VDD_GPU	0.805	0.850	0.900	V	3D GPU 电源, 标称模式, 800 MHz
	0.855	0.900	1.000	V	3D GPU 电源, 超速模式, 1000 MHz
VDD_VPU	—	—	—	—	块 G2/G1/H1
	0.805	0.850	0.900	V	VPU 电源, 450/450/450 MHz
	0.855	0.900	0.950	V	VPU 电源, 600/650/650 MHz
	0.900	0.950	1.000	V	VPU 电源, 700/750/750 MHz
VDD_DRAM	0.805	0.850	0.900	V	DDRC 电源, 0.85 V 支持高达 1.0 GHz (DDR 时钟)
	0.855	0.900	0.950	V	DDRC 电源, 0.9 V 支持高达 1.2 GHz (DDR 时钟)
	0.900	0.950	1.000	V	DDRC 电源, 0.95 V 支持高达 1.5 GHz (DDR 时钟)
VDD_SNVS_0P8	0.760	0.800	0.900	V	SNVS 核心逻辑的电源
NVCC_SNVS_1P8	1.620	1.800	1.980	V	GPIO 预驱动电源 SNVS 银行
NVCC_JTAG, NVCC_GPIO1,	1.650	1.800	1.950	V	GPIO 在 1.8V 时的电源形式

NVCC_ENET NVCC_SD1, NVCC_SD2, NVCC_NAND, NVCC_SAI1 NVCC_SAI2, NVCC_SAI3 NVCC_SAI5, NVCC_ECSP1 NVCC_I2C, NVCC_UART, NVCC_CLK	3.000	3.300	3.600	V	GPIO 在 3.3V 时的电源形式
NVCC_ENET	2.250	2.500	2.750	V	GPIO 在 2.5V 时的电源形式

表 10. 操作范围<sup>1</sup> (续)

标志	分钟	类型	麦克斯 2, 3	单位	评论
PVCC0_1P8, PVCC1_1P8, PVCC2_1P8	1.650	1.800	1.950	V	GPIO 预驱动电源
VSS	—	—	—	V	所有核心逻辑和 I/O 的基础
NVCC_DRAM	1.283	1.35	1.425	V	DDR3L
	1.14	1.2	1.26	V	DDR4
	1.06	1.1	1.17	V	LPDDR4
DRAM_VREF	0.49 x NVCC_DRAM	0.5 x NVCC_DRAM	0.51 x NVCC_DRAM	V	内部输出, 无需连接。
VDD_DRAM_PLL_0P8	0.805	0.850	1.000	V	DSM 的 0.8V 逻辑电源。它应该连接到单独的逻辑电源。
VDD_ANA0_1P8 VDD_ANA1_1P8	1.71	1.8	1.89	V	模拟 1.8V 核心功率
VDD_ANA_0P8	0.780	0.820	0.900	V	隔离的 0.8V 核心功率
VDD_ARM_PLL_0P8	0.780	0.820	0.900	V	手臂 PLL 0.8 V 功率
VDD_ARM_PLL_1P8	1.71	1.8	1.89	V	手臂 PLL 1.8 V 功率
VDD_24M_XTAL_1P8	1.71	1.8	1.89	V	XTAL 1.8 V 功率
VDD_DRAM_PLL_1P8	1.71	1.8	1.89	V	模拟 1.8V 核心功率
VDD_MIPI_0P9	0.855	0.9	1.000	V	用于 PLL 和内部逻辑的 0.9V 功率

VDD_MIPI_1P2	1.14	1.2	1.26	V	用于模拟的 1.2 V 功率
VDD_MIPI_1P8	1.71	1.8	1.89	V	用于 PLL 和模拟的 1.8V 功率
VDD_PCI_0P8 <sup>6,7</sup>	0.805	0.850	0.900	V	PCIe PHY 的数字供应
VDD_PCI_1P8 <sup>6</sup>	1.71	1.800	1.890	V	PCIe PHY 的 1.8V 电源
VDD_USB_0P8	0.780	0.820	0.900	V	来自 PHY 的 I/O 电源垫的数字电源
VDD_USB_1P8	1.71	1.80	1.89	V	1.8 V 模拟电源
VDD_USB_3P3	3.069	3.30	3.6	V	3.3 V 模拟电源
USB1_VBUS USB2_VBUS	1.34	—	3.60	V	USB_VBUS 输入检测信号
温度传感器的准确性 <sup>8</sup>	—	±3	±5	°C	感应温度范围 10°C 至 85°C
	—	±4	±6	°C	感应温度范围 10°C 至 95°C
	—	±5	±7	°C	感应温度范围 10°C 至 105°C

表 10. 操作范围<sup>1</sup> (续)

标志	分钟	类型	麦克斯 2, 3	单位	评论
TMU 传感温度范围	10	—	125	字母 O 字母 C	—
字母 T 第十个英文字母 J	0	—	+95	字母 O 字母 C	看见表 2 获取结点温度能力的完整列表。

<sup>1</sup> BD71847MWV PMIC 不支持 VDD\_GPU、VDD\_VPU 和 VDD\_DRAM 的 0.950 V。对于这个 PMIC，典型的 0.975 V 是可以接受和支持的。

<sup>2</sup> 应用最大电压可以产生最大的功耗和发热量。建议使用电压设定点 = (Vmin + 电源公差)。这导致了优化的功率/速度比。

<sup>3</sup> 过载最大电压包括所有标称频率。

<sup>4</sup> 5 年 50% 的占空比

<sup>5</sup> 以 0.800 V ±5% 启动 VDD\_SOC 是可以接受的 (Vmin = 0.760 V)。在第一次 DRAM 内存访问之前，软件需要将 VDD\_SOC 电压编程为本表中的典型值。

<sup>6</sup> 确保 VDD\_PCI\_1P8 的交流电源噪声不超过 40 mVpp，叠加在 PHY 核心的高电源电压上 (1.8V 标称直流值)。同时，VDD\_PCI\_0P8 的交流电源噪声应不超过 20 mVpp 在 PHY 核心的低电源电压上 (过载的 0.9 V 标称直流值)。

<sup>7</sup> 当提供但不运行 PCIe 时，它可以是最小 0.78V。

<sup>8</sup> TMU Enable Register (TMU\_TER) 的“EN”必须始终启用，部件才能正常运行。

### 3.1.4 外部时钟源

每个 i.MX 8M Mini 处理器都有两个外部输入系统时钟：低频（RTC\_XTALI）和高频（XTALI）。

RTC\_XTALI 用于低频功能。它为唤醒电路、断电实时时钟操作以及慢速系统和看门狗计数器提供时钟。时钟输入只能连接到外部振荡器。RTC\_XTALO 应该是直接连接到 VDD\_SNVS\_0P8。

系统时钟输入 XTALI 用于生成主系统时钟。它供应 PLL 和其他外围设备。系统时钟输入可以使用内部振荡器放大器连接到外部振荡器或晶体。

表 11 显示接口频率要求。

表 11. 外部输入时钟频率

参数描述	标志	分钟	类型	麦克斯	单位
RTC_XTALI 振荡器 <sup>1</sup>	第六个罗马字母 Ckil	—	32.768 <sup>2</sup>	—	千赫
XTALI 振荡器 <sup>1,3</sup>	第六个罗马字母 Xtal		24		兆赫

<sup>3</sup> 外部振荡器或与内部振荡器放大器适当耦合的基本频率晶体。

所示的典型值表 11 需要与 NXP 软件一起使用，以确保精确的计时和 USB 操作。对于 RTC\_XTALI 操作，需要一个外部振荡器。使用外部 32.768 kHz 振荡器时，RTC\_XTALO 应直接连接到 VDD\_SNVS\_0P8。

#### 笔记

没有内部 RC 振荡器。

表 12 显示 OSC32K 的外部输入时钟。

表 12. OSC32K 的外部输入时钟

	标志	分钟	类型	麦克斯	单位
频率	第六个罗马字母	—	32.768	—	千赫
RTC_XTALI	VIH	0.7 x NVCC_SNVS_1P8	—	NVCC_SNVS_1P8	V
	维尔	0	—	0.3 x NVCC_SNVS_1P8	V

### 3.1.5 最大供应电流

功耗高度依赖于应用程序。估计电源设计所需的最大电源电流很困难，因为需要最大电源电流的用例不是一个现实的应用例。

<sup>1</sup> The required frequency stability of this clock source is application dependent.

<sup>2</sup> Recommended nominal frequency 32.768 kHz.

为了帮助说明应用程序对功耗的影响，在运行旨在计算和图形密集型的消费者标准基准时收集了数据。提供的结果旨在用作电源设计的指南。

**表 13。最大供应电流**

动力导轨	最大电流	单位
VDD_ARM	2200	妈
VDD_SOC	1000	妈
VDD_GPU	500	妈
VDD_VPU	1000	妈
VDD_DRAM	1000	妈
VDD_ANA_0P8	50	妈
VDD_ANA0_1P8 VDD_ANA1_1P8	250	妈
NVCC_SNVS_1P8	3	妈
VDD_ARM_PLL_1P8 VDD_24M_XTAL_1P8	100	妈
PVCCx_1P8	3	妈

表 13. 最大供应电流 (续)

动力导轨	最大电流	单位
NVCC_<XXX>	$I_{\text{最大}} = N \times C \times V \times (0.5 \times F)$ 其中: N—电源线提供的 IO 引脚数量 C—等效外部电容负载 V—IO 电压 (0.5 x F)—数据变化率。高达时钟速率 (F) 的 0.5。 在这个等式中, $I_{\text{最大}}$ 以安培为, 以法拉兹为 C, 以伏特为 V, 以赫兹为 F。	
NVCC_DRAM		
DRAM_VFEF		

### 3.1.6 电源模式

i.MX 8M Mini 处理器支持以下电源模式:

- 运行模式: 所有外部电源轨道都已打开, CPU 处于活动状态并正在运行; 其他内部模块可以根据应用程序打开/关闭。
- 闲置模式: 当没有线程运行且所有高速设备都未处于活动状态时, CPU 可以自动进入此模式。CPU 可以处于电源门控状态, 但保留了 L2 数据, DRAM 和总线时钟会减少。大部分内部日志  $I_c$  是时钟门控的, 但仍然有动力。M4 核心可以继续运行。与运行模式相比, PMIC 的所有外部电源导轨保持不变, 大多数模块仍然保持其状态。
- 暂停模式: 最有效的省电模式, 所有时钟都关闭, 所有不必要的电源都关闭。
- SNVS 模式: 此模式也称为 RTC 模式。只有 SNVS 域的电源保持在状态, 以保持 RTC 和 SNVS 逻辑的活力。
- 关闭模式: 所有电源导轨都关闭。

表 14. 不同 LP 模式下的芯片功率

形式	供应	类型。 <sup>1</sup>	单位
SNVS	VDD_SNVS_0P8 (0.8 伏)	0.02	兆瓦特
	NVCC_SNVS_1P8 (1.8 V)	0.09	
	总数 <sup>2</sup>	0.11	

表 14. 不同 LP 模式下的芯片功率 (续)

形式	供应	类型。 <sup>1</sup>	单位
悬挂	NVCC (1.8 V)	1.20	兆瓦特

	NVCC_DRAM (1.1 V)	0.50
	NVCC_ENET (1.8 V)	0.10
	NVCC_SNVS_1P8 (1.8 V)	0.10
	PVCC (1.8 伏)	0.60
	VDD_MIPI_0P9 (0.9 V)	2.20
	VDD_SNVS_0P8 (0.8 伏)	0.10
	VDD_SOC (0.82 伏)	4.00
	VDD_ARM_0P8 (0.82 V)	0.10
	VDDA_PCIE_USB_0P8 (0.82 V)	3.00
	总数 <sup>2</sup>	11.90

<sup>1</sup> 表中定义的所有功率数字仅供参考。这些数字基于 25 的典型硅字母 O 字母 C，在非操作系统环境和用例下。有关操作系统和实际用例的电源编号，请参阅 *功耗测量应用说明* 更多细节。

<sup>2</sup> 列出的供应轨道的总和。

表 15 总结了所有电源模式下的外部电源状态。

表 15. 电源状态

动力导轨	离开	SNVS	悬挂	空闲的	跑步
VDD_ARM	离开	离开	离开	在...上	在...上
VDD_SOC	离开	离开	在...上	在...上	在...上
VDD_GPU	离开	离开	离开	离开	开/关
VDD_VPU	离开	离开	离开	离开	开/关
VDD_DRAM	离开	离开	离开	在...上	在...上
杂项_1P8 <sup>1</sup>	离开	离开	在...上	在...上	在...上
杂项_0P8 <sup>1</sup>	离开	离开	在...上	在...上	在...上

VDD_MIPI_1P2	离开	离开	离开	在...上	在...上
VDD_MIPI_0P9	离开	离开	离开	在...上	在...上
VDD_DRAM_PLL_0P8	离开	离开	在...上	在...上	在...上
VDD_SNVS_0P8	离开	在...上	在...上	在...上	在...上
NVCC_SNVS_1P8	离开	在...上	在...上	在...上	在...上
NVCC_<XXX>	离开	离开	在...上	在...上	在...上

表 15。电源状态 (续)

动力导轨	离开	SNVS	悬挂	空闲的	跑步
PVCCx_1P8	离开	离开	在...上	在...上	在...上
NVCC_DRAM	离开	离开	在...上	在...上	在...上

<sup>1</sup> 见表 16

表 16。组名

杂项_1P8	VDD_24M_XTAL_1P8 VDD_ANA0_1P8 VDD_ANA1_1P8 VDD_ARM_PLL_1P8 VDD_DRAM_PLL_1P8 VDD_MIPI_1P8 VDD_PCI_1P8 VDD_USB_1P8
杂项_0P8	VDD_ANA_0P8 VDD_ARM_PLL_0P8 VDD_PCI_0P8 VDD_USB_0P8

## 3.2 电源要求和限制

系统设计必须符合本节所述的上电顺序、下电顺序和稳态指南，以保证设备的可靠运行。任何偏离这些序列都可能导致以下情况冒号：

- 开机阶段的电流过剩
- 防止设备启动
- 处理器不可逆转的损坏（最坏情况）

### 3.2.1 开机序列

图 6 说明了 i.MX 8M Mini 处理器的开机顺序。

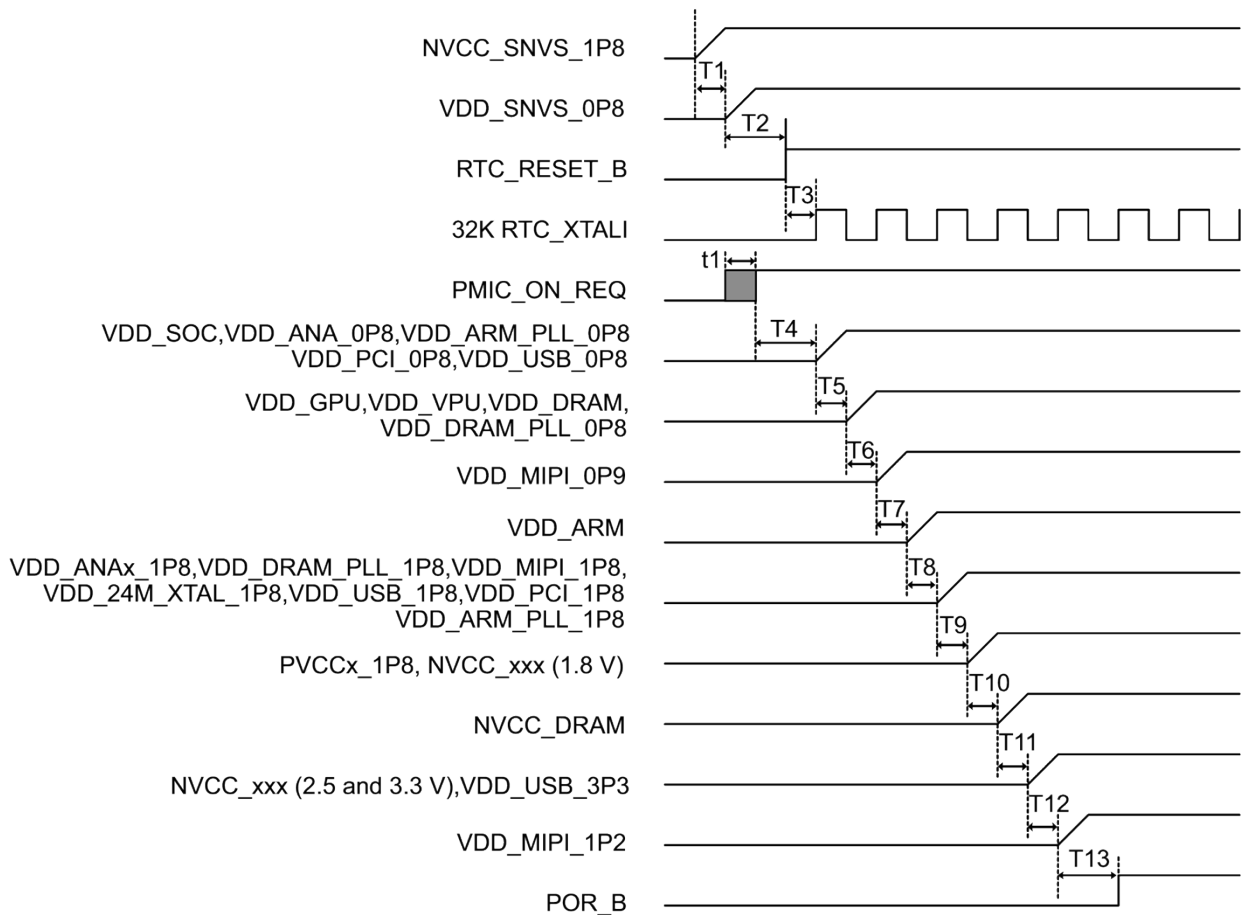


图 3. 开机序列

#### 笔记

VDD\_MIPI\_1P2 应在 VDD\_MIPI\_0P8 和 VDD\_MIPI\_1P8 后开机，并且可以在 POR\_B 发布前或 POR\_B 发布后开机。

表 17 表示开机序列的时序参数。

表 17. 开机序列

	描述	分钟	类型	麦克斯	单位
T1	从 NVCC_SNVs_1P8 到 VDD_SNVs_0P8 的延迟	0	2	—	女士
T2	来自 VDD_SNVs_0P8 高或 RTC_SET_B 去 assert 的延迟	0	10	—	女士
T3	存在从 RTC_RESET_B 去断路到稳定 32k 的延迟	—	40	100	罗马字母

					的第十九个
T4	从 PMIC_ON_REQ 断言到模拟 0.8V 的延迟	0	0.2	—	女士
T5	从模拟 0.8 V 到模拟 0.8/0.9 V 的延迟	0	2	—	女士
T6	从模拟 0.8/0.9 V 到 PHY 0.9 V 的延迟	0	15	—	罗马字母的第十九个
T7	从 PHY 0.9 V 到 VDD_ARM 的延迟	0	2	—	女士
T8	从 VDD_ARM 到模拟 1.8V 的延迟	0	15	—	罗马字母的第十九个
T9	从模拟 1.8V 到数字 1.8V 的延迟	0	2	—	女士
T10	从数字 1.8V 到 NVCC_DRAM 的延迟	0	2	—	女士
T11	从 NVCC_DRAM 到数字 2.5V 和 3.3V 的延迟	0	2	—	女士
T12	从数字 2.5V 和 3.3V 到 PHY 1.2V 的延迟	0	2	—	女士
T13 <sup>1</sup>	从 PHY 1.2 V 到 POR_B 去断言的延迟	0	20	—	女士
T1	在 VDD_SNV5_0P8 爬升期间，PMIC_ON_REQ 断言之前的不确定时期。				
	对于升级要求，只有 VDD_ANA0_1P8 有 5 个最低要求，其他人没有这样的要求。 开机时，确保 NVCC_xxx - PVCCx_1P8 < 2 V。				

<sup>1</sup> The values of T13 depend on T2. RTC\_RESET\_B must be de-assert before POR\_B de-asserts.

### 3.2.2 Power-down sequence

Figure 6 illustrates the power-down sequence of i.MX 8M Mini processor.

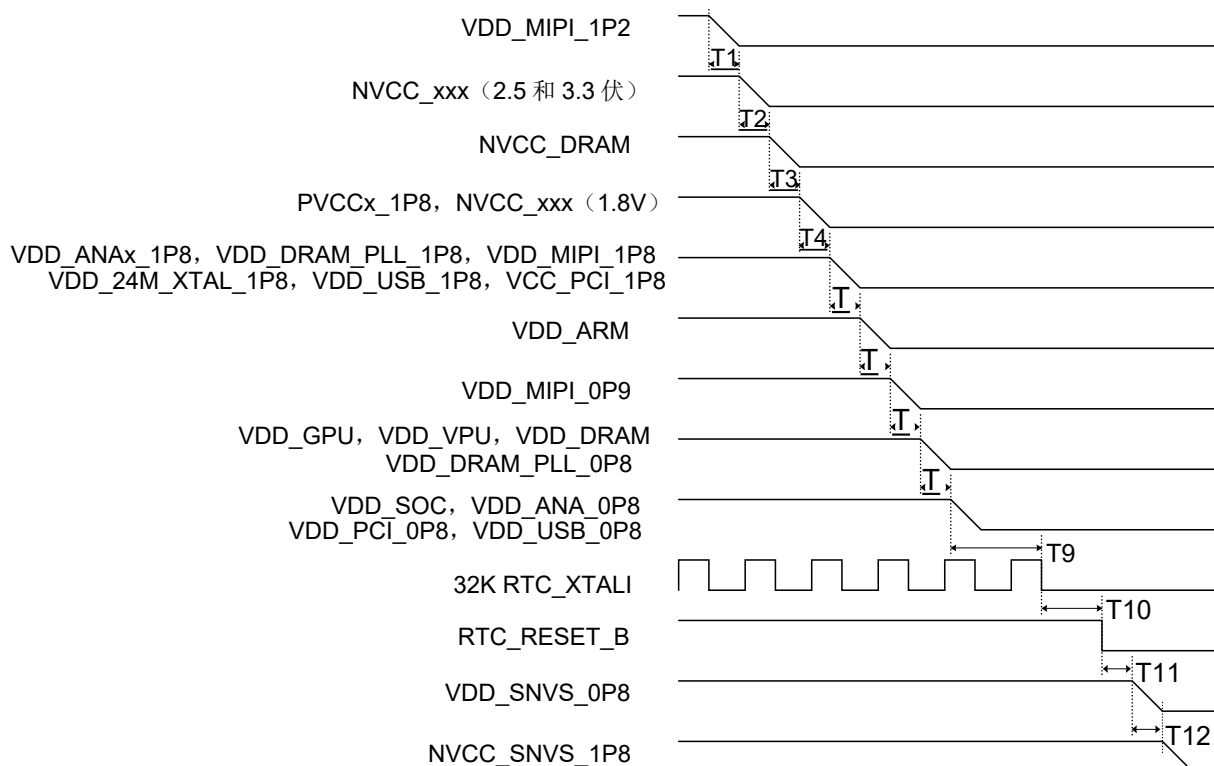


图 4. 关机顺序

### 笔记

VDD\_MIPI\_1P2 应在 VDD\_MIPI\_1P8 之前关闭电源，其他电源轨没有其他严格要求。

表 18 表示断电序列的定时参数。表 18. 断电顺序

	描述	分钟	类型	麦克斯	单位
T1	从 PHY 1.2 V 关闭到数字 2.5V 和 3.3V 关闭的延迟	0	10	—	女士
T2	从数字 2.5V 和 3.3V 关闭到 NVCC_DRAM 关闭的延迟	0	10	—	女士
T3	从 NVCC_DRAM 关闭到数字 1.8V 关闭的延迟	0	10	—	女士
T4	从数字 1.8V 关闭到模拟 1.8V 关闭的延迟	0	10	—	女士
T5	从模拟 1.8V 关闭到 VDD_ARM 关闭的延迟	0	10	—	女士
T6	从 VDD_ARM 关闭到 PHY 0.9 V 关闭的延迟	0	10	—	女士
T7	从 PHY 0.9 V 关闭到模拟 0.8/0.9 V 关闭的延迟	0	10	—	女士

T8	从模拟 0.8/0.9 V 关闭到模拟 0.8V 关闭的延迟	0	10	—	女士
T9	从模拟 0.8V 关闭到 32k 关闭的延迟	0	10	—	女士
T10	从 32k off 延迟到 RTC_RESET_B 断言	0	10	—	女士
T11	从 RTC_RESET_B 断言到 VDD_SNVS_0P8 的延迟关闭	0	10	—	女士
T12	从 VDD_SNVS_0P8 关闭到 NVCC_SNVS_1P8 关闭的延迟	0	10	—	女士
	关机期间，确保 $NVCC\_xxx - PVCCx\_1P8 < 2 V$ 。				

### 3.3 PLL 电气特性

表 19 显示 PLL 电气特性。

表 19。PLL 电气参数

PLL 类型	参数	价值
音频_PLL1	时钟输出范围	最大 650 MHz
	参考时钟	24 兆赫
	锁定时间	375 罗马字母的第十九个
音频_PLL2	时钟输出范围	最大 650 MHz
	参考时钟	24 兆赫
	锁定时间	375 罗马字母的第十九个
视频_PLL1	时钟输出范围	最大 650 MHz
	参考时钟	24 兆赫
	锁定时间	375 罗马字母的第十九个
SYS_PLL1	时钟输出范围	800 兆赫
	参考时钟	24 兆赫
	锁定时间	25 s

表 19。PLL 电气参数 (续)

PLL 类型	参数	价值
SYS_PLL2	时钟输出范围	1 千兆赫
	参考时钟	24 兆赫
	锁定时间	25 s

SYS_PLL3	时钟输出范围	600 MHz ~ 1 GHz
	参考时钟	24 兆赫
	锁定时间	25 s
ARM_PLL	时钟输出范围	800 MHz ~1.6 GHz
	参考时钟	24 兆赫
	锁定时间	25 s
DRAM_PLL	时钟输出范围	最大 750 兆赫
	参考时钟	24 兆赫
	锁定时间	375 s
GPU_PLL	时钟输出范围	最大 1 GHz
	参考时钟	24 兆赫
	锁定时间	25 s
VPU_PLL	时钟输出范围	400 MHz ~ 800 MHz
	参考时钟	24 兆赫
	锁定时间	25 s

## 3.4 片上振荡器

### 3.4.1 OSC24M

24 MHz 振荡器被用作 PLL 的主要时钟源，为 CPU、总线 and 高速接口生成时钟。对于分数 PLL，来自振荡器的 24 MHz 时钟可以直接用作 PLL 参考时钟。

表 20。水晶规格<sup>1</sup>

参数描述	分钟	类型	麦克斯	单位
频率	—	24	—	兆赫
加载	—	12	—	pF
驱动级别	10.02	—	100	罗马字母的第 23 个字母
红细胞沉降率	—	—	60	

<sup>1</sup>实际工作驱动级别取决于实际设计。请联系水晶供应商选择水晶的驱动级别。

### 3.4.2 OSC32K

这个块实现了一个放大器，当与合适的石英晶体和外部负载电容器结合时，可以实现一个低功耗振荡器。

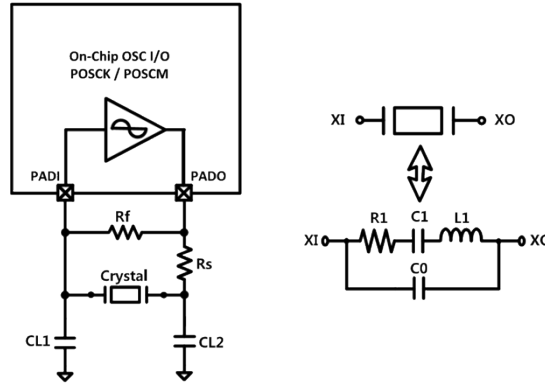


Figure 5. Crystal model and external components

表 21. 32K 晶体规格<sup>1</sup>

参数描述	分钟	类型	麦克斯	单位
频率	—	32.768	—	千赫
加载 <sup>1</sup>	—	12.5	—	pF
驱动级别 <sup>2</sup>	17.74	—	1000	nW
红细胞沉降率 <sup>3</sup>	—	—	70K	
Rf (反馈电阻) <sup>4</sup>	4.7	—	—	
Rs (系列电阻) <sup>5</sup>	0	—	1	

<sup>1</sup> CL is the load capacitance of the crystal that is recommended by the crystal vendors to obtain target clock frequency. CL is given by the following formula:  $CL = \{CL1 \times CL2 / (CL1 + CL2)\} + PCB \text{ strays}$ .

<sup>2</sup> Actual working drive level is depend on real design. Please contact crystal vendor for selecting drive level of crystal.

<sup>3</sup> ESR is the equivalent series resistance of the crystal.

<sup>4</sup> Rf is the feedback resistor to bias the amplifier. A larger value of Rf is preferred at lower frequencies.

<sup>5</sup> Rs is the series resistor to limit amplifier gain and reduce power dissipation in the crystal.

表 22。GPIO DC 参数

参数	标志	测试条件	分钟	类型	麦克斯	单位
高电平输出电压	V <sub>OH</sub> (1.8 V)	I <sub>OH</sub> = 1.6/3.2/6.4/9.6 mA (1.8 V) I <sub>OH</sub> = 2/4/8/12 mA (3.3 V)	0.8 x V <sub>DD</sub>	—	V <sub>DD</sub>	V
	V <sub>OH</sub> (3.3 V)		0.8 x V <sub>DD</sub>	—	V <sub>DD</sub>	V
低电平输出电压	V <sub>OL</sub> (1.8 V)	I <sub>OL</sub> = 1.6/3.2/6.4/9.6 mA (1.8 V) I <sub>OL</sub> = 2/4/8/12 mA (3.3 V)	0	—	0.2 x V <sub>DD</sub>	V
	V <sub>OL</sub> (3.3 V)		0	—	0.2 x V <sub>DD</sub>	V
高电平输入电压	V <sub>IH</sub>	—	0.7 x V <sub>DD</sub>	—	V <sub>DD</sub> + 0.3	V
低电平输入电压	V <sub>IL</sub>	—	-0.3	—	0.3 x V <sub>DD</sub>	V
上拉电阻	—	V <sub>DD</sub> = 1.65 - 1.95V 温度 = 0 - 95 °C	12	22	49	K
下拉电阻	—		13	23	48	K
上拉电阻	—	V <sub>DD</sub> = 2.25 - 2.75V 温度 = 0 - 95 °C	13	24	69	K
下拉电阻	—		9.1	33	69	K
上拉电阻 <sup>1</sup>	—	V <sub>DD</sub> = 3.0 - 3.6V 温度 = 0 - 95 °C	—	—	—	K
下拉电阻 <sup>1</sup>	—		—	—	—	K
高电平输入电流	I <sub>IH</sub>	—	-4	—	4	罗马字母的第一个字母
低电平输入电流	I <sub>IL</sub>	—	-0.7	—	0.7	罗马字母

### 3.5 General purpose I/O (GPIO) DC parameters

Table 22 shows DC parameters for GPIO pads. The parameters in Table 22 are guaranteed per the operating ranges in Table 10, unless otherwise noted.

						母的 第 一 个 字 母
--	--	--	--	--	--	-----------------------------

<sup>1</sup>不支持 3.3 V IO 的内部上拉或下拉。

表 23。额外的泄漏参数

参数	标志	别针	分钟	麦克斯	单位
高电平输入电流	IIH	PCIE_RXN, USBx_Dx	-30	30	罗马字母的 第 一 个 字 母
		PCIE_CLK	-8	8	
		MIPI_CSI	-4	4	
低电平输入电流	IIL	JTAG_TRST_B, USBx_ID	-200	200	罗马字母的 第 一 个 字 母
		PCIE_CLK, USBx_Dx	-6	6	
		PCIE_RXN	-2.5	2.5	
		MIPI_CSI, ONOFF, POR_B	-0.7	0.7	

### 3.5.1 DDR I/O 直流电气特性

DDR I/O 垫支持 LPDDR 4、DDR4 和 DDR3L 操作模式。DDR 内存控制器 (DDRMC) 旨在与符合 JEDEC 标准的 SDRAM 兼容。

DDRMC 的运行取决于董事会的 DDR 设计是否符合 i.MX 8M Mini 应用程序处理器的硬件开发指南中所述的 DDR 设计和布局要求。

### 3.6 I/O AC parameters

This section includes the AC parameters of the following I/O types:

- General Purpose I/O (GPIO)

The GPIO load circuit and output transition time waveforms are shown in [Figure 6](#) and [Figure 7](#).

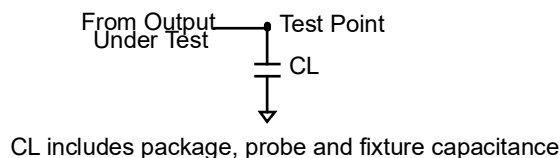


Figure 6. Load circuit for output

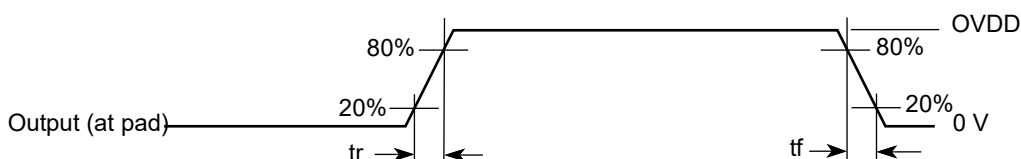


Figure 7. Output transition time waveform

#### 3.6.1 General purpose I/O AC parameters

This section presents the I/O AC parameters for GPIO in different modes.

Table 24. Maximum frequency of operation for input

Maximum frequency (MHz)	
VDD = 1.8 V, CL = 50 pF	VDD = 3.3 V, CL = 50 pF
450	440

Table 25. Maximum frequency of operation for output

Parameter			Maximum Frequency (MHz)			
			VDD = 1.8 V		VDD = 3.3 V	
dse[2:0]	sre[1:0]	Driver type	CL = 10 pF	CL = 20 pF	CL = 10 pF	CL = 20 pF
00X	0X	1x Slow Slew	150	80	120	65
00X	1X	1x Fast Slew	150	80	120	65
10X	0X	2x Slow Slew	160	90	150	80
10X	1X	2x Fast Slew	160	90	150	80
01X	0X	4x Slow Slew	200	100	180	90

**Table 25. Maximum frequency of operation for output (continued)**

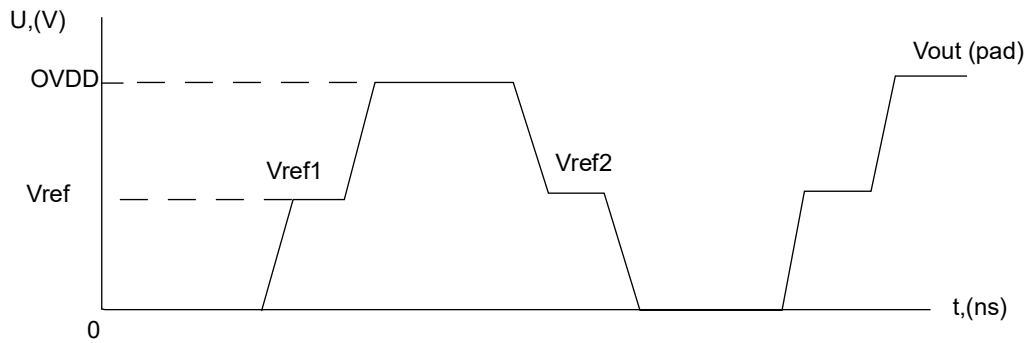
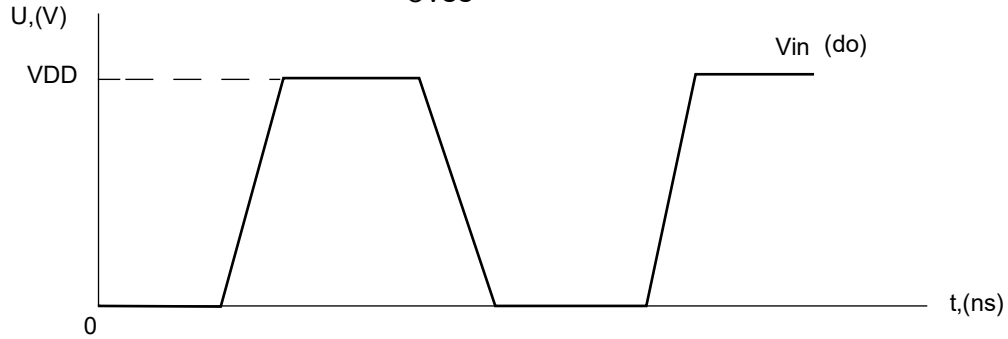
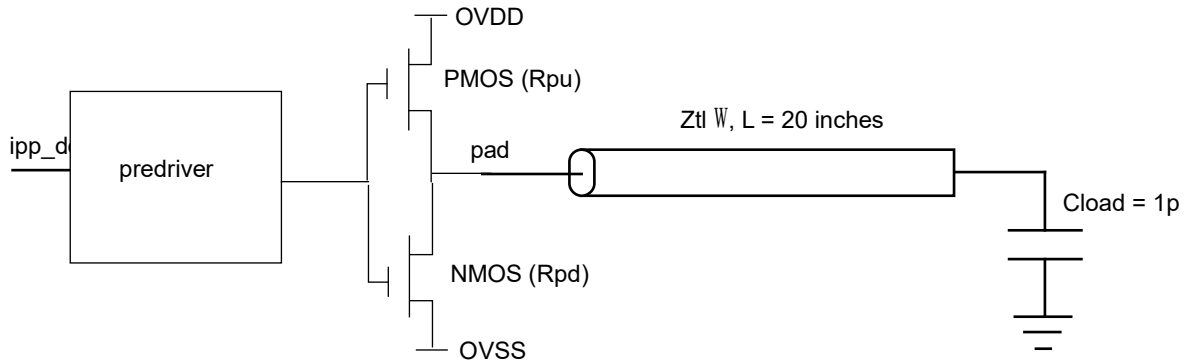
Parameter			Maximum Frequency (MHz)			
			VDD = 1.8 V		VDD = 3.3 V	
dse[2:0]	sre[1:0]	Driver type	CL = 10 pF	CL = 20 pF	CL = 10 pF	CL = 20 pF
01X	1X	4x Fast Slew	200	100	180	90
11X	0X	6x Slow Slew	250	130	200	100
11X	1X	6x Fast Slew	250	130	200	100

### 3.7 Output buffer impedance parameters

This section defines the I/O impedance parameters of the i.MX 8M Mini family of processors for the following I/O types:

**NOTE**

DDR I/O output driver impedance is measured with “long” transmission line of impedance  $Z_{tl}$  attached to I/O pad and incident wave launched into transmission line.  $R_{pu}/R_{pd}$  and  $Z_{tl}$  form a voltage divider that defines specific voltage of incident wave relative to OVDD. Output driver impedance is calculated from this voltage divider (see [Figure 8](#)).



$$R_{pu} = \frac{V_{ovdd} - V_{ref1}}{V_{ref1}} \times Z_{tl}$$

$$R_{pd} = \frac{V_{ref2}}{V_{ovdd} - V_{ref2}} \times Z_{tl}$$

**Figure 8. Impedance matching load for measurement**

### 3.7.1 DDR I/O output buffer impedance

Table 26 shows DDR I/O output buffer impedance of i.MX 8M Mini family of processors.

Table 26. DDR I/O output buffer impedance

Parameter	Symbol	Test Conditions DSE (Drive Strength)	Typical			Unit
			NVCC_DRAM = 1.35 V (DDR3L)	NVCC_DRAM = 1.2 V (DDR4)	NVCC_DRAM = 1.1 V (LPDDR4)	
Output Driver Impedance	Rdrv	000000	Hi-Z	Hi-Z	Hi-Z	Ω
		000010	240	240	240	
		001000	120	120	120	
		001010	80	80	80	
		011000	60	60	60	
		011010	48	48	48	
		111000	40	40	40	
		111010	34	34	34	

**Note:**

1. Output driver impedance is controlled across PVTs using ZQ calibration procedure.
2. Calibration is done against 240 Ω external reference resistor.
3. Output driver impedance deviation (calibration accuracy) is ±5% (max/min impedance) across PVTs.

### 3.8 System modules timing

This section contains the timing and electrical parameters for the modules in each i.MX 8M Mini processor.

#### 3.8.1 Reset timings parameters

Figure 9 shows the reset timing and Table 27 lists the timing parameters.

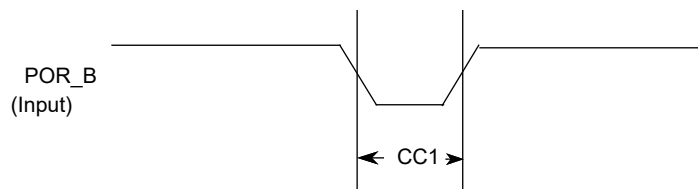


Figure 9. Reset timing diagram

Table 27. Reset timing parameters

ID	Parameter	Min	Max	Unit
CC1	Duration of POR_B to be qualified as valid.	1	—	RTC_XTALI cycle

### 3.8.2 WDOG Reset timing parameters

Figure 10 shows the WDOG reset timing and Table 28 lists the timing parameters.

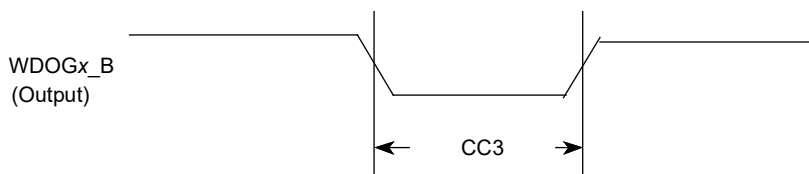


Figure 10. WDOGx\_B timing diagram

Table 28. WDOGx\_B timing parameters

ID	Parameter	Min	Max	Unit
CC3	Duration of WDOGx_B Assertion	1	—	RTC_XTALI cycle

#### NOTE

RTC\_XTALI is approximately 32 kHz. RTC\_XTALI cycle is one period or approximately 30  $\mu$ s.

#### NOTE

WDOGx\_B output signals (for each one of the Watchdog modules) do not have dedicated pins, but are muxed out through the IOMUX. See the IOMUXC chapter of the *i.MX 8M Mini Applications Processor Reference Manual* (IMX8MMRM) for detailed information.

### 3.8.3 DDR SDRAM–specific parameters (LPDDR4 and DDR4)

The i.MX 8M Mini Family of processors have been designed and tested to work with JEDEC JESD209-4A–compliant LPDDR4 memory and JESD79-4A compliant DDR4 memory. Timing diagrams and tolerances required to work with these memories are specified in the respective documents and are not reprinted here.

Meeting the necessary timing requirements for a DDR memory system is highly dependent on the components chosen and the design layout of the system as a whole. NXP cannot cover in this document all the requirements needed to achieve a design that meets full system performance over temperature, voltage, and part variation; PCB trace routing, PCB dielectric material, number of routing layers used, placement of bulk/decoupling capacitors on critical power rails, VIA placement, GND and Supply planes layout, and DDR controller/PHY register settings all are factors affecting the performance of the memory system. Consult the hardware user guide for this device and NXP validated design layouts for information on how to properly design a PCB for best DDR performance. NXP strongly recommends duplicating an NXP validated design as much as possible in the design of critical power rails, placement of bulk/decoupling capacitors and DDR trace routing between the processor and the selected DDR memory. All supporting material is readily available on the device web page on <https://www.nxp.com/products/processors-and-microcontrollers/applications-processors/i.mx-applications-processors/i.mx-8-processors:IMX8-SERIES>.

## Electrical characteristics

Processors that demonstrate full DDR performance on NXP validated designs, but do not function on customer designs, are not considered marginal parts. A report detailing how the returned part behaved on an NXP validated system will be provided to the customer as closure to a customer's reported DDR issue. Customers bear the responsibility of properly designing the Printed Circuit Board, correctly simulating and modeling the designed DDR system, and validating the system under all expected operating conditions (temperatures, voltages) prior to releasing their product to market.

**Table 29. i.MX 8M Mini DRAM controller supported SDRAM configurations**

Parameter	LPDDR4	DDR4
Number of Controllers	1	1
Number of Channels	2	N/A
Number of Chip Selects	2	1
Bus Width	32 bit	32 bit
Maximum Clock Frequency	3000 MT/s	2400 MT/s

### 3.8.3.1 Clock/data/command/address pin allocations

These processors use generic names for clock, data, and command address bus (DCF—DRAM controller functions); see [Table 69](#) for details about mapping of clock, data, and command address signals of LPDDR4 and DDR4 modes.

## 3.9 External peripheral interface parameters

The following subsections provide information on external peripheral interfaces.

### 3.9.1 ECSPi timing parameters

This section describes the timing parameters of the ECSPi blocks. The ECSPi have separate timing parameters for master and slave modes.

### 3.9.1.1 ECSPi Master mode timing

Figure 11 depicts the timing of ECSPi in master mode. Table 30 lists the ECSPi master mode timing characteristics.

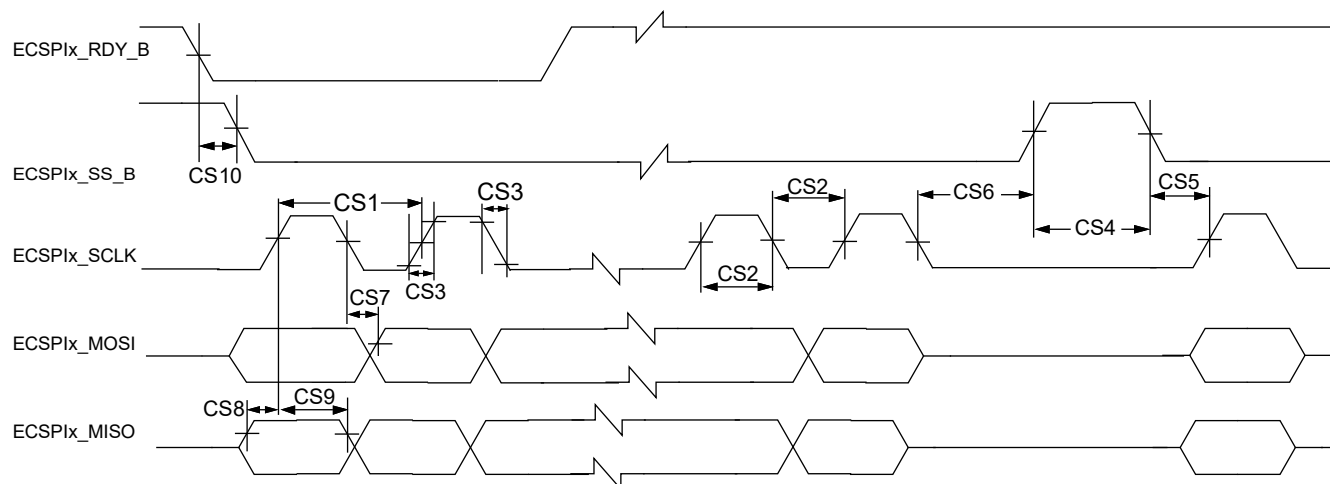


Figure 11. ECSPi Master mode timing diagram

Table 30. ECSPi Master mode timing parameters

ID	Parameter	Symbol	Min	Max	Unit
CS1	ECSPi_SCLK Cycle Time–Read ECSPi_SCLK Cycle Time–Write	$t_{clk}$	43 15	—	ns
CS2	ECSPi_SCLK High or Low Time–Read ECSPi_SCLK High or Low Time–Write	$t_{sw}$	21.5 7	—	ns
CS3	ECSPi_SCLK Rise or Fall <sup>1</sup>	$t_{RISE/FALL}$	—	—	ns
CS4	ECSPi_SS_B pulse width	$t_{CSLH}$	Half ECSPi_SCLK period	—	ns
CS5	ECSPi_SS_B Lead Time (CS setup time)	$t_{SCS}$	Half ECSPi_SCLK period - 4	—	ns
CS6	ECSPi_SS_B Lag Time (CS hold time)	$t_{HCS}$	Half ECSPi_SCLK period - 2	—	ns
CS7	ECSPi_MOSI Propagation Delay ( $C_{LOAD} = 20$ pF)	$t_{PDmosi}$	-1	1	ns
CS8	ECSPi_MISO Setup Time	$t_{Smiso}$	18	—	ns
CS9	ECSPi_MISO Hold Time	$t_{Hmiso}$	0	—	ns
CS10	RDY to ECSPi_SS_B Time <sup>2</sup>	$t_{SDRY}$	5	—	ns

<sup>1</sup> See specific I/O AC parameters [Section 3.6, I/O AC parameters.](#)

<sup>2</sup> SPI\_RDY is sampled internally by ipg\_clk and is asynchronous to all other CSPI signals.

### 3.9.1.2 ECSPi Slave mode timing

Figure 12 depicts the timing of ECSPi in Slave mode. Table 31 lists the ECSPi Slave mode timing characteristics.

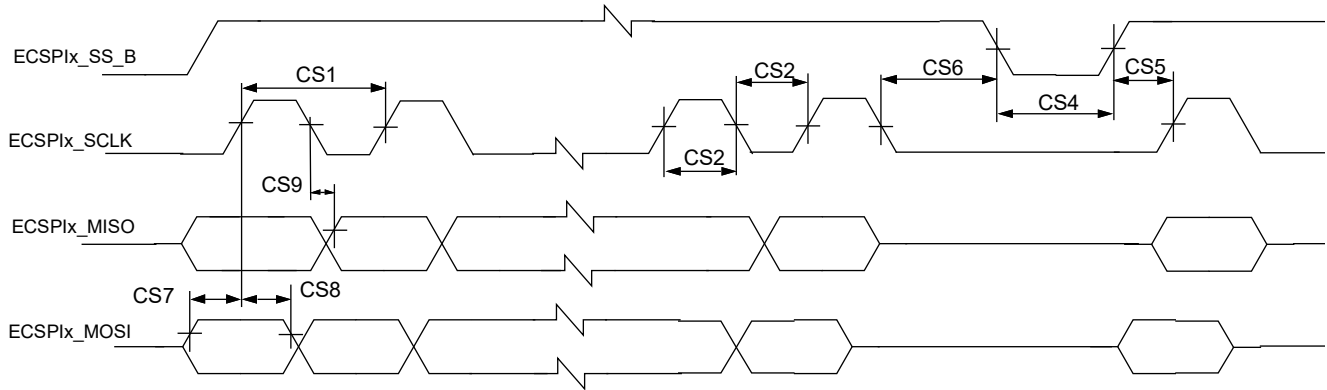


Figure 12. ECSPi Slave mode timing diagram

Table 31. ECSPi Slave mode timing parameters

ID	Parameter	Symbol	Min	Max	Unit
CS1	ECSPi_SCLK Cycle Time–Read ECSPi_SCLK Cycle Time–Write	$t_{clk}$	15 43	—	ns
CS2	ECSPi_SCLK High or Low Time–Read ECSPi_SCLK High or Low Time–Write	$t_{sw}$	7 21.5	—	ns
CS4	ECSPi_SS_B pulse width	$t_{CSLH}$	Half ECSPi_SCLK period	—	ns
CS5	ECSPi_SS_B Lead Time (CS setup time)	$t_{SCS}$	5	—	ns
CS6	ECSPi_SS_B Lag Time (CS hold time)	$t_{HCS}$	5	—	ns
CS7	ECSPi_MOSI Setup Time	$t_{Smosi}$	4	—	ns
CS8	ECSPi_MOSI Hold Time	$t_{Hmosi}$	4	—	ns
CS9	ECSPi_MISO Propagation Delay ( $C_{LOAD} = 20\text{ pF}$ )	$t_{PDmiso}$	4	19	ns

### 3.9.2 Ultra-high-speed SD/SDIO/MMC host interface (uSDHC) AC timing

This section describes the electrical information of the uSDHC, which includes SD/eMMC 5.1 (single data rate) timing, eMMC 5.1/SD3.0 (dual data rate) AC timing, and SDR50/SDR104 AC timing.

#### 3.9.2.1 SD3.0/eMMC 5.1 (single data rate) AC timing

Figure 13 depicts the timing of SD3.0/eMMC5.1 (SDR), and Table 32 lists the SD3.0/eMMC5.1 (SDR) timing characteristics.

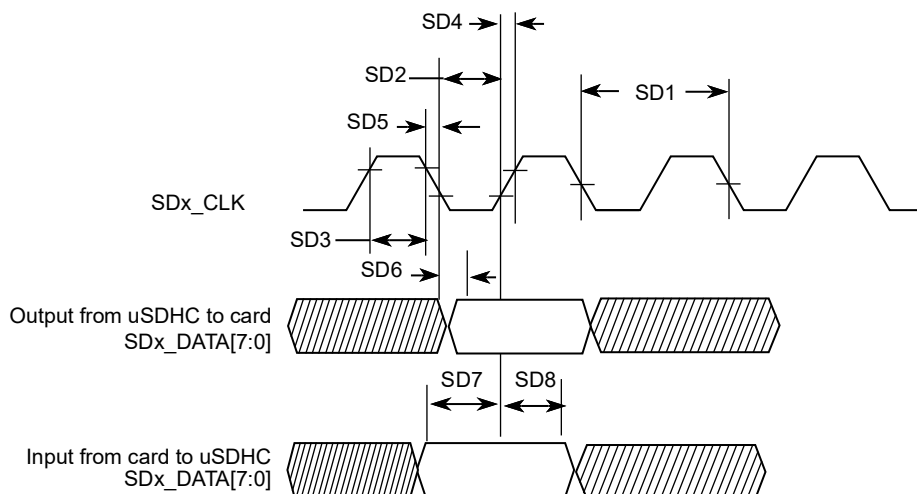


Figure 13. SD3.0/eMMC5.1 (SDR) timing

Table 32. SD3.0/eMMC5.1 (SDR) interface timing specification

ID	Parameter	Symbols	Min	Max	Unit
<b>Card Input Clock</b>					
SD1	Clock Frequency (Low Speed)	$f_{PP}^1$	0	400	kHz
	Clock Frequency (SD/SDIO Full Speed/High Speed)	$f_{PP}^2$	0	25/50	MHz
	Clock Frequency (MMC Full Speed/High Speed)	$f_{PP}^3$	0	20/52	MHz
	Clock Frequency (Identification Mode)	$f_{OD}$	100	400	kHz
SD2	Clock Low Time	$t_{WL}$	7	—	ns
SD3	Clock High Time	$t_{WH}$	7	—	ns
SD4	Clock Rise Time	$t_{TLH}$	—	3	ns
SD5	Clock Fall Time	$t_{THL}$	—	3	ns
<b>uSDHC Output/Card Inputs SD_CMD, SDx_DATAx (Reference to CLK)</b>					
SD6	uSDHC Output Delay	$t_{OD}$	-6.6	3.6	ns

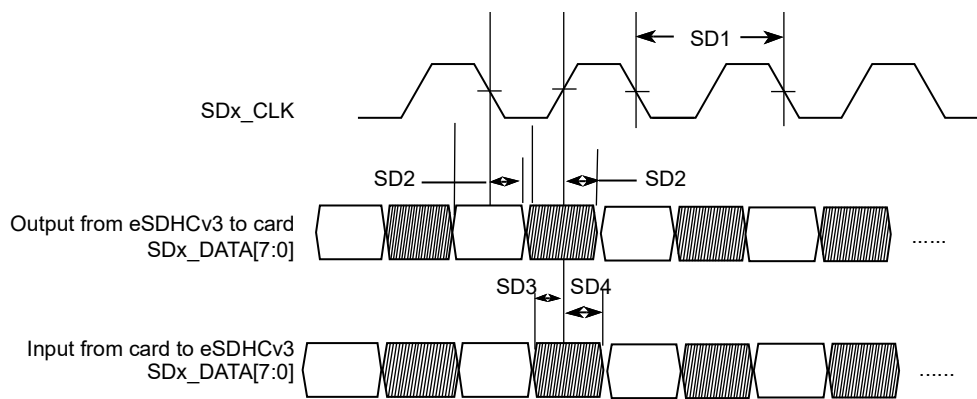
**Table 32. SD3.0/eMMC5.1 (SDR) interface timing specification (continued)**

ID	Parameter	Symbols	Min	Max	Unit
<b>uSDHC Input/Card Outputs SD_CMD, SDx_DATAx (Reference to CLK)</b>					
SD7	uSDHC Input Setup Time	$t_{ISU}$	2.5	—	ns
SD8	uSDHC Input Hold Time <sup>4</sup>	$t_{IH}$	1.5	—	ns

- <sup>1</sup> In Low-Speed mode, card clock must be lower than 400 kHz, voltage ranges from 2.7 to 3.6 V.
- <sup>2</sup> In Normal (Full) -Speed mode for SD/SDIO card, clock frequency can be any value between 0–25 MHz. In High-speed mode, clock frequency can be any value between 0–50 MHz.
- <sup>3</sup> In Normal (Full) -Speed mode for MMC card, clock frequency can be any value between 0–20 MHz. In High-speed mode, clock frequency can be any value between 0–52 MHz.
- <sup>4</sup> To satisfy hold timing, the delay difference between clock input and cmd/data input must not exceed 2 ns.

### 3.9.2.2 eMMC 5.1/SD3.0 (dual data rate) AC timing

Figure 14 depicts the timing of eMMC 5.1/SD3.0 (DDR). Table 33 lists the eMMC 5.1/SD3.0 (DDR) timing characteristics. Be aware that only DATA is sampled on both edges of the clock (not applicable to CMD).



**Figure 14. eMMC5.1/SD3.0 (DDR) timing**

**Table 33. eMMC5.1/SD3.0 (DDR) interface timing specification**

ID	Parameter	Symbols	Min	Max	Unit
<b>Card Input Clock</b>					
SD1	Clock Frequency (eMMC5.1 DDR)	$f_{PP}$	0	52	MHz
SD1	Clock Frequency (SD3.0 DDR)	$f_{PP}$	0	50	MHz
<b>uSDHC Output / Card Inputs SD_CMD, SDx_DATAx (Reference to CLK)</b>					
SD2	uSDHC Output Delay	$t_{OD}$	2.7	6.9	ns
<b>uSDHC Input / Card Outputs SD_CMD, SDx_DATAx (Reference to CLK)</b>					

Table 33. eMMC5.1/SD3.0 (DDR) interface timing specification (continued)

ID	Parameter	Symbols	Min	Max	Unit
SD3	uSDHC Input Setup Time	$t_{ISU}$	2.4	—	ns
SD4	uSDHC Input Hold Time	$t_{IH}$	1.3	—	ns

### 3.9.2.3 HS400 DDR AC timing

Figure 15 depicts the timing of HS400 mode, and Table 34 lists the HS400 timing characteristics. Be aware that only data is sampled on both edges of the clock (not applicable to CMD). The CMD input/output timing for HS400 mode is the same as CMD input/output timing for SDR104 mode. Check SD5, SD6, and SD7 parameters in Table 36 SDR50/SDR104 Interface Timing Specification for CMD input/output timing for HS400 mode.

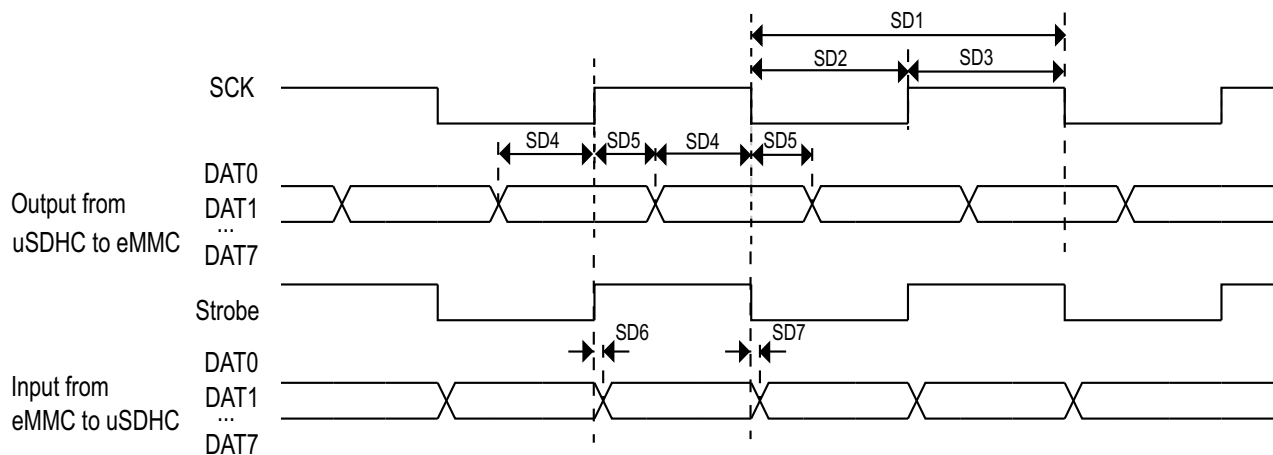


Figure 15. HS400 timing

Table 34. HS400 interface timing specification

ID	Parameter	Symbols	Min	Max	Unit
<b>Card Input Clock</b>					
SD1	Clock frequency	$f_{PP}$	0	200	MHz
SD2	Clock low time	$t_{CL}$	$0.46 \times t_{CLK}$	$0.54 \times t_{CLK}$	ns
SD3	Clock high time	$t_{CH}$	$0.46 \times t_{CLK}$	$0.54 \times t_{CLK}$	ns
<b>uSDHC Output/Card Inputs DAT (Reference to SCK)</b>					
SD4	Output skew from data of edge of SCK	$t_{OSkew1}$	0.45	—	ns
SD5	Output skew from edge of SCK to data	$t_{OSkew2}$	0.45	—	ns
<b>uSDHC Input/Card Outputs DAT (Reference to Strobe)</b>					

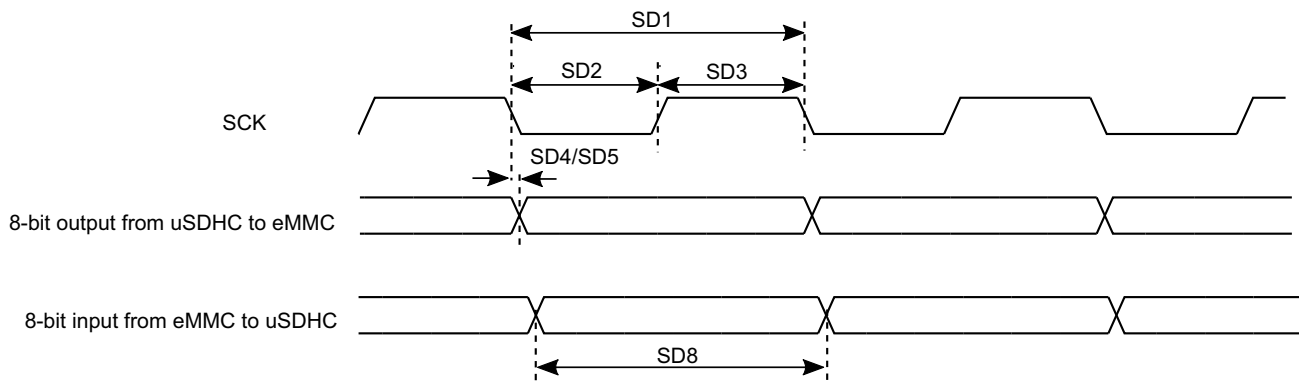
## Electrical characteristics

**Table 34. HS400 interface timing specification (continued)**

ID	Parameter	Symbols	Min	Max	Unit
SD6	uSDHC input skew	$t_{RQ}$	—	0.45	ns
SD7	uSDHC hold skew	$t_{RQH}$	—	0.45	ns

### 3.9.2.4 HS200 Mode AC timing

Figure 16 depicts the timing of HS200 mode, and Table 35 lists the HS200 timing characteristics.



**Figure 16. HS200 timing**

**Table 35. HS200 interface timing specification**

ID	Parameter	Symbols	Min	Max	Unit
<b>Card Input Clock</b>					
SD1	Clock Frequency Period	$t_{CLK}$	5.0	—	ns
SD2	Clock Low Time	$t_{CL}$	$0.3 \times t_{CLK}$	$0.7 \times t_{CLK}$	ns
SD3	Clock High Time	$t_{CH}$	$0.3 \times t_{CLK}$	$0.7 \times t_{CLK}$	ns
<b>uSDHC Output/Card Inputs SD_CMD, SDx_DATAx in HS200 (Reference to CLK)</b>					
SD5	uSDHC Output Delay	$t_{OD}$	-1.6	1	ns
<b>uSDHC Input/Card Outputs SD_CMD, SDx_DATAx in HS200 (Reference to CLK)<sup>1</sup></b>					
SD8	uSDHC Output Data Window	$t_{ODW}$	$0.5 \times t_{CLK}$	—	ns

<sup>1</sup> HS200 is for 8 bits while SDR104 is for 4 bits.

### 3.9.2.5 SDR50/SDR104 AC timing

Figure 17 depicts the timing of SDR50/SDR104, and Table 36 lists the SDR50/SDR104 timing characteristics.

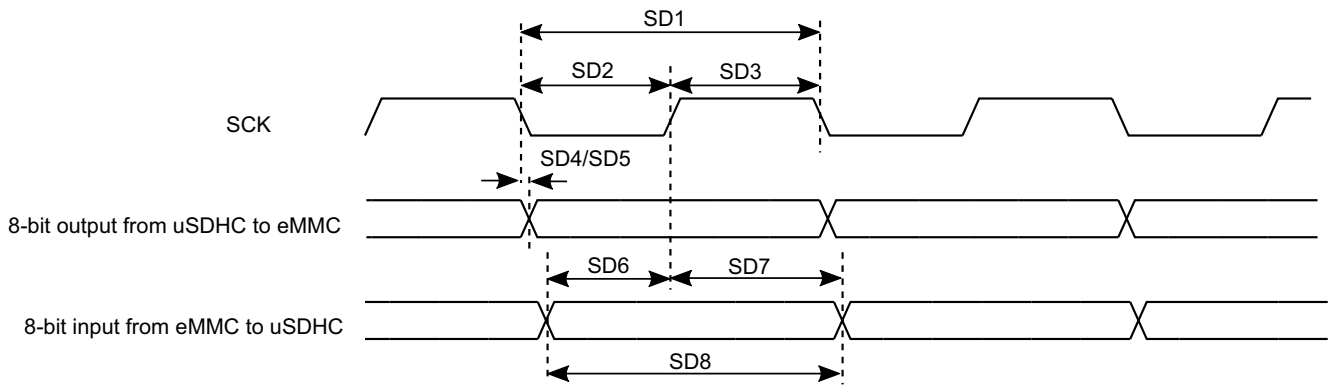


Figure 17. SDR50/SDR104 timing

Table 36. SDR50/SDR104 interface timing specification

ID	Parameter	Symbols	Min	Max	Unit
<b>Card Input Clock</b>					
SD1	Clock Frequency Period	$t_{CLK}$	5	—	ns
SD2	Clock Low Time	$t_{CL}$	$0.46 \times t_{CLK}$	$0.54 \times t_{CLK}$	ns
SD3	Clock High Time	$t_{CH}$	$0.46 \times t_{CLK}$	$0.54 \times t_{CLK}$	ns
<b>uSDHC Output/Card Inputs SD_CMD, SDx_DATAx in SDR50 (Reference to CLK)</b>					
SD4	uSDHC Output Delay	$t_{OD}$	-3	1	ns
<b>uSDHC Output/Card Inputs SD_CMD, SDx_DATAx in SDR104 (Reference to CLK)</b>					
SD5	uSDHC Output Delay	$t_{OD}$	-1.6	1	ns
<b>uSDHC Input/Card Outputs SD_CMD, SDx_DATAx in SDR50 (Reference to CLK)</b>					
SD6	uSDHC Input Setup Time	$t_{ISU}$	2.4	—	ns
SD7	uSDHC Input Hold Time	$t_{IH}$	1.4	—	ns
<b>uSDHC Input/Card Outputs SD_CMD, SDx_DATAx in SDR104 (Reference to CLK)<sup>1</sup></b>					
SD8	uSDHC Output Data Window	$t_{ODW}$	$0.5 \times t_{CLK}$	—	ns

<sup>1</sup> Data window in SDR100 mode is variable.

### 3.9.2.6 Bus operation condition for 3.3 V and 1.8 V signaling

Signaling level of SD/eMMC4.5/5.0/5.1 can be 1.8 V or 3.3 V depending on the working mode. The DC parameters for the NVCC\_SD1, NVCC\_SD2 and NVCC\_SD3 supplies are identical to those shown in Table 22, "GPIO DC parameters," on page 30.

### 3.9.3 Ethernet controller (ENET) AC electrical specifications

The following timing specs are defined at the chip I/O pin and must be translated appropriately to arrive at timing specs/constraints for the physical interface.

**Table 37. ENET signal mapping**

Pad name	Description	Mode	Alt mode	Direction	Comments
ENET_MDC	enet1.MDC	RMII/RGMII	ALT0	O	—
ENET_MDIO	enet1.MDIO	RMII/RGMII	ALT0	I/O	—
ENET_TD3	RGMII.TD3	RGMII	ALT0	O	Only used for RGMII
ENET_TD2	RMII.CLK; RGMII.TD2	RMII/RGMII	ALT0	I/O	Used as RMII clock and RGMII data, there are two RMII clock schemes. <ul style="list-style-type: none"> <li>• MAC generate output 50M reference clock for PHY, and MAC also use this 50M clock.</li> <li>• MAC use external 50M clock.</li> </ul>
ENET_TD1	RMII and RGMII.TD1	RMII/RGMII	ALT0	O	—
ENET_TD0	RMII and RGMII.TD0	RMII/RGMII	ALT0	O	—
ENET_TX_CTL	RMII.TX_EN; RGMII.TX_CTL	RMII/RGMII	ALT0	O	—
ENET_TXC	RMII.TX_ERR; RGMII.TX_CLK	RGMII	ALT0/ALT1	O	For RMII—ENET_TXC works as RMII.TX_ERR need to work in the ALT1 mode. For RGMII—ENET_TXC works as RGMII.TX_CLK need to work in the ALT0 mode.
ENET_RX_CTL	RMII.RX_EN (CRS_DV); RGMII.RC_CTL	RMII/RGMII	ALT0	I	—
ENET_RXC	RMII.RX_ERR; RGMII.RX_CLK	RGMII	ALT0/ALT1	I	For RMII—ENET_RXC works as RMII.RX_ERR need to work in the ALT1 mode. For RGMII—ENET_RXC works as RGMII.RX_CLK need to work in the ALT0 mode.
ENET_RD0	RMII and RGMII.RD0	RMII/RGMII	ALT0	I	—
ENET_RD1	RMII and RGMII.RD1	RMII/RGMII	ALT0	I	—
ENET_RD2	RGMII.RD2	RGMII	ALT0	I	—
ENET_RD3	RGMII.RD3	RGMII	ALT0	I	—
GPIO1_IO06	enet1.MDC	RMII/RGMII	ALT1	O	—
GPIO1_IO07	enet1.MDIO	RMII/RGMII	ALT1	I/O	—
I2C1_SCL	enet1.MDC	RMII/RGMII	ALT1	O	—

Table 37. ENET signal mapping (continued)

Pad name	Description	Mode	Alt mode	Direction	Comments
I2C1_SDA	enet1.MDIO	RMII/RGMII	ALT1	I/O	—
I2C2_SCL	enet1.1588_EV ENT1_IN	RMII/RGMII	ALT1	O	—
I2C2_SDA	enet1.1588_EV ENT1_OUT	RMII/RGMII	ALT1	I/O	—
GPIO1_IO00	ENET_PHY_RE F_CLK_ROOT	RGMII	ALT1	O	Reference clock for PHY.
GPIO1_IO08	enet1.1588_EV ENT0_IN	RMII/RGMII	ALT1	I	Capture/compare block input/output event bus signal. When configured for capture and a rising edge is detected, the current timer value is latched and transferred into the corresponding ENET_TCCRn register for inspection by software. When configured for compare, the corresponding signal 1588_EVENT is asserted for one cycle when the timer reaches the compare value programmed in register ENET_TCCRn. An interrupt or DMA request can be triggered if the corresponding bit in ENET_TCSRn[TIE] or ENET_TCSRn[TDRE] is set.
GPIO1_IO09	enet1.1588_EV ENT0_OUT	RMII/RGMII	ALT1	O	—

### 3.9.3.1 RMII mode timing

Figure 18 shows RMII mode timings. Table 38 describes the timing parameters (M16–M21) shown in the figure.

## Electrical characteristics

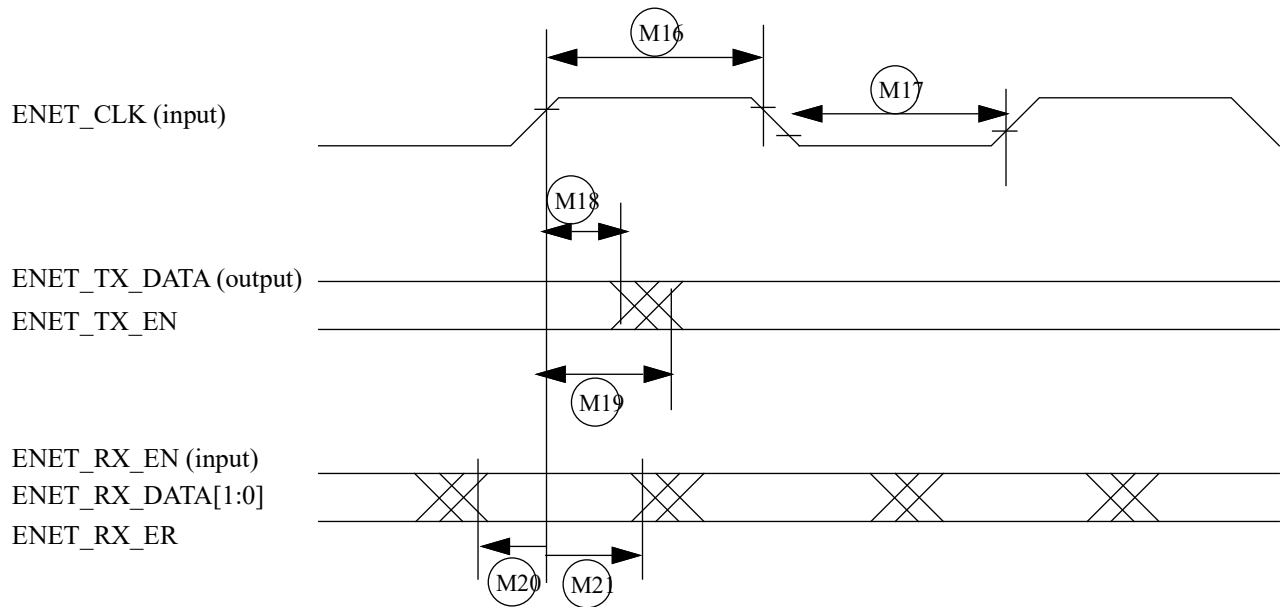


Figure 18. RMI mode signal timing diagram

Table 38. RMI signal timing

ID	Characteristic	Min.	Max.	Unit
M16	ENET_CLK pulse width high	35%	65%	ENET_CLK period
M17	ENET_CLK pulse width low	35%	65%	ENET_CLK period
M18	ENET_CLK to ENET0_TXD[1:0], ENET_TX_DATA invalid	4	—	ns
M19	ENET_CLK to ENET0_TXD[1:0], ENET_TX_DATA valid	—	15	ns
M20	ENET_RX_DATA[1:0], ENET_RX_EN(ENET_RX_EN), ENET_RX_ER to ENET_CLK setup	4	—	ns
M21	ENET_CLK to ENET_RX_DATA[1:0], ENET_RX_EN, ENET_RX_ER hold	2	—	ns

### 3.9.3.2 RGMII signal switching specifications

The following timing specifications meet the requirements for RGMII interfaces for a range of transceiver devices.

Table 39. RGMII signal switching specifications<sup>1</sup>

Symbol	Description	Min.	Max.	Unit
$T_{cyc}^2$	Clock cycle duration	7.2	8.8	ns
$T_{skewT}^3$	Data to clock output skew at transmitter	-500	500	ps

Table 39. RGMII signal switching specifications<sup>1</sup> (continued)

Symbol	Description	Min.	Max.	Unit
$T_{\text{skewR}}^3$	Data to clock input skew at receiver	1	2.6	ns
Duty_G <sup>4</sup>	Duty cycle for Gigabit	45	55	%
Duty_T <sup>4</sup>	Duty cycle for 10/100T	40	60	%
Tr/Tf	Rise/fall time (20–80%)	—	0.75	ns

<sup>1</sup> The timings assume the following configuration:

DDR\_SEL = (11)b

DSE (drive-strength) = (111)b

<sup>2</sup> For 10 Mbps and 100 Mbps,  $T_{\text{cyc}}$  will scale to 400 ns  $\pm$ 40 ns and 40 ns  $\pm$ 4 ns respectively.

<sup>3</sup> For all versions of RGMII prior to 2.0; this implies that PC board design will require clocks to be routed such that an additional trace delay of greater than 1.5 ns and less than 2.0 ns will be added to the associated clock signal. For 10/100, the Max value is unspecified.

<sup>4</sup> Duty cycle may be stretched/shrunk during speed changes or while transitioning to a received packet's clock domain as long as minimum duty cycle is not violated and stretching occurs for no more than three  $T_{\text{cyc}}$  of the lowest speed transitioned between.

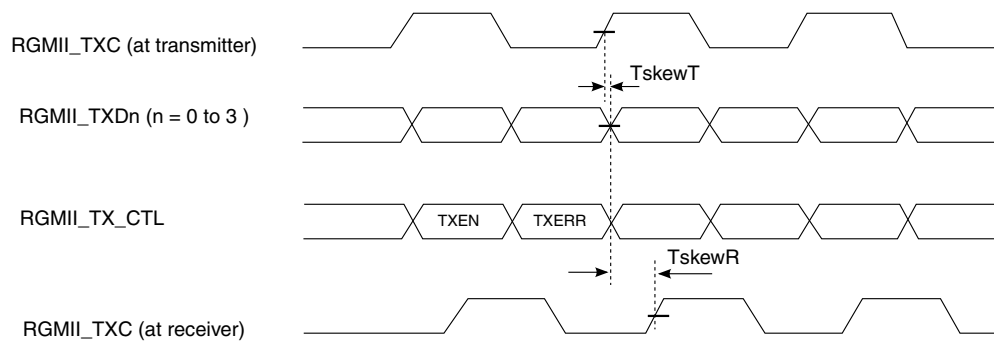


Figure 19. RGMII transmit signal timing diagram original

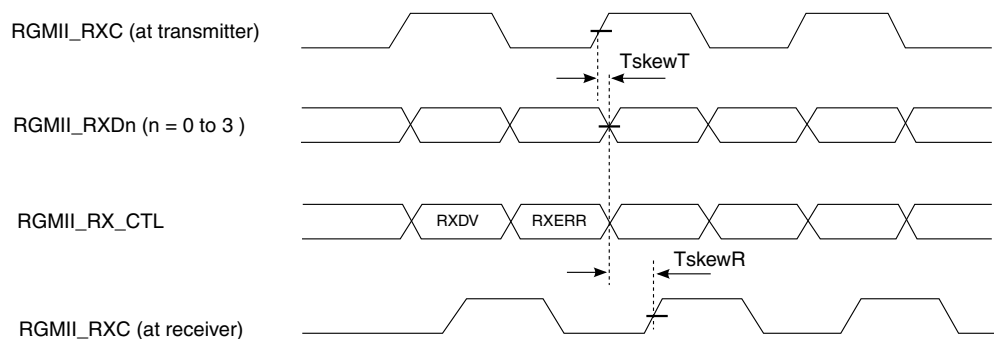


Figure 20. RGMII receive signal timing diagram original

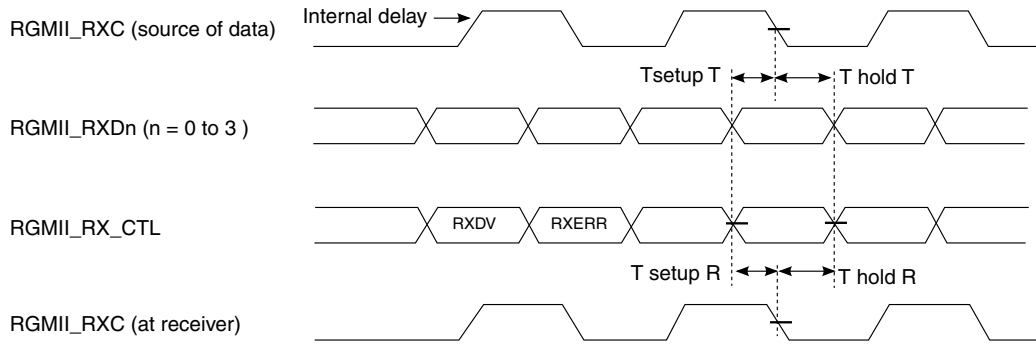


Figure 21. RGMII receive signal timing diagram with internal delay

### 3.9.4 General-purpose media interface (GPMI) timing

The i.MX 8M Mini GPMI controller is a flexible interface NAND Flash controller with 8-bit data width, up to 200 MB/s I/O speed and individual chip select.

It supports Asynchronous Timing mode, Source Synchronous Timing mode and Toggle Timing mode separately, as described in the following subsections.

#### 3.9.4.1 Asynchronous mode AC timing (ONFI 1.0 compatible)

Asynchronous mode AC timings are provided as multiplications of the clock cycle and fixed delay. The maximum I/O speed of GPMI in Asynchronous mode is about 50 MB/s. Figure 22 through Figure 25 depicts the relative timing between GPMI signals at the module level for different operations under Asynchronous mode. Table 40 describes the timing parameters (NF1–NF17) that are shown in the figures.

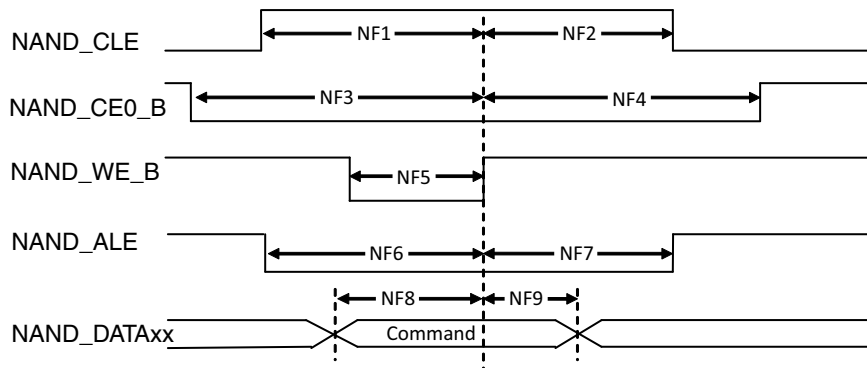


Figure 22. Command Latch cycle timing diagram

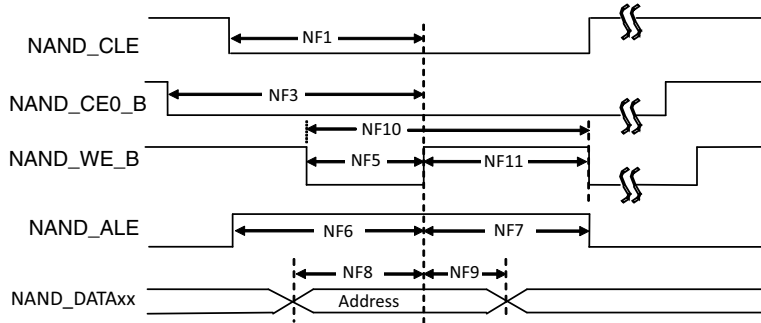


Figure 23. Address Latch cycle timing diagram

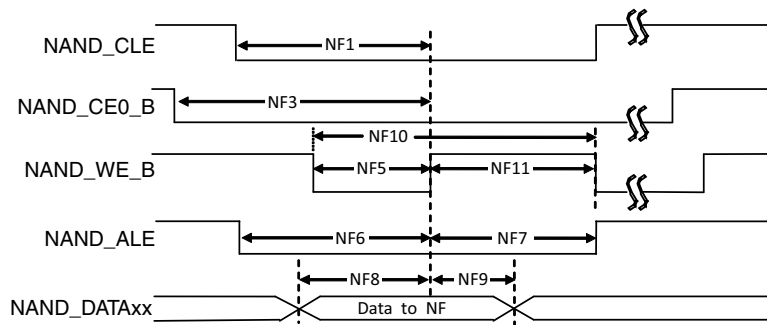


Figure 24. Write Data Latch cycle timing diagram

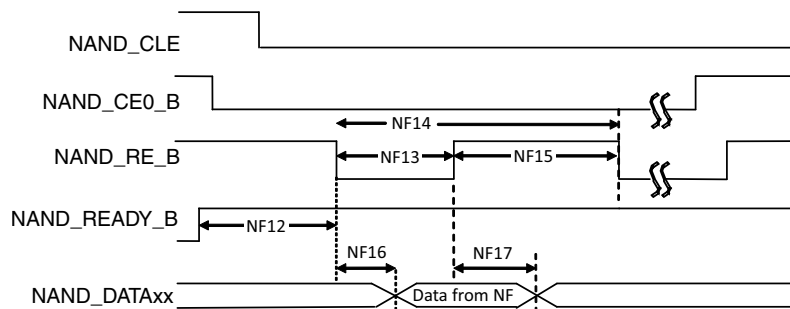


Figure 25. Read Data Latch cycle timing diagram (Non-EDO Mode)

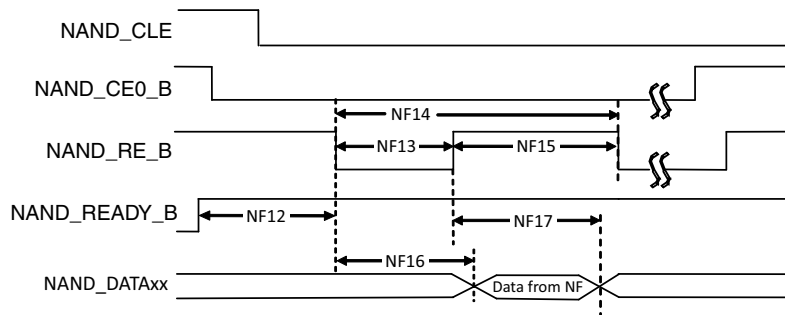


Figure 26. Read Data Latch cycle timing diagram (EDO mode)

Table 40. Asynchronous mode timing parameters<sup>1</sup>

ID	Parameter	Symbol	Timing T = GPMI Clock Cycle		Unit
			Min.	Max.	
NF1	NAND_CLE setup time	tCLS	$(AS + DS) \times T - 0.12$ [see notes <sup>2,3</sup> ]		ns
NF2	NAND_CLE hold time	tCLH	$DH \times T - 0.72$ [see note <sup>2</sup> ]		ns
NF3	NAND_CE0_B setup time	tCS	$(AS + DS + 1) \times T$ [see notes <sup>3,2</sup> ]		ns
NF4	NAND_CE0_B hold time	tCH	$(DH+1) \times T - 1$ [see note <sup>2</sup> ]		ns
NF5	NAND_WE_B pulse width	tWP	$DS \times T$ [see note <sup>2</sup> ]		ns
NF6	NAND_ALE setup time	tALS	$(AS + DS) \times T - 0.49$ [see notes <sup>3,2</sup> ]		ns
NF7	NAND_ALE hold time	tALH	$DH \times T - 0.42$ [see note <sup>2</sup> ]		ns
NF8	Data setup time	tDS	$DS \times T - 0.26$ [see note <sup>2</sup> ]		ns
NF9	Data hold time	tDH	$DH \times T - 1.37$ [see note <sup>2</sup> ]		ns
NF10	Write cycle time	tWC	$(DS + DH) \times T$ [see note <sup>2</sup> ]		ns
NF11	NAND_WE_B hold time	tWH	$DH \times T$ [see note <sup>2</sup> ]		ns
NF12	Ready to NAND_RE_B low	tRR <sup>4</sup>	$(AS + 2) \times T$ [see <sup>3,2</sup> ]	—	ns
NF13	NAND_RE_B pulse width	tRP	$DS \times T$ [see note <sup>2</sup> ]		ns
NF14	READ cycle time	tRC	$(DS + DH) \times T$ [see note <sup>2</sup> ]		ns
NF15	NAND_RE_B high hold time	tREH	$DH \times T$ [see note <sup>2</sup> ]		ns
NF16	Data setup on read	tDSR	—	$(DS \times T - 0.67)/18.38$ [see notes <sup>5,6</sup> ]	ns
NF17	Data hold on read	tDHR	0.82/11.83 [see notes <sup>5,6</sup> ]	—	ns

<sup>1</sup> GPMI's Asynchronous mode output timing can be controlled by the module's internal registers HW\_GPMI\_TIMING0\_ADDRESS\_SETUP, HW\_GPMI\_TIMING0\_DATA\_SETUP, and HW\_GPMI\_TIMING0\_DATA\_HOLD. This AC timing depends on these registers settings. In the table, AS/DS/DH represents each of these settings.

<sup>2</sup> AS minimum value can be 0, while DS/DH minimum value is 1.

<sup>3</sup> T = GPMI clock period -0.075 ns (half of maximum p-p jitter).

<sup>4</sup> NF12 is guaranteed by the design.

<sup>5</sup> Non-EDO mode.

<sup>6</sup> EDO mode, GPMI clock  $\approx$  100 MHz  
(AS=DS=DH=1, GPMI\_CTL1 [RDN\_DELAY] = 8, GPMI\_CTL1 [HALF\_PERIOD] = 0).

In EDO mode (Figure 25), NF16/NF17 are different from the definition in non-EDO mode (Figure 24). They are called tREA/tRHOH (RE# access time/RE# HIGH to output hold). The typical values for them are 16 ns (max for tREA)/15 ns (min for tRHOH) at 50 MB/s EDO mode. In EDO mode, GPMI samples NAND\_DATAxx at the rising edge of delayed NAND\_RE\_B provided by an internal DPLL. The delay value can be controlled by GPMI\_CTRL1.RDN\_DELAY (see the GPMI chapter of the *i.MX 8M Mini Applications Processor Reference Manual* [IMX8MMRM]). The typical value of this control register is 0x8 at 50 MT/s EDO mode. But if the board delay is big enough and cannot be ignored, the delay value should be made larger to compensate the board delay.

### 3.9.4.2 Source synchronous mode AC timing (ONFI 2.x compatible)

Figure 27 to Figure 29 show the write and read timing of Source Synchronous mode.

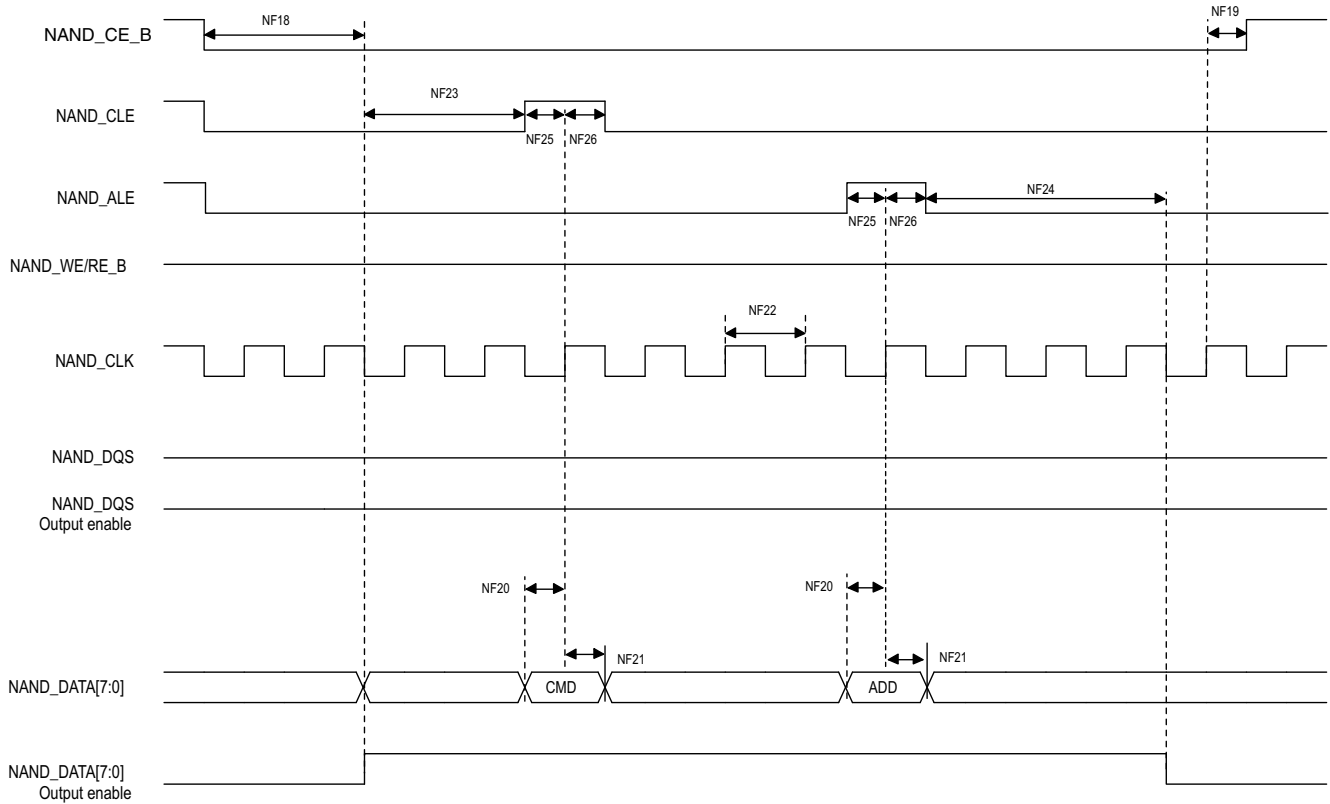
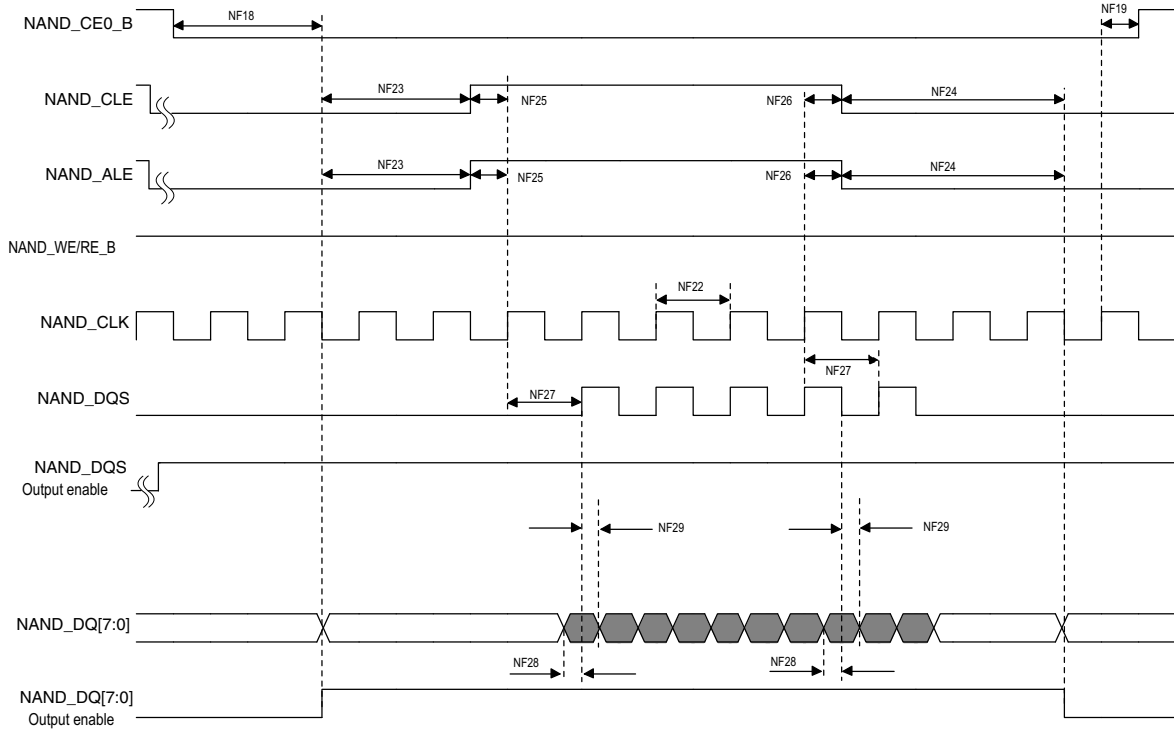
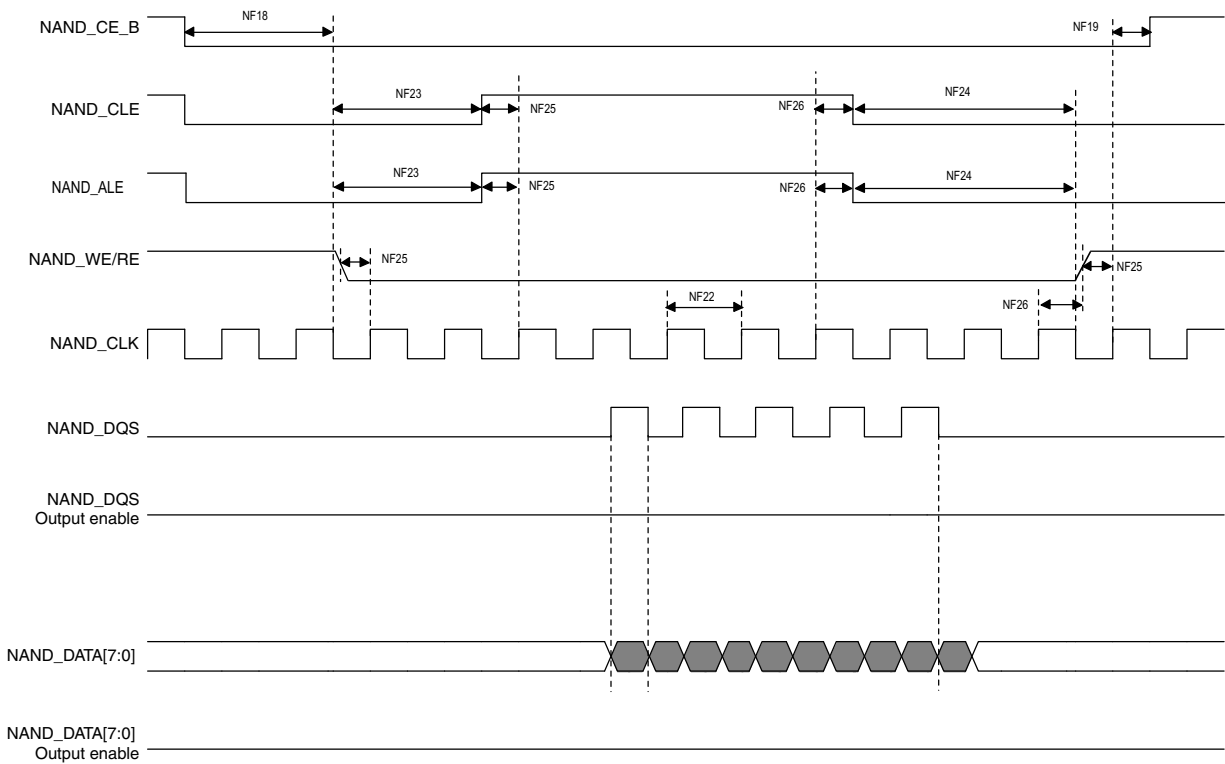


Figure 27. Source Synchronous mode command and address timing diagram

## Electrical characteristics



**Figure 28. Source Synchronous mode data write timing diagram**



**Figure 29. Source Synchronous mode data read timing diagram**

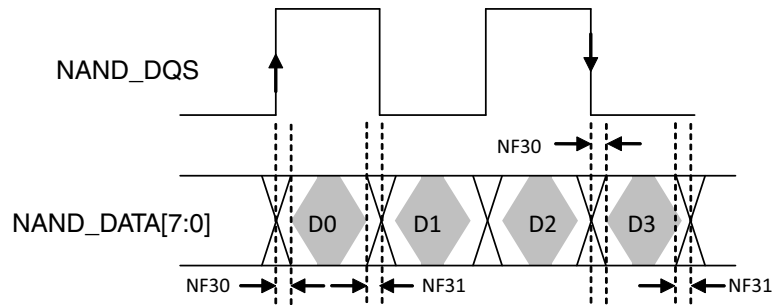


Figure 30. NAND\_DQS/NAND\_DQ read valid window

Table 41. Source Synchronous mode timing parameters<sup>1</sup>

ID	Parameter	Symbol	Timing T = GPMI Clock Cycle		Unit
			Min.	Max.	
NF18	NAND_CEO_B access time	tCE	CE_DELAY × T - 0.79 [see note <sup>2</sup> ]		ns
NF19	NAND_CEO_B hold time	tCH	0.5 × tCK - 0.63 [see note <sup>2</sup> ]		ns
NF20	Command/address NAND_DATAxx setup time	tCAS	0.5 × tCK - 0.05		ns
NF21	Command/address NAND_DATAxx hold time	tCAH	0.5 × tCK - 1.23		ns
NF22	clock period	tCK	—		ns
NF23	preamble delay	tPRE	PRE_DELAY × T - 0.29 [see note <sup>2</sup> ]		ns
NF24	postamble delay	tPOST	POST_DELAY × T - 0.78 [see note <sup>2</sup> ]		ns
NF25	NAND_CLE and NAND_ALE setup time	tCALS	0.5 × tCK - 0.86		ns
NF26	NAND_CLE and NAND_ALE hold time	tCALH	0.5 × tCK - 0.37		ns
NF27	NAND_CLK to first NAND_DQS latching transition	tDQSS	T - 0.41 [see note <sup>2</sup> ]		ns
NF28	Data write setup	—	0.25 × tCK - 0.35		
NF29	Data write hold	—	0.25 × tCK - 0.85		
NF30	NAND_DQS/NAND_DQ read setup skew	—	—	2.06	
NF31	NAND_DQS/NAND_DQ read hold skew	—	—	1.95	

<sup>1</sup> GPMI's Source Synchronous mode output timing can be controlled by the module's internal registers GPMI\_TIMING2\_CE\_DELAY, GPMI\_TIMING2\_PREAMBLE\_DELAY, GPMI\_TIMING2\_POST\_DELAY. This AC timing depends on these registers settings. In the table, CE\_DELAY/PRE\_DELAY/POST\_DELAY represents each of these settings.

<sup>2</sup> T = tCK(GPMI clock period) - 0.075 ns (half of maximum p-p jitter).

For DDR Source Synchronous mode, Figure 30 shows the timing diagram of NAND\_DQS/NAND\_DATAxx read valid window. The typical value of tDQSQ is 0.85 ns (max) and 1 ns (max) for tQHS at 200 MB/s. GPMI will sample NAND\_DATA[7:0] at both rising and falling edge of an delayed NAND\_DQS signal, which can be provided by an internal DPLL. The delay value can be controlled by GPMI register GPMI\_READ\_DDR\_DLL\_CTRL.SLV\_DLY\_TARGET (see the GPMI chapter of the *i.MX 8M Mini Applications Processor Reference Manual [IMX8MMRM]*). Generally, the typical delay value of this register is equal to 0x7 which means 1/4 clock cycle delay expected. But if the board delay is big enough and cannot be ignored, the delay value should be made larger to compensate the board delay.

### 3.9.4.3 ONFI NV-DDR2 mode (ONFI 3.2 compatible)

#### 3.9.4.3.1 Command and address timing

ONFI 3.2 mode command and address timing is the same as ONFI 1.0 compatible Async mode AC timing. See [Section 3.9.4.1, Asynchronous mode AC timing \(ONFI 1.0 compatible\)](#),” for details.

#### 3.9.4.3.2 Read and write timing

ONFI 3.2 mode read and write timing is the same as Toggle mode AC timing. See [Section 3.9.4.4, Toggle mode AC Timing](#),” for details.

### 3.9.4.4 Toggle mode AC Timing

#### 3.9.4.4.1 Command and address timing

**NOTE**

Toggle mode command and address timing is the same as ONFI 1.0 compatible Asynchronous mode AC timing. See [Section 3.9.4.1, Asynchronous mode AC timing \(ONFI 1.0 compatible\)](#),” for details.

#### 3.9.4.4.2 Read and write timing

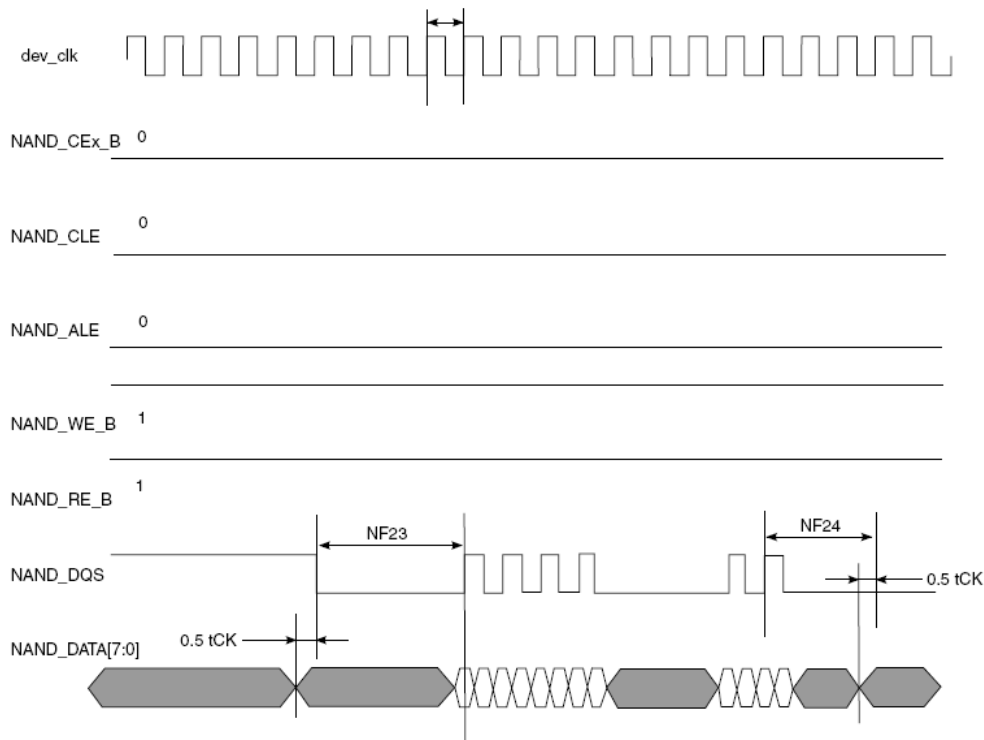


Figure 31. Toggle mode data write timing

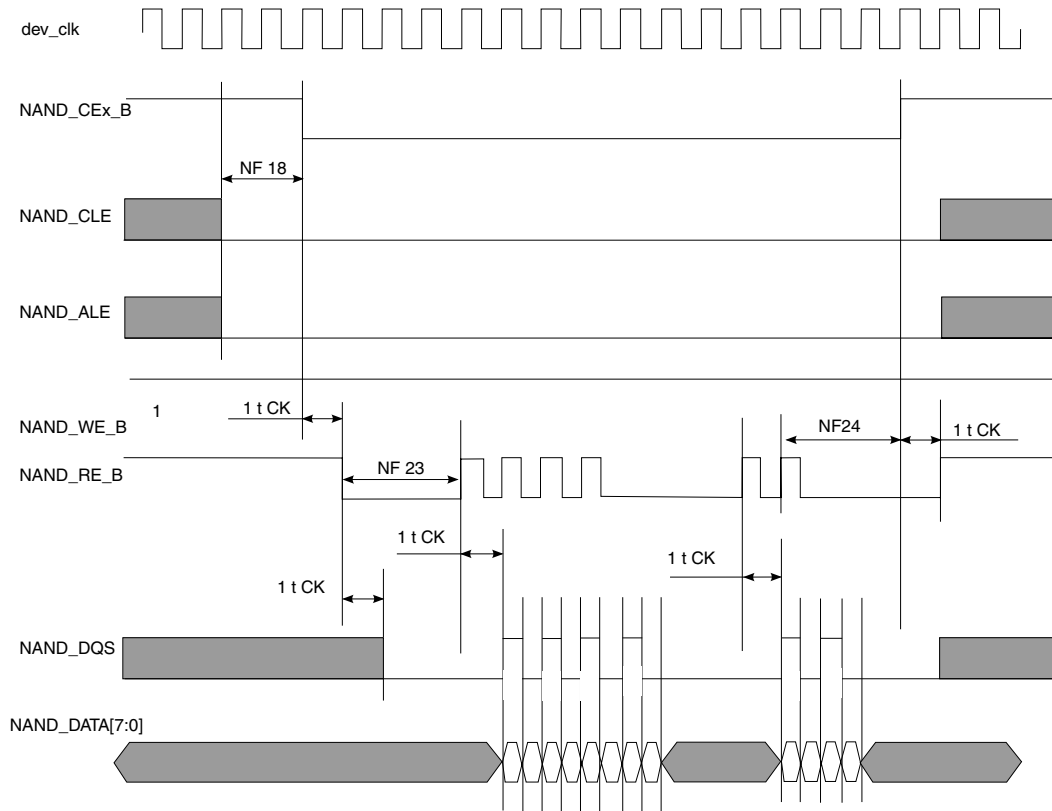


Figure 32. Toggle mode data read timing

Table 42. Toggle mode timing parameters

ID	Parameter	Symbol	Timing T = GPMI Clock Cycle		Unit
			Min.	Max.	
NF1	NAND_CLE setup time	tCLS	$(AS + DS) \times T - 0.12$ [see note <sup>1,2</sup> ]		
NF2	NAND_CLE hold time	tCLH	$DH \times T - 0.72$ [see note <sup>2</sup> ]		
NF3	NAND_CE0_B setup time	tCS	$(AS + DS) \times T - 0.58$ [see notes <sup>2</sup> ]		
NF4	NAND_CE0_B hold time	tCH	$DH \times T - 1$ [see note <sup>2</sup> ]		
NF5	NAND_WE_B pulse width	tWP	$DS \times T$ [see note <sup>2</sup> ]		
NF6	NAND_ALE setup time	tALS	$(AS + DS) \times T - 0.49$ [see notes <sup>2</sup> ]		
NF7	NAND_ALE hold time	tALH	$DH \times T - 0.42$ [see note <sup>2</sup> ]		
NF8	Command/address NAND_DATAxx setup time	tCAS	$DS \times T - 0.26$ [see note <sup>2</sup> ]		
NF9	Command/address NAND_DATAxx hold time	tCAH	$DH \times T - 1.37$ [see note <sup>2</sup> ]		
NF18	NAND_CEx_B access time	tCE	$CE\_DELAY \times T$ [see notes <sup>3,2</sup> ]	—	ns
NF22	clock period	tCK	—	—	ns
NF23	preamble delay	tPRE	$PRE\_DELAY \times T$ [see notes <sup>4,2</sup> ]	—	ns

Table 42. Toggle mode timing parameters (continued)

ID	Parameter	Symbol	Timing T = GPMI Clock Cycle		Unit
			Min.	Max.	
NF24	postamble delay	tPOST	POST_DELAY × T + 0.43 [see note <sup>2</sup> ]	—	ns
NF28	Data write setup	tDS <sup>5</sup>	0.25 × tCK - 0.32	—	ns
NF29	Data write hold	tDH <sup>5</sup>	0.25 × tCK - 0.79	—	ns
NF30	NAND_DQS/NAND_DQ read setup skew	tDQSQ <sup>6</sup>	—	3.18	ns
NF31	NAND_DQS/NAND_DQ read hold skew	tQHS <sup>6</sup>	—	3.27	ns

<sup>1</sup> AS minimum value can be 0, while DS/DH minimum value is 1.

<sup>2</sup> T = tCK (GPMI clock period) - 0.075 ns (half of maximum p-p jitter).

<sup>3</sup> CE\_DELAY represents HW\_GPMI\_TIMING2[CE\_DELAY]. NF18 is guaranteed by the design. Read/Write operation is started with enough time of ALE/CLE assertion to low level.

<sup>4</sup> PRE\_DELAY+1 ≥ (AS+DS)

<sup>5</sup> Shown in Figure 31.

<sup>6</sup> Shown in Figure 32.

For DDR Toggle mode, Figure 30 shows the timing diagram of NAND\_DQS/NAND\_DATA<sub>xx</sub> read valid window. The typical value of tDQSQ is 1.4 ns (max) and 1.4 ns (max) for tQHS at 133 MB/s. GPMI samples NAND\_DATA[7:0] at both the rising and falling edges of a delayed NAND\_DQS signal, which is provided by an internal DPLL. The delay value of this register can be controlled by the GPMI register GPMI\_READ\_DDR\_DLL\_CTRL.SLV\_DLY\_TARGET (see the GPMI chapter of the *i.MX 8M Mini Applications Processor Reference Manual* [IMX8MMRM]). Generally, the typical delay value is equal to 0x7, which means a 1/4 clock cycle delay is expected. But if the board delay is big enough and cannot be ignored, the delay value should be made larger to compensate the board delay.

### 3.9.5 I<sup>2</sup>C bus characteristics

The Inter-Integrated Circuit (I2C) provides functionality of a standard I2C master and slave. The I2C is designed to be compatible with the I2C Bus Specification, version 2.1, by Philips Semiconductor (now NXP Semiconductors).

### 3.9.6 MIPI D-PHY timing parameters

MIPI D-PHY electrical specifications are compliance.

Table 43. MIPI PHY worst power dissipation<sup>1</sup>

MODE		Power consume on VDD_MIPI_0P9 (mW)	Power consume on VDD_MIPI_1P2 (mW)	Power consume on VDD_MIPI_1P8 (mW)	Total power consume (mW)
2.1 Gbps	M4 on S4 on	226.1	4.1	35.6	265.8
	M4 on S4 off	164.7	4.03	28.6	197.33
	M4 off S4 on	63.02	0	15.8	78.82
ULPS		4.26	0.0367	0.0584	4.36

<sup>1</sup> M4 indicates MIPI DSI have 4 data lane enable (at least 1 clock lane enable). S4 indicates MIPI CSI have 4 data lane enable (at least 1 clock lane enable).

### 3.9.7 PCIe PHY parameters

The PCIe interface is designed to be compatible with PCIe specification Gen2 x1 lane and supports the PCI Express 1.1/2.0 standard.

Table 44. PCIe DC electrical characteristics

Parameter	Description	Min	Typ	Max	Unit	
PD	Power Consumption	Normal Gen2	—	129.5	—	mW
		Partial Mode	—	98.2	—	mW
		Slumber Mode	—	4.9	—	mW
		Full Powerdown	—	0.1	—	mW

#### 3.9.7.1 PCIE\_RESREF reference resistor connection

The impedance calibration process requires connection of reference resistor 8.2 k $\Omega$ . 1% precision resistor on PCIE\_RESREF pads to ground. It is used for termination impedance calibration.

### 3.9.8 PDM timing parameters

Figure 33 illustrates the input timing of the PDM.

## Electrical characteristics

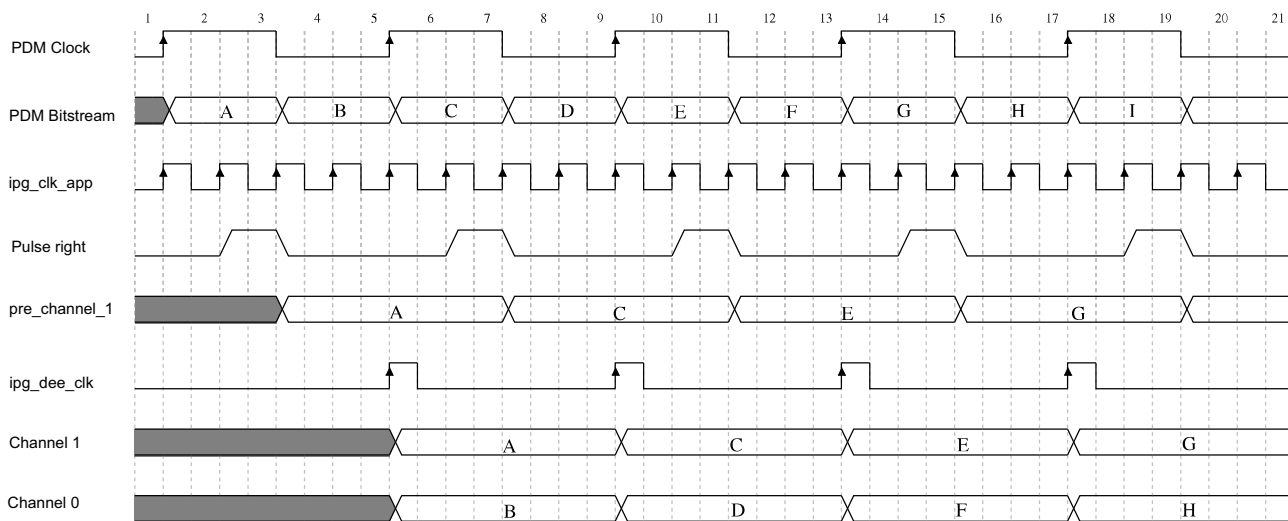


Figure 33. PDM input timing

PDM clock operative range is from 500 kHz to 6 MHz. Within range, only need to configure `ipg_clk_app` rate and `CLKDIV` without I/O timing concerns.

### 3.9.9 Pulse width modulator (PWM) timing parameters

This section describes the electrical information of the PWM. The PWM can be programmed to select one of three clock signals as its source frequency. The selected clock signal is passed through a prescaler before being input to the counter. The output is available at the pulse-width modulator output (PWMO) external pin.

Figure 34 depicts the timing of the PWM, and Table 45 lists the PWM timing parameters.

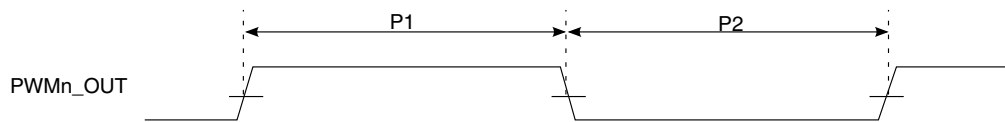


Figure 34. PWM timing

Table 45. PWM output timing parameters

ID	Parameter	Min	Max	Unit
	PWM Module Clock Frequency	0	66 ( <code>ipg_clk</code> )	MHz
P1	PWM output pulse width high	12	—	ns
P2	PWM output pulse width low	12	—	ns

### 3.9.10 FlexSPI timing parameters

Measurements are with a load of 15 pF and an input slew rate of 1 V/ns.

#### 3.9.10.1 FlexSPI input/read timing

There are three sources for the internal sample clock for FlexSPI read data:

- Dummy read strobe generated by FlexSPI controller and looped back internally (FlexSPI<sub>n</sub>\_MCR0[RXCLKSRC] = 0x0)
- Dummy read strobe generated by FlexSPI controller and looped back through the DQS pad (FlexSPI<sub>n</sub>\_MCR0[RXCLKSRC] = 0x1)
- Read strobe provided by memory device and input from DQS pad (FlexSPI<sub>n</sub>\_MCR0[RXCLKSRC] = 0x3)

The following sections describe input signal timing for each of these four internal sample clock sources.

##### 3.9.10.1.1 SDR mode with FlexSPI<sub>n</sub>\_MCR0[RXCLKSRC] = 0x0, 0x1

**Table 46. FlexSPI input timing in SDR mode where FlexSPI<sub>n</sub>\_MCR0[RXCLKSRC] = 0x0**

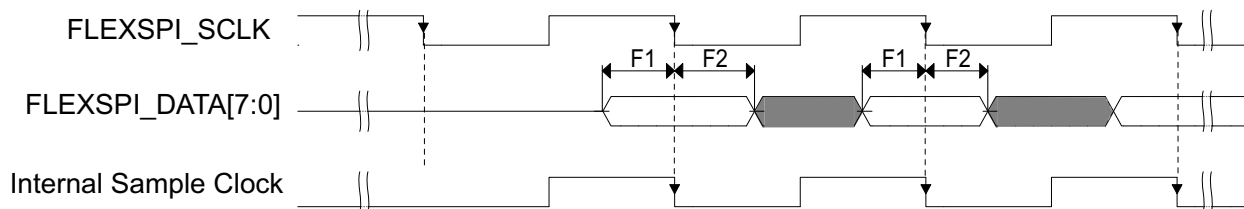
Symbol	Parameter	Min.	Max.	Unit	Notes
—	[D:] Frequency of operation	—	66	MHz	—
F1	[D:] Setup time for incoming data	8.67	—	ns	1
F2	[D:] Hold time for incoming data	0	—	ns	—

<sup>1</sup> The setup specification here assumes the data learning feature is not used. If data learning is enabled, then TIS can be decreased by up to 2ns.

**Table 47. FlexSPI input timing in SDR mode where FlexSPI<sub>n</sub>\_MCR0[RXCLKSRC] = 0x1**

Symbol	Parameter	Min.	Max.	Unit	Notes
—	[D:] Frequency of operation	—	133	MHz	—
F1	[D:] Setup time for incoming data	1.5	—	ns	1
F2	[D:] Hold time for incoming data	1	—	ns	—

<sup>1</sup> The setup specification here assumes the data learning feature is not used. If data learning is enabled, then TIS can be decreased by up to 2ns.



**Figure 35. FlexSPI input timing in SDR mode where FlexSPI<sub>n</sub>\_MCR0[RXCLKSRC] = 0x0, 0x1**

**NOTE**

Timing shown is based on the memory generating read data on the SCK falling edge, and FlexSPI controller sampling read data on the falling edge.

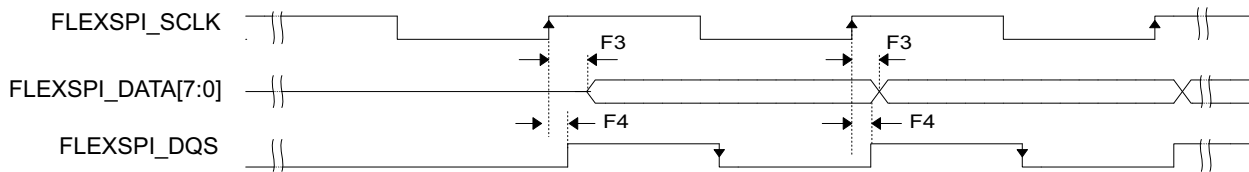
**3.9.10.1.2 SDR mode with FlexSPIn\_MCR0[RXCLKSRC] = 0x3**

There are two cases when the memory provides both read data and the read strobe in SDR mode:

- A1—Memory generates both read data and read strobe on SCK rising edge (or falling edge)
- A2—Memory generates read data on SCK falling edge and generates read strobe on SCK rising edge

**Table 48. FlexSPI input timing in SDR mode where FlexSPIn\_MCR0[RXCLKSRC] = 0x3 (Case A1)**

Symbol	Parameter	Min.	Max.	Unit
—	[D:] Frequency of operation	—	166	MHz
F3	[D:] Time from SCK to data valid	—	—	ns
F4	[D:] Time from SCK to DQS	—	—	ns
—	[D:] Time delta between TSCKD and TSCKDQS	-2	2	ns



**Figure 36. FlexSPI input timing in SDR mode where FlexSPIn\_MCR0[RXCLKSRC] = 0x3 (Case A1)**

**NOTE**

Timing shown is based on the memory generating read data and read strobe on the SCK rising edge. The FlexSPI controller samples read data on the DQS falling edge.

**Table 49. FlexSPI input timing in SDR mode where FlexSPIn\_MCR0[RXCLKSRC] = 0x3 (Case A2)**

Symbol	Parameter	Min.	Max.	Unit
—	[D:] Frequency of operation	—	166	MHz
F5	[D:] Time from SCK to data valid	—	—	ns
F6	[D:] Time from SCK to DQS	—	—	ns
—	[D:] Time delta between TSCKD and TSCKDQS	-2	2	ns

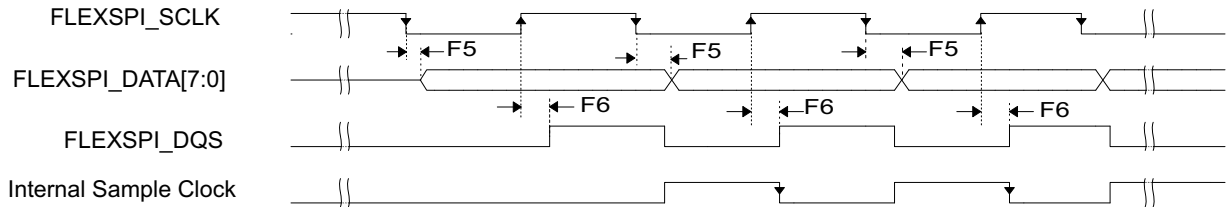


Figure 37. FlexSPI input timing in SDR mode where FlexSPIn\_MCR0[RXCLKSRC] = 0x3 (Case A2)

#### NOTE

Timing shown is based on the memory generating read data on the SCK falling edge and read strobe on the SCK rising edge. The FlexSPI controller samples read data on a half-cycle delayed DQS falling edge.

#### 3.9.10.1.3 DDR mode with FlexSPIn\_MCR0[RXCLKSRC] = 0x0, 0x1

Table 50. FlexSPI input timing in DDR mode where FlexSPIn\_MCR0[RXCLKSRC] = 0x0

Symbol	Parameter	Min.	Max.	Unit	Notes
—	[D:] Frequency of operation	—	33	MHz	—
F1	[D:] Setup time for incoming data	8.67	—	ns	1
F2	[D:] Hold time for incoming data	0	—	ns	—

<sup>1</sup> The setup specification here assumes the data learning feature is not used. If data learning is enabled, then TIS can be decreased by up to 2ns.

Table 51. FlexSPI input timing in DDR mode where FlexSPIn\_MCR0[RXCLKSRC] = 0x1

Symbol	Parameter	Min.	Max.	Unit	Notes
—	[D:] Frequency of operation	—	66	MHz	—
F1	[D:] Setup time for incoming data	1.5	—	ns	1
F2	[D:] Hold time for incoming data	1	—	ns	—

<sup>1</sup> The setup specification here assumes the data learning feature is not used. If data learning is enabled, then TIS can be decreased by up to 2ns.

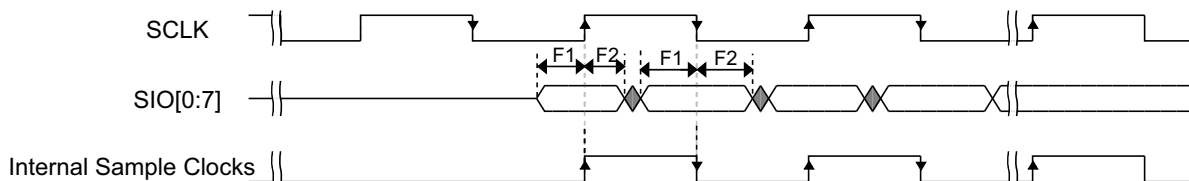


Figure 38. FlexSPI input timing in DDR mode where FlexSPIn\_MCR0[RXCLKSRC] = 0x0, 0x1

### 3.9.10.1.4 DDR mode with FlexSPI<sub>n</sub>\_MCR0[RXCLKSRC] = 0x3

Table 52. FlexSPI input timing in DDR mode where FlexSPI<sub>n</sub>\_MCR0[RXCLKSRC] = 0x3 (Case 1)

Symbol	Parameter	Min.	Max.	Unit
—	[D:] Frequency of operation	—	166	MHz
T <sub>SCKD</sub>	[D:] Time from SCK to data valid	—	—	ns
T <sub>SCKDQS</sub>	[D:] Time from SCK to DQS	—	—	ns
T <sub>SCKD</sub> - T <sub>SCKDQS</sub>	[D:] Time delta between T <sub>SCKD</sub> and T <sub>SCKDQS</sub>	-0.6	0.6	ns

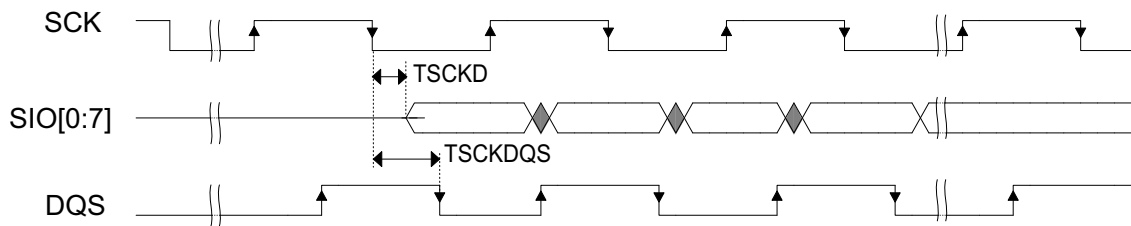


Figure 39. FlexSPI input timing in DDR mode where FlexSPI<sub>n</sub>\_MCR0[RXCLKSRC] = 0x3

### 3.9.10.2 FlexSPI output/write timing

The following sections describe output signal timing for the FlexSPI controller including control signals and data outputs.

#### 3.9.10.2.1 SDR mode

Table 53. FlexSPI output timing in SDR mode

Symbol	Parameter	Min.	Max.	Unit
—	[D:] Frequency of operation <sup>1</sup>	—	166	MHz
T <sub>CK</sub>	[D:] SCK clock period	6.02	—	ns
T <sub>D<sub>SO</sub></sub>	[D:] Output data setup time	2	—	ns
T <sub>D<sub>HO</sub></sub>	[D:] Output data hold time	2	—	ns
T <sub>C<sub>SS</sub></sub>	[D:] Chip select output setup time	3 x T <sub>CK</sub> - 1	—	ns
T <sub>C<sub>SH</sub></sub>	[D:] Chip select output hold time	3 x T <sub>CK</sub> - 1	—	ns

<sup>1</sup> The actual maximum frequency supported is limited by the FlexSPI<sub>n</sub>\_MCR0[RXCLKSRC] configuration used. See the FlexSPI SDR input timing specifications.

#### NOTE

$T_{CSS}$  and  $T_{CSH}$  are configured by the FlexSPI<sub>n</sub>\_FLSHAxCR1 register, the default values are shown above. See the *i.MX 8M Mini Applications Processor Reference Manual (IMX8MMRM)* for more details.

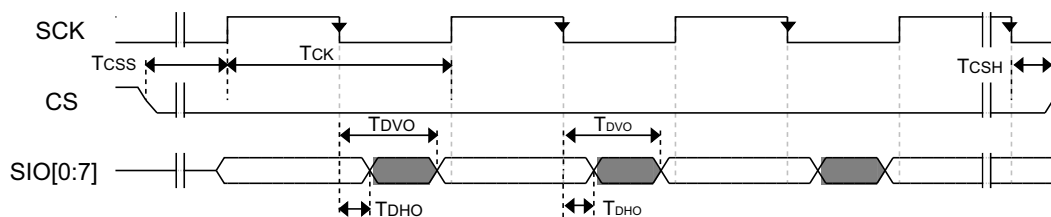


Figure 40. FlexSPI output timing in SDR mode

### 3.9.10.2.2 DDR mode

Table 54. FlexSPI output timing in DDR mode

Symbol	Parameter	Min.	Max.	Unit
—	[D:] Frequency of operation <sup>1</sup>	—	166	MHz
$T_{CK}$	[D:] SCK clock period	6.02	—	ns
$T_{DSO}$	[D:] Output data setup time	—	0.6	ns
$T_{DHO}$	[D:] Output data hold time	0.6	—	ns
$T_{CSS}$	[D:] Chip select output setup time	$3 \times T_{CK} - 1.075$	—	ns
$T_{CSH}$	[D:] Chip select output hold time	$3 \times T_{CK} - 1.075$	—	ns

<sup>1</sup> The actual maximum frequency supported is limited by the FlexSPI<sub>n</sub>\_MCR0[RXCLKSRC] configuration used. See the FlexSPI SDR input timing specifications.

#### NOTE

$T_{CSS}$  and  $T_{CSH}$  are configured by the FlexSPI<sub>n</sub>\_FLSHAxCR1 register, the default values are shown above. See the *i.MX 8M Mini Applications Processor Reference Manual (IMX8MMRM)* for more details.

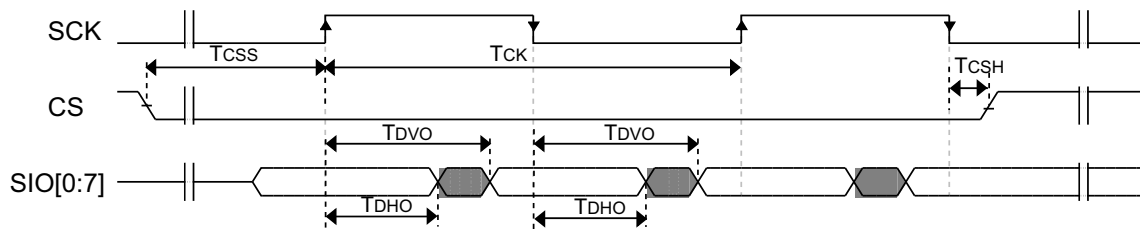


Figure 41. FlexSPI output timing in DDR mode

### 3.9.11 SAI/I2S switching specifications

This section provides the AC timings for the SAI in Master (clocks driven) and Slave (clocks input) modes. All timings are given for non inverted serial clock polarity (SAI\_TCR[TSCKP] = 0, SAI\_RCR[RSCKP] = 0) and non inverted frame sync (SAI\_TCR[TFSI] = 0, SAI\_RCR[RFSI] = 0). If the polarity of the clock and/or the frame sync have been inverted, all the timings remain valid by inverting the clock signal (SAI\_BCLK) and/or the frame sync (SAI\_FS) shown in the figures below.

Table 55. Master mode SAI timing (50 MHz)<sup>1</sup>

Num	Characteristic	Min	Max	Unit
S1	SAI_MCLK cycle time	20	—	ns
S2	SAI_MCLK pulse width high/low	40%	60%	MCLK period
S3	SAI_BCLK cycle time	20	—	ns
S4	SAI_BCLK pulse width high/low	40%	60%	BCLK period
S5	SAI_BCLK to SAI_FS output valid	—	2	ns
S6	SAI_BCLK to SAI_FS output invalid	0	—	ns
S7	SAI_BCLK to SAI_TXD valid	—	2	ns
S8	SAI_BCLK to SAI_TXD invalid	0	—	ns
S9	SAI_RXD/SAI_FS input setup before SAI_BCLK	2	—	ns
S10	SAI_RXD/SAI_FS input hold after SAI_BCLK	0	—	ns

<sup>1</sup> To achieve 50 MHz for BCLK operation, below configuration must be used:

- In TX, configure BCI=0 in SAI TCR2 register and FSD=1 in SAI TCR4 register.
- In RX, configure BCI=1 in SAI TCR2 register and FSD=0 in SAI TCR4 register.

Table 56. Master mode SAI timing (25 MHz)

Num	Characteristic	Min	Max	Unit
S1	SAI_MCLK cycle time	40	—	ns
S2	SAI_MCLK pulse width high/low	40%	60%	MCLK period
S3	SAI_BCLK cycle time	40	—	ns

Table 56. Master mode SAI timing (25 MHz) (continued)

Num	Characteristic	Min	Max	Unit
S4	SAI_BCLK pulse width high/low	40%	60%	BCLK period
S5	SAI_BCLK to SAI_FS output valid	—	2	ns
S6	SAI_BCLK to SAI_FS output invalid	0	—	ns
S7	SAI_BCLK to SAI_TXD valid	—	2	ns
S8	SAI_BCLK to SAI_TXD invalid	0	—	ns
S9	SAI_RXD/SAI_FS input setup before SAI_BCLK	12	—	ns
S10	SAI_RXD/SAI_FS input hold after SAI_BCLK	0	—	ns

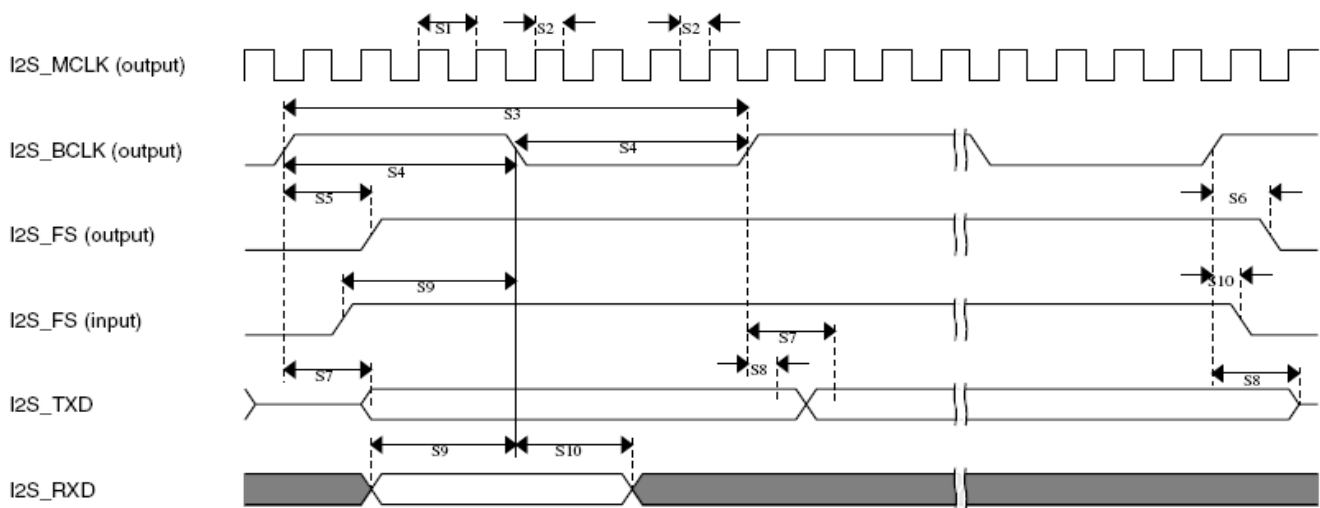


Figure 42. SAI timing—Master modes

Table 57. Slave mode SAI timing (50 MHz)<sup>1</sup>

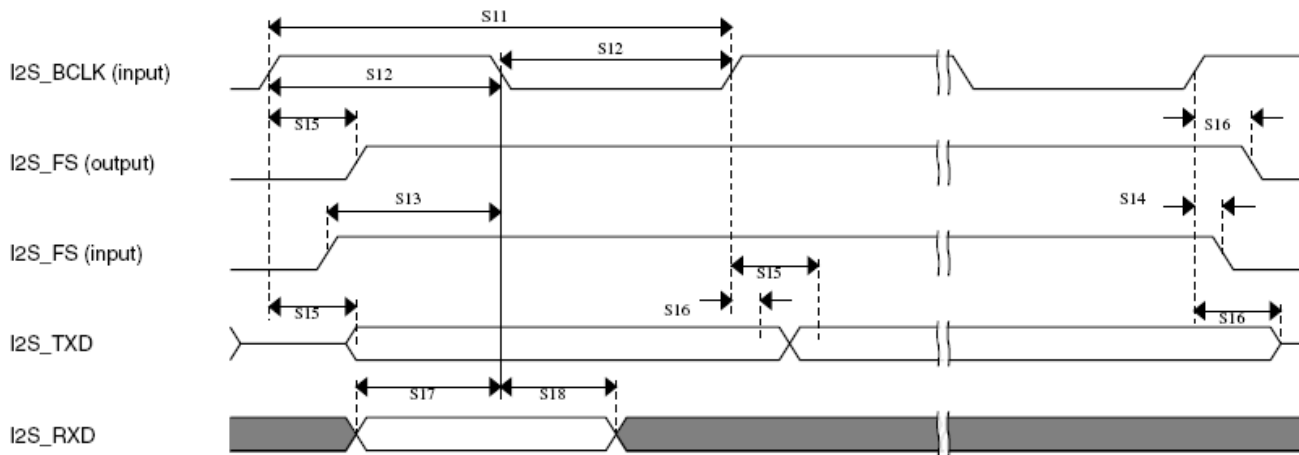
Num	Characteristic	Min	Max	Unit
S11	SAI_BCLK cycle time (input)	20	—	ns
S12	SAI_BCLK pulse width high/low (input)	40%	60%	BCLK period
S13	SAI_FS input setup before SAI_BCLK	2	—	ns
S14	SAI_FA input hold after SAI_BCLK	2	—	ns
S17	SAI_RXD setup before SAI_BCLK	2	—	ns
S18	SAI_RXD hold after SAI_BCLK	2	—	ns

<sup>1</sup> TX does not support 50 MHz operation in Slave mode.

- To achieve 50 MHz BCLK in RX, configure BCI=1 in SAI TCR2 register and FSD=0 in SAI TCR4 register.

**Table 58. Slave mode SAI timing (25 MHz)**

Num	Characteristic	Min	Max	Unit
S11	SAI_BCLK cycle time (input)	40	—	ns
S12	SAI_BCLK pulse width high/low (input)	40%	60%	BCLK period
S13	SAI_FS input setup before SAI_BCLK	12	—	ns
S14	SAI_FA input hold after SAI_BCLK	2	—	ns
S15	SAI_BCLK to SAI_TXD/SAI_FS output valid	—	7	ns
S16	SAI_BCLK to SAI_TXD/SAI_FS output invalid	0	—	ns
S17	SAI_RXD setup before SAI_BCLK	12	—	ns
S18	SAI_RXD hold after SAI_BCLK	2	—	ns



**Figure 43. SAI Timing — Slave Modes**

### 3.9.12 SPDIF timing parameters

The Sony/Philips Digital Interconnect Format (SPDIF) data is sent using the bi-phase marking code. When encoding, the SPDIF data signal is modulated by a clock that is twice the bit rate of the data signal.

Table 59 and Figure 44 and Figure 45 show SPDIF timing parameters for the Sony/Philips Digital Interconnect Format (SPDIF), including the timing of the modulating Rx clock (SPDIF\_SR\_CLK) for SPDIF in Rx mode and the timing of the modulating Tx clock (SPDIF\_ST\_CLK) for SPDIF in Tx mode.

Table 59. SPDIF timing parameters

Parameter	Symbol	Timing Parameter Range		Unit
		Min	Max	
SPDIF_IN Skew: asynchronous inputs, no specs apply	—	—	0.7	ns
SPDIF_OUT output (Load = 50 pf)				
• Skew	—	—	1.5	ns
• Transition rising	—	—	24.2	
• Transition falling	—	—	31.3	
SPDIF_OUT output (Load = 30 pf)				
• Skew	—	—	1.5	ns
• Transition rising	—	—	13.6	
• Transition falling	—	—	18.0	
Modulating Rx clock (SPDIF_SR_CLK) period	srckp	40.0	—	ns
SPDIF_SR_CLK high period	srckph	16.0	—	ns
SPDIF_SR_CLK low period	srckpl	16.0	—	ns
Modulating Tx clock (SPDIF_ST_CLK) period	stckp	40.0	—	ns
SPDIF_ST_CLK high period	stckph	16.0	—	ns
SPDIF_ST_CLK low period	stckpl	16.0	—	ns

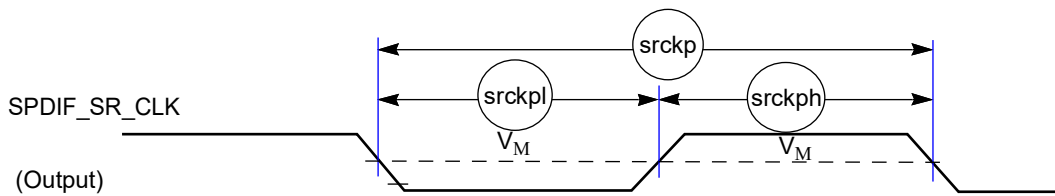


Figure 44. SPDIF\_SR\_CLK timing diagram

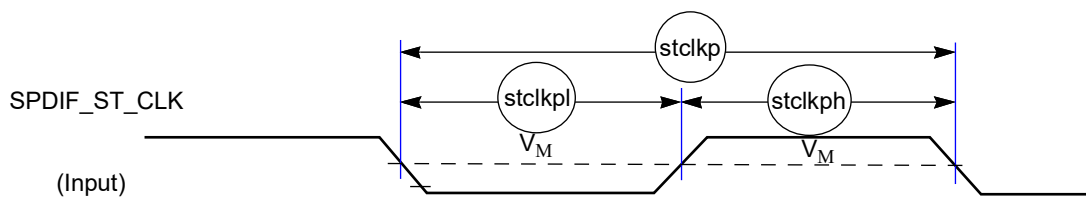


Figure 45. SPDIF\_ST\_CLK timing diagram

### 3.9.13 UART I/O configuration and timing parameters

#### 3.9.13.1 UART RS-232 I/O configuration in different modes

The i.MX 8M Mini UART interfaces can serve both as DTE or DCE device. This can be configured by the DCEDTE control bit (default 0—DCE mode). Table 60 shows the UART I/O configuration based on the enabled mode.

Table 60. UART I/O configuration vs. mode

Port	DTE Mode		DCE Mode	
	Direction	Description	Direction	Description
UARTx_RTS_B	Output	UARTx_RTS_B from DTE to DCE	Input	UARTx_RTS_B from DTE to DCE
UARTx_CTS_B	Input	UARTx_CTS_B from DCE to DTE	Output	UARTx_CTS_B from DCE to DTE
UARTx_TX_DATA	Input	Serial data from DCE to DTE	Output	Serial data from DCE to DTE
UARTx_RX_DATA	Output	Serial data from DTE to DCE	Input	Serial data from DTE to DCE

#### 3.9.13.2 UART RS-232 Serial mode timing

This section describes the electrical information of the UART module in the RS-232 mode.

##### 3.9.13.2.1 UART transmitter

Figure 46 depicts the transmit timing of UART in the RS-232 Serial mode, with 8 data bit/1 stop bit format. Table 61 lists the UART RS-232 Serial mode transmit timing characteristics.

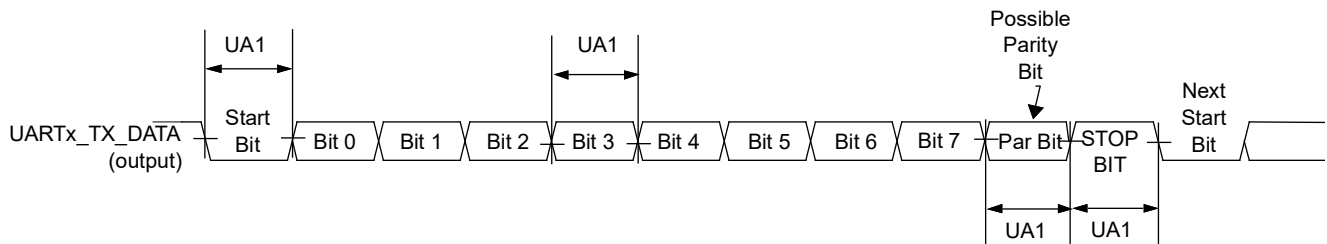


Figure 46. UART RS-232 Serial mode transmit timing diagram

Table 61. RS-232 Serial mode transmit timing parameters

ID	Parameter	Symbol	Min	Max	Unit
UA1	Transmit Bit Time	$t_{Tbit}$	$1/F_{baud\_rate}^1 - T_{ref\_clk}^2$	$1/F_{baud\_rate} + T_{ref\_clk}$	—

<sup>1</sup>  $F_{baud\_rate}$ : Baud rate frequency. The maximum baud rate the UART can support is  $(ipg\_perclk \text{ frequency})/16$ .

<sup>2</sup>  $T_{ref\_clk}$ : The period of UART reference clock  $ref\_clk$  ( $ipg\_perclk$  after RFDIV divider).

### 3.9.13.2.2 UART receiver

Figure 47 depicts the RS-232 Serial mode receive timing with 8 data bit/1 stop bit format. Table 62 lists Serial mode receive timing characteristics.

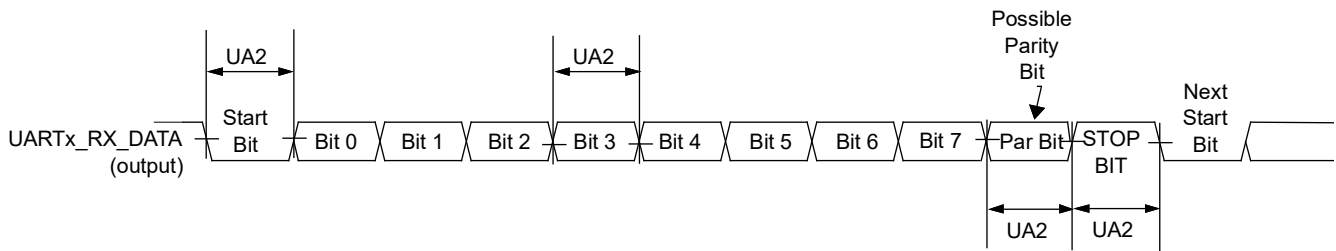


Figure 47. UART RS-232 Serial mode receive timing diagram

Table 62. RS-232 Serial mode receive timing parameters

ID	Parameter	Symbol	Min	Max	Unit
UA2	Receive Bit Time <sup>1</sup>	$t_{Rbit}$	$1/F_{baud\_rate}^2 - 1/(16 \times F_{baud\_rate})$	$1/F_{baud\_rate} + 1/(16 \times F_{baud\_rate})$	—

<sup>1</sup> The UART receiver can tolerate  $1/(16 \times F_{baud\_rate})$  tolerance in each bit. But accumulation tolerance in one frame must not exceed  $3/(16 \times F_{baud\_rate})$ .

<sup>2</sup>  $F_{baud\_rate}$ : Baud rate frequency. The maximum baud rate the UART can support is  $(ipg\_perclk \text{ frequency})/16$ .

## 3.9.14 USB PHY parameters

This section describes the USB-OTG PHY parameters.

### 3.9.14.1 Pad/Package/Board connections

The USBx\_VBUS pin cannot directly connect to the 5 V VBUS voltage on the USB2.0 link.

Each USBx\_VBUS pin must be isolated by an external 30 K $\Omega$  1% precision resistor.

The USB 2.0 PHY uses USBx\_TXRTUNE and an external resistor to calibrate the USBx\_DP/DN 45  $\Omega$  source impedance. The external resistor value is 200  $\Omega$  1% precision on each of USBx\_TXRTUNE pad to ground.

### 3.9.14.2 USB PHY worst power consumption

Table 63 shows the USB 2.0 PHY worst power dissipation.

**Table 63. USB 2.0 PHY worst power dissipation**

Mode	VDD_USB_0P8		VDD_USB_3P3		VDD_USB_1P8		Total Power	
HS TX	8.286	mA	4.63	mA	23.409	mA	70.448	mW
FS TX	6.767		12.52		5.968		63.22	
LS TX	7.001		13.58		6.224		67.779	
Suspend	0.752		0.164		0.106		1.465	
Sleep	0.761		0.163		0.106		1.472	

## 4 引导模式配置

本节提供有关引导模式配置引脚分配和引导设备接口分配的信息。

别针	方向 n 在重置时	eFuse 名称	重置期间的状态 (POR_B 断言)	重置后的状态 (POR_B 否认)	内部消息
启动_MODE0	输入的信息	不适用的	带有下拉的输入	带有下拉的输入	引导模式选择
BOOT_MODE1	输入的信息	不适用的	带有下拉的输入	带有下拉的输入	
SAI1_RXD0	输入的信息	BOOT_CFG[0]	带有下拉的输入	带有下拉的输入	引导选项引脚值覆盖保险丝设置 BT_FUSE_SEL = "0"。信号配置为电源时的保险丝覆盖输入。这些是特殊的 I/O 线，在产品开发期间控制引导配置。在生产中，引导配置可以通过保险丝控制。
SAI1_RXD1	输入的信息	启动_CFG[1]	带有下拉的输入	带有下拉的输入	
SAI1_RXD2	输入的信息	BOOT_CFG[2]	带有下拉的输入	带有下拉的输入	
SAI1_RXD3	输入的信息	BOOT_CFG[3]	带有下拉的输入	带有下拉的输入	
SAI1_RXD4	输入的信息	BOOT_CFG[4]	带有下拉的输入	带有下拉的输入	
SAI1_RXD5	输入的信息	BOOT_CFG[5]	带有下拉的输入	带有下拉的输入	
SAI1_RXD6	输入的信息	启动_CFG[6]	带有下拉的输入	带有下拉的输入	
SAI1_RXD7	输入的信息	启动_CFG[7]	带有下拉的输入	带有下拉的输入	
SAI1_TXD0	输入的信	BOOT_CFG[8]	带有下拉的输入	带有下拉的输入	

	息			
SAI1_TXD1	输入的信息	BOOT_CFG[9]	带有下拉的输入	带有下拉的输入
SAI1_TXD2	输入的信息	BOOT_CFG[10]	带有下拉的输入	带有下拉的输入
SAI1_TXD3	输入的信息	BOOT_CFG[11]	带有下拉的输入	带有下拉的输入
SAI1_TXD4	输入的信息	BOOT_CFG[12]	带有下拉的输入	带有下拉的输入
SAI1_TXD5	输入的信息	BOOT_CFG[13]	带有下拉的输入	带有下拉的输入
SAI1_TXD6	输入的信息	BOOT_CFG[14]	带有下拉的输入	带有下拉的输入

## 4.1 引导模式配置引脚

表 64 提供引导选项、功能、保险丝值和相关引脚。几个输入引脚也在重置时进行采样，可用于覆盖保险丝值，具体取决于 BT\_FUSE\_SEL 保险丝的值。当 BT\_FUSE\_SEL 为 0 时，引导选项引脚有效使用是“0”（已清除，未吹制的保险丝就是这种情况）。有关由引导模式引脚配置の詳細引导模式选项，请参阅“系统引导、Fusemap 和 eFuse”一章 *i.MX 8M 迷你应用处理器参考手册* (IMX8MMRM)。

表 64。用于引导的保险丝和相关引脚

## 4.2 引导设备接口分配

表 65 根据特定的引导模式配置，列出引导过程可以使用的接口。该表还描述了接口的特定模式和 IOMUXC 分配，这些模式和 IOMUXC 分配在启动期间适当配置。

表 65。启动期间的接口分配

用户界面	IP 实例	启动期间分配的垫子	评论
SPI	ECSPI-1	ECSPI1_SCLK, ECSPI1_MOSI, ECSPI1_MISO, ECSPI1_SS0	使用的芯片选择引脚取决于保险丝“CS 选择（仅限 SPI）”。
SPI	ECSPI-2	ECSPI2_SCLK, ECSPI2_MOSI, ECSPI2_MISO, ECSPI2_SS0	使用的芯片选择引脚取决于保险丝“CS 选择（仅限 SPI）”。
SPI	ECSPI-3	UART1_RXD, UART1_TXD, UART2_RXD, UART2_TXD	使用的芯片选择引脚取决于保险丝“CS 选择（仅限 SPI）”。
南德闪光灯	GPMI	NAND_ALE, NAND_CE0_B, NAND_CLE, NAND_DATA00 , NAND_DATA01 , NAND_DATA02, NAND_DATA03 , NAND_DATA04 , NAND_DATA05, NAND_DATA06, NAND_DATA07, NAND_DQS, NAND_RE_B, NAND_READY_B, NAND_WE_B, NAND_WP_B	8 位，仅支持 CS0。
SD/MMC	USDHC-1	GPIO1_IO03, GPIO1_IO06, GPIO1_IO07, SD1_RESET_B, SD1_CLK, SD1_CMD, SD1_STROBE, SD1_DATA0, SD1_DATA1, SD1_DATA2, SD1_DATA3, SD1_DATA4, SD1_DATA5, SD1_DATA6, SD1_DATA7	1、4 或 8 位
SD/MMC	USDHC-2	GPIO1_IO04, GPIO1_IO08, GPIO1_IO07, SD2_RESET_B , SD2_WP , SD2_CLK , SD2_CMD, SD2_DATA0, SD2_DATA1, SD2_DATA2, SD2_数据 3	1 位或 4 位
SD/MMC	USDHC-3	NAND_CE1_B, NAND_CE2_B, NAND_CE3_B, NAND_CLE, NAND_DATA02, NAND_DATA03,	1、4 或 8 位

		NAND_DATA04, NAND_DATA05, NAND_DATA06, NAND_DATA07, NAND_RE_B, NAND_READY_B, NAND_WE_B, NAND_WP_B	
FlexSPI	FlexSPI	NAND_ALE, NAND_CE0_B, NAND_CE1_B, NAND_CE2_B, NAND_CE3_B, NAND_CLE, NAND_DATA00, NAND_DATA01, NAND_DATA02, NAND_DATA03, NAND_DATA04, NAND_DATA05, NAND_DATA06, NAND_DATA07, NAND_DQS, NAND_RE_B	对于 FlexSPI 闪存
通用串行总线	USB_OTG PHY	专用 USB 引脚	—

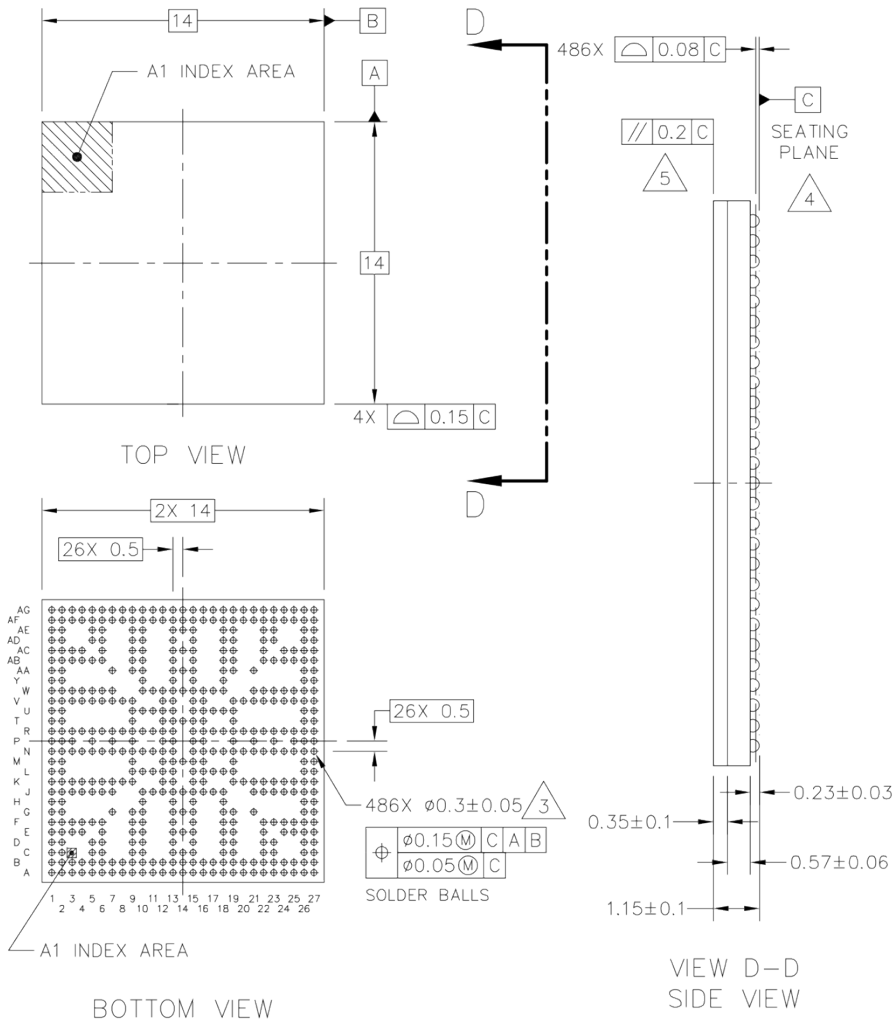
## 5 包裹信息和联系人分配

本节包括联系人分配信息和机械包装图。

### 5.1 14 x 14 毫米包装信息

#### 5.1.1 14 x 14 毫米，0.5 毫米间距，球矩阵

图 48 显示 14×14 毫米 FCBGA 封装的顶部、底部和侧面图。



© NXP SEMICONDUCTORS N.V. ALL RIGHTS RESERVED	<b>MECHANICAL OUTLINE</b>	PRINT VERSION NOT TO SCALE
TITLE: FCPBGA, MOLDED ARRAY, 14 X 14 X 1.15 PKG, 0.5 MM PITCH, 486 I/O	DOCUMENT NO: 98ASA01200D	REV: B
	STANDARD: NON-JEDEC	
	SOT1967-1	02 AUG 2018

图 48. 14 X 14 MM BGA, 外壳 x 包装顶部、底部和侧面视图

### 5.1.2 14 x 14 毫米用品接触分配和功能接触分配

表 66 显示 14 x 14 毫米包装的用品接触分配。

表 66. i.MX 8M Mini 14 x 14 mm 用品接触分配

供应铁路名称	球的位置	评论
--------	------	----

NC	J18	—
NVCC_CLK	M19	CLK 接口的供应
NVCC_DRAM	P7, K8, N8, R8, V8, K9, L9, M9, N9, R9, T9, U9, V9	DRAM 接口的供应
NVCC_ECSPi	H10	ECSPi 接口的供应
NVCC_ENET	W22	ENET 接口的供应
NVCC_GPIO1	W12	GPIO1 接口的供应
NVCC_I2C	J11	I2C 接口的供应
NVCC_JTAG	L19	JTAG 接口的供应
NVCC_NAND	U19	NAND 接口的供应
NVCC_SAI1	W18	供应 SAI 接口
NVCC_SAI2	V19	供应 SAI 接口
NVCC_SAI3	Y10	供应 SAI 接口
NVCC_SAI5	W17	供应 SAI 接口
NVCC_SD1	V20	SD 接口的供应
NVCC_SD2	V22	SD 接口的供应
NVCC_SNVS_1P8	J22	供应 SNVS 接口
NVCC_UART	J12	UART 接口的供应
PVCC0_1P8	AB13	数字 IO 预驱动
PVCC1_1P8	T19	数字 IO 预驱动
PVCC2_1P8	J13	数字 IO 预驱动
VDD_24M_XTAL_1P8	N19	XTAL 的供应
VDD_ANA_0P8	L17, N17	模拟逻辑的供应
VDD_ANA0_1P8	AA14, Y15	模拟逻辑的供应
VDD_ANA1_1P8	P19, N20	模拟逻辑的供应
VDD_ARM	R13, T13, U13, V13, W13, T14, W14, R15, T15, U15, V15, W15, V16, W16	ARM 的供应
VDD_ARM_PLL_0P8	P16	ARM PLL 的供应

VDD_ARM_PLL_1P8	R19	ARM PLL 的供应
VDD_DRAM	J10, L10, N10, R10, U10, W10	DRAM 模块的供应

表 66.i.MX 8M Mini 14 x 14 毫米用品接触分配 (续)

VDD_DRAM_PLL_0P8	P9	DRAM PLL 的供应
VDD_DRAM_PLL_1P8	P5	DRAM PLL 的供应
VDD_GPU	R11, U11, W11, P12, V12	GPU 的供应
VDD_MIPI_0P9	J14	MIPI PHY 的供应
VDD_MIPI_1P2	J15	MIPI PHY 的供应
VDD_MIPI_1P8	H13	MIPI PHY 的供应
VDD_PCI_0P8	J16	PCIe PHY 的供应
VDD_PCI_1P8	G14	PCIe PHY 的供应
VDD_SNVS_0P8	K22	SNVS 逻辑的供应
VDD_SOC	N13, K15, L15, M15, N15, K16, R17, U17, L18, N18, R18, U18	SOC 逻辑的供应
VDD_USB_0P8	J17	USB PHY 的供应
VDD_USB_1P8	H15	USB PHY 的供应
VDD_USB_3P3	K19	USB PHY 的供应
VDD_VPU	L11, N11, K12, K13, L13, M13, M14	VPU 的供应
VSS	A1, AG1, C2, H2, Y2, AE2, B3, E3, F3, J3, K3, N3, P3, R3, V3, W3, AB3, AC3, AF3, C5, AE5, C6, AE6, G7, J7, K7, N7, R7, V7, W7, AA7, C9, G9, AA9, AE9, C10, G10, AA10, AE10, L12, M12, N12, R12, T12, U12, C13, G13, P13, Y13, AA13, AE13, C14, AE14, C15, G15, P15, AA15, AE15, L16, M16, N16, R16, T16, U16, C18, G18, H18, Y18, AA18, AE18, C19, G19, AA19, AE19, K20, R20, G21, J21, K21, N21,	—

	P21 , R21 , V21 , W21 , AA21 , C22 , AE22, C23, AE23, E25, F25, J25, K25, N25, P25, R25, V25, W25, AB25, AC25, B26, A27, AG27	
--	--	--

表 67 显示 14 x 14 毫米封装的功能联系人分配的 alpha 排序列表。

表 67. i.MX 8M Mini 14 x 14 mm 功能接触分配

球名	球	电力集团	球类	重置条件		
				默认模式	默认功能	输入/ 输出状态
24M_XTALI	B27	VDD_24M_XTAL_1P8	模拟	—	—	输入的信息
24M_XTALO	C26	VDD_24M_XTAL_1P8	模拟	—	—	输出信息
启动_MODE0	G26	NVCC_JTAG	GPIO	ALT0	ccmsrcgpcmix.BOOT_MODE[0]	带有 PD 的输入
BOOT_MODE1	G27	NVCC_JTAG	GPIO	ALT0	ccmsrcgpcmix.BOOT_MODE[1]	带有 PD 的输入

**Table 67. i.MX 8M Mini 14 x 14 mm functional contact assignments (continued)**

球名	球	电力集团	球类	重置条件		
				默认模式	默认功能	输入/输出状态
CLKIN1	H27	NVCC_CLK	GPIO	—	—	输入没有 PU/PD
CLKIN2	J27	NVCC_CLK	GPIO	—	—	输入没有 PU/PD
CLKOUT1	H26	NVCC_CLK	GPIO	—	—	输出低, 没有 PU/PD
CLKOUT2	J26	NVCC_CLK	GPIO	—	—	输出低, 没有 PU/PD
DRAM_AC00	F4	NVCC_DRAM	DDR	—	—	输出低
DRAM_AC01	F5	NVCC_DRAM	DDR	—	—	输出低
DRAM_AC02	K4	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC03	J4	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC04	L2	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC05	L1	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC06	F6	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC07	J5	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC08	J6	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC09	K6	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC10	E4	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC11	D5	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC12	N4	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC13	N5	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC14	K5	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC15	N6	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC16	M1	NVCC_DRAM	DDR	—	—	输入的信息

**i.MX 8M Mini Applications Processor Datasheet for Consumer Products, Rev. 2 , 11/2022**

**Table 67. i.MX 8M Mini 14 x 14 mm functional contact assignments (continued)**

DRAM_AC17	M2	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC19	N2	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC20	AB4	NVCC_DRAM	DDR	—	—	输出低
DRAM_AC21	AB5	NVCC_DRAM	DDR	—	—	输出低
DRAM_AC22	W4	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC23	V4	NVCC_DRAM	DDR	—	—	输入的信息

球名	球	电力集团	球类	重置条件		
				默认模式	默认功能	输入/输出状态
DRAM_AC24	U2	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC25	U1	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC26	N1	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC27	R6	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC28	W6	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC29	V6	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC30	AC4	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC31	AD5	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC32	R4	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC33	R5	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC34	T1	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC35	T2	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC36	V5	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC37	W5	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_AC38	AB6	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_ALERT_N	R2	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DM0	A4	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DM1	F1	NVCC_DRAM	DDR	—	—	输入的信息

**i.MX 8M Mini Applications Processor Datasheet for Consumer Products, Rev. 2 , 11/2022**

**Table 67. i.MX 8M Mini 14 x 14 mm functional contact assignments (continued)**

DRAM_DM2	AB1	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DM3	AG4	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ00	A5	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ01	B5	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ02	D2	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ03	D1	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ04	C1	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ05	B1	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ06	A3	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ07	B4	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ08	F2	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ09	G2	NVCC_DRAM	DDR	—	—	输入的信息

球名	球	电力集团	球类	重置条件		
				默认模式	默认功能	输入/输出状态
DRAM_DQ10	J1	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ11	J2	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ12	K2	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ13	K1	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ14	E1	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ15	E2	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ16	AB2	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ17	AA2	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ18	W1	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ19	W2	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ20	V2	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ21	V1	NVCC_DRAM	DDR	—	—	输入的信息

**i.MX 8M Mini Applications Processor Datasheet for Consumer Products, Rev. 2 , 11/2022**

**Table 67. i.MX 8M Mini 14 x 14 mm functional contact assignments (continued)**

DRAM_DQ22	AC1	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ23	AC2	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ24	AG5	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ25	AF5	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ26	AD2	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ27	AD1	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ28	AE1	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ29	AF1	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ30	AG3	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQ31	AF4	NVCC_DRAM	DDR	—	—	输入的信息
DRAM_DQS0_N	B2	NVCC_DRAM	—	—	—	输入的信息
DRAM_DQS0_P	A2	NVCC_DRAM	DDRCLK	—	—	输入的信息
DRAM_DQS1_N	H1	NVCC_DRAM	—	—	—	输入的信息
DRAM_DQS1_P	G1	NVCC_DRAM	DDRCLK	—	—	输入的信息
DRAM_DQS2_N	Y1	NVCC_DRAM	—	—	—	输入的信息
DRAM_DQS2_P	AA1	NVCC_DRAM	DDRCLK	—	—	输入的信息
DRAM_DQS3_N	AF2	NVCC_DRAM	—	—	—	输入的信息
DRAM_DQS3_P	AG2	NVCC_DRAM	DDRCLK	—	—	输入的信息

球名	球	电力集团	球类	重置条件		
				默认模式	默认功能	输入/输出状态
DRAM_RESET_N	R1	NVCC_DRAM	DDR	—	—	输出低
DRAM_VREF	P1	NVCC_DRAM	DDR	—	—	—
DRAM_ZN	P2	NVCC_DRAM	DDR	—	—	—
ECSPI1_MISO	A7	NVCC_ECSPi	GPIO	ALT5	GPIO5. IO[8]	带有 PD 的输入
ECSPI1_MOSI	B7	NVCC_ECSPi	GPIO	ALT5	GPIO5. IO[7]	带有 PD 的输入

**Table 67. i.MX 8M Mini 14 x 14 mm functional contact assignments (continued)**

ECSPI1_SCLK	D6	NVCC_ECSPi	GPIO	ALT5	GPIO5. IO[6]	带有 PD 的输入
ECSPI1_SS0	B6	NVCC_ECSPi	GPIO	ALT5	GPIO5. IO[9]	带有 PD 的输入
ECSPI2_MISO	A8	NVCC_ECSPi	GPIO	ALT5	GPIO5. IO[12]	带有 PD 的输入
ECSPI2_MOSI	B8	NVCC_ECSPi	GPIO	ALT5	GPIO5. IO[11]	带有 PD 的输入
ECSPI2_SCLK	E6	NVCC_ECSPi	GPIO	ALT5	GPIO5. IO[10]	带有 PD 的输入
ECSPI2_SS0	A6	NVCC_ECSPi	GPIO	ALT5	GPIO5. IO[13]	带有 PD 的输入
ENET_MDC	AC27	NVCC_ENET	GPIO	ALT5	GPIO1. IO[16]	带有 PD 的输入
ENET_MDIO	AB27	NVCC_ENET	GPIO	ALT5	GPIO1. IO[17]	带有 PD 的输入
ENET_RD0	AE27	NVCC_ENET	GPIO	ALT5	GPIO1. IO[26]	带有 PD 的输入
ENET_RD1	AD27	NVCC_ENET	GPIO	ALT5	GPIO1. IO[27]	带有 PD 的输入
ENET_RD2	公元 26	NVCC_ENET	GPIO	ALT5	GPIO1. IO[28]	带有 PD 的输入
ENET_RD3	AC26	NVCC_ENET	GPIO	ALT5	GPIO1. IO[29]	带有 PD 的输入
ENET_RXC	AE26	NVCC_ENET	GPIO	ALT5	GPIO1. IO[25]	带有 PD 的输入
ENET_RX_CTL	AF27	NVCC_ENET	GPIO	ALT5	GPIO1. IO[24]	带有 PD 的输入
ENET_TD0	AG26	NVCC_ENET	GPIO	ALT5	GPIO1. IO[21]	带有 PD 的输入
ENET_TD1	AF26	NVCC_ENET	GPIO	ALT5	GPIO1. IO[20]	带有 PD 的输入
ENET_TD2	AG25	NVCC_ENET	GPIO	ALT5	GPIO1. IO[19]	带有 PD 的输入
ENET_TD3	AF25	NVCC_ENET	GPIO	ALT5	GPIO1. IO[18]	带有 PD 的输入
ENET_TXC	AG24	NVCC_ENET	GPIO	ALT5	GPIO1. IO[23]	带有 PD 的输入
ENET_TX_CTL	AF24	NVCC_ENET	GPIO	ALT5	GPIO1. IO[22]	带有 PD 的输入
GPIO1_IO00	AG14	NVCC_GPIO1	GPIO	ALT0	GPIO1. IO[0]	带有 PD 的输入

**Table 67. i.MX 8M Mini 14 x 14 mm functional contact assignments (continued)**

GPIO1_IO01 <sup>1</sup>	AF14	NVCC_GPIO1	GPIO	ALT0	GPIO1。IO[1]	输出低
GPIO1_IO02	AG13	NVCC_GPIO1	GPIO	ALT0	GPIO1。IO[2]	用 PU 输入
GPIO1_IO03	AF13	NVCC_GPIO1	GPIO	ALT0	GPIO1。IO[3]	带有 PD 的输入
GPIO1_IO04	AG12	NVCC_GPIO1	GPIO	ALT0	GPIO1。IO[4]	带有 PD 的输入

**Table 67. i.MX 8M Mini 14 x 14 mm functional contact assignments (continued)**

球名	球	电力集团	球类	重置条件		
				默认模式	默认功能	输入/输出状态
GPIO1_IO05 <sup>2</sup>	AF12	NVCC_GPIO1	GPIO	ALT0	GPIO1。IO[5]	产量高
GPIO1_IO06	AG11	NVCC_GPIO1	GPIO	ALT0	GPIO1。IO[6]	带有 PD 的输入
GPIO1_IO07	AF11	NVCC_GPIO1	GPIO	ALT0	GPIO1。IO[7]	用 PU 输入
GPIO1_IO08	AG10	NVCC_GPIO1	GPIO	ALT0	GPIO1。IO[8]	带有 PD 的输入
GPIO1_IO09	AF10	NVCC_GPIO1	GPIO	ALT0	GPIO1。IO[9]	带有 PD 的输入
GPIO1_IO10	AD10	NVCC_GPIO1	GPIO	ALT0	GPIO1。IO[10]	带有 PD 的输入
GPIO1_IO11	AC10	NVCC_GPIO1	GPIO	ALT0	GPIO1。IO[11]	带有 PD 的输入
GPIO1_IO12	AB10	NVCC_GPIO1	GPIO	ALT0	GPIO1。IO[12]	带有 PD 的输入
GPIO1_IO13	AD9	NVCC_GPIO1	GPIO	ALT0	GPIO1。IO[13]	带有 PD 的输入
GPIO1_IO14	AC9	NVCC_GPIO1	GPIO	ALT0	GPIO1。IO[14]	带有 PD 的输入
GPIO1_IO15	AB9	NVCC_GPIO1	GPIO	ALT0	GPIO1。IO[15]	带有 PD 的输入
I2C1_SCL	E9	NVCC_I2C	GPIO	ALT5	GPIO5。IO[14]	带有 PD 的输入
I2C1_SDA	F9	NVCC_I2C	GPIO	ALT5	GPIO5。IO[15]	带有 PD 的输入
I2C2_SCL	D10	NVCC_I2C	GPIO	ALT5	GPIO5。IO[16]	带有 PD 的输入
I2C2_SDA	D9	NVCC_I2C	GPIO	ALT5	GPIO5。IO[17]	带有 PD 的输入
I2C3_SCL	E10	NVCC_I2C	GPIO	ALT5	GPIO5。IO[18]	带有 PD 的输入
I2C3_SDA	F10	NVCC_I2C	GPIO	ALT5	GPIO5。IO[19]	带有 PD 的输入
I2C4_SCL	D13	NVCC_I2C	GPIO	ALT5	GPIO5。IO[20]	带有 PD 的输入

**Table 67. i.MX 8M Mini 14 x 14 mm functional contact assignments (continued)**

I2C4_SDA	E13	NVCC_I2C	GPIO	ALT5	GPIO5。IO[21]	带有 PD 的输入
JTAG_MOD	D27	NVCC_JTAG	GPIO	ALT0	cjtag_wrapper.MOD	带有 PD 的输入
JTAG_TCK	F26	NVCC_JTAG	GPIO	ALT0	cjtag_wrapper.TCK	用 PU 输入
JTAG_TDI	E27	NVCC_JTAG	GPIO	ALT0	cjtag_wrapper.TDI	用 PU 输入
JTAG_TDO	E26	NVCC_JTAG	GPIO	ALT0	cjtag_wrapper.TDO	用 PU 输入
JTAG_TMS	F27	NVCC_JTAG	GPIO	ALT0	cjtag_wrapper.TMS	用 PU 输入
JTAG_TRST_B	C27	NVCC_JTAG	GPIO	ALT0	cjtag_wrapper.TRST_B	用 PU 输入
MIPI_CSI_CLK_N	A16	VDD_MIPI_1P8	PHY	—	—	输入的信息
MIPI_CSI_CLK_P	B16	VDD_MIPI_1P8	PHY	—	—	输入的信息
MIPI_CSI_D0_N	A14	VDD_MIPI_1P8	PHY	—	—	输入的信息
MIPI_CSI_D0_P	B14	VDD_MIPI_1P8	PHY	—	—	输入的信息
MIPI_CSI_D1_N	A15	VDD_MIPI_1P8	PHY	—	—	输入的信息

球名	球	电力集团	球类	重置条件		
				默认模式	默认功能	输入/输出状态
MIPI_CSI_D1_P	B15	VDD_MIPI_1P8	PHY	—	—	输入的信息
MIPI_CSI_D2_N	A17	VDD_MIPI_1P8	PHY	—	—	输入的信息
MIPI_CSI_D2_P	B17	VDD_MIPI_1P8	PHY	—	—	输入的信息
MIPI_CSI_D3_N	A18	VDD_MIPI_1P8	PHY	—	—	输入的信息
MIPI_CSI_D3_P	B18	VDD_MIPI_1P8	PHY	—	—	输入的信息
MIPI_DSI_CLK_N	A11	VDD_MIPI_1P8	PHY	—	—	输出低
MIPI_DSI_CLK_P	B11	VDD_MIPI_1P8	PHY	—	—	输出低
MIPI_DSI_D0_N	A9	VDD_MIPI_1P8	PHY	—	—	输出低
MIPI_DSI_D0_P	B9	VDD_MIPI_1P8	PHY	—	—	输出低
MIPI_DSI_D1_N	A10	VDD_MIPI_1P8	PHY	—	—	输出低
MIPI_DSI_D1_P	B10	VDD_MIPI_1P8	PHY	—	—	输出低

**Table 67. i.MX 8M Mini 14 x 14 mm functional contact assignments (continued)**

MIPI_DSI_D2_N	A12	VDD_MIPI_1P8	PHY	—	—	输出低
MIPI_DSI_D2_P	B12	VDD_MIPI_1P8	PHY	—	—	输出低
MIPI_DSI_D3_N	A13	VDD_MIPI_1P8	PHY	—	—	输出低
MIPI_DSI_D3_P	B13	VDD_MIPI_1P8	PHY	—	—	输出低
MIPI_VREG_CAP	D15	0.35 - 0.45 V	PHY	—	—	输出信息
NAND_ALE	N22	NVCC_NAND	GPIO	ALT5	GPIO3. IO[0]	带有 PD 的输入
NAND_CE0_B	N24	NVCC_NAND	GPIO	ALT5	GPIO3. IO[1]	用 PU 输入
NAND_CE1_B	P27	NVCC_NAND	GPIO	ALT5	GPIO3. IO[2]	带有 PD 的输入
NAND_CE2_B	M27	NVCC_NAND	GPIO	ALT5	GPIO3. IO[3]	带有 PD 的输入
NAND_CE3_B	L27	NVCC_NAND	GPIO	ALT5	GPIO3. IO[4]	带有 PD 的输入
NAND_CLE	K27	NVCC_NAND	GPIO	ALT5	GPIO3. IO[5]	带有 PD 的输入
NAND_DATA00	P23	NVCC_NAND	GPIO	ALT5	GPIO3. IO[6]	带有 PD 的输入
NAND_DATA01	K24	NVCC_NAND	GPIO	ALT5	GPIO3. IO[7]	带有 PD 的输入
NAND_DATA02	K23	NVCC_NAND	GPIO	ALT5	GPIO3. IO[8]	带有 PD 的输入
NAND_DATA03	N23	NVCC_NAND	GPIO	ALT5	GPIO3. IO[9]	带有 PD 的输入
NAND_DATA04	M26	NVCC_NAND	GPIO	ALT5	GPIO3. IO[10]	带有 PD 的输入
NAND_DATA05	L26	NVCC_NAND	GPIO	ALT5	GPIO3. IO[11]	带有 PD 的输入
NAND_DATA06	K26	NVCC_NAND	GPIO	ALT5	GPIO3. IO[12]	带有 PD 的输入
NAND_DATA07	N26	NVCC_NAND	GPIO	ALT5	GPIO3. IO[13]	带有 PD 的输入

球名	球	电力集团	球类	重置条件		
				默认模式	默认功能	输入/输出状态

**Table 67. i.MX 8M Mini 14 x 14 mm functional contact assignments (continued)**

NAND_DQS	R22	NVCC_NAND	GPIO	ALT5	GPIO3. IO[14]	带有 PD 的输入
NAND_RE_B	N27	NVCC_NAND	GPIO	ALT5	GPIO3. IO[15]	用 PU 输入
NAND_READY_B	P26	NVCC_NAND	GPIO	ALT5	GPIO3. IO[16]	带有 PD 的输入
NAND_WE_B	R26	NVCC_NAND	GPIO	ALT5	GPIO3. IO[17]	带有 PD 的输入
NAND_WP_B	R27	NVCC_NAND	GPIO	ALT5	GPIO3. IO[18]	带有 PD 的输入
开-关的	A25	NVCC_SNVS_1P8	GPIO	ALT0	snvsmix.ONOFF	输入没有 PU/PD
PCIE_CLK_N	A21	VDD_PCI_1P8	PHY	—	—	高-Z
PCIE_CLK_P	B21	VDD_PCI_1P8	PHY	—	—	高-Z
PCIE_RESREF	D19	VDD_PCI_1P8	PHY	—	—	高-Z
PCIE_RXN_N	A19	VDD_PCI_1P8	PHY	—	—	输入, 高 Z
PCIE_RXN_P	B19	VDD_PCI_1P8	PHY	—	—	输入, 高 Z
PCIE_TXN_N	A20	VDD_PCI_1P8	PHY	—	—	输出, 高-Z
PCIE_TXN_P	B20	VDD_PCI_1P8	PHY	—	—	输出, 高-Z
PMIC_ON_REQ	A24	NVCC_SNVS_1P8	GPIO	ALT0	snvsmix.PMIC_ON_REQ	开放式排水输出 高 用 PU
PMIC_STBY_REQ	E24	NVCC_SNVS_1P8	GPIO	ALT0	ccmsrcgpcmix.PMIC_STBY_REQ	PD 输出低 Q
POR_B	B24	NVCC_SNVS_1P8	GPIO	ALT0	snvsmix.POR_B	输入没有 PU/PD
RTC_XTALI	A26	NVCC_SNVS_1P8	模拟	—	—	输入的信息
RTC_XTALO	B25	NVCC_SNVS_1P8	模拟	—	—	输出, 倒置 RTC_XTALI
RTC_RESET_B	F24	NVCC_SNVS_1P8	GPIO	ALT0	snvsmix.RTC_POR_B	输入没有 PU/PD
SAI1_MCLK	AB18	NVCC_SAI1	GPIO	ALT5	GPIO4. IO[20]	带有 PD 的输入
SAI1_RXC	AF16	NVCC_SAI1	GPIO	ALT5	GPIO4. IO[1]	带有 PD 的输入

**Table 67. i.MX 8M Mini 14 x 14 mm functional contact assignments (continued)**

SAI1_RXD0	AG15	NVCC_SAI1	GPIO	ALT5	GPIO4. IO[2]	带有 PD 的输入
SAI1_RXD1	AF15	NVCC_SAI1	GPIO	ALT5	GPIO4. IO[3]	带有 PD 的输入
SAI1_RXD2	AG17	NVCC_SAI1	GPIO	ALT5	GPIO4. IO[4]	带有 PD 的输入

球名	球	电力集团	球类	重置条件		
				默认模式	默认功能	输入/输出状态
SAI1_RXD3	AF17	NVCC_SAI1	GPIO	ALT5	GPIO4. IO[5]	带有 PD 的输入
SAI1_RXD4	AG18	NVCC_SAI1	GPIO	ALT5	GPIO4. IO[6]	带有 PD 的输入
SAI1_RXD5	AF18	NVCC_SAI1	GPIO	ALT5	GPIO4. IO[7]	带有 PD 的输入
SAI1_RXD6	AG19	NVCC_SAI1	GPIO	ALT5	GPIO4. IO[8]	带有 PD 的输入
SAI1_RXD7	AF19	NVCC_SAI1	GPIO	ALT5	GPIO4. IO[9]	带有 PD 的输入
SAI1_RXFS	AG16	NVCC_SAI1	GPIO	ALT5	GPIO4. IO[0]	带有 PD 的输入
SAI1_TXC	AC18	NVCC_SAI1	GPIO	ALT5	GPIO4. IO[11]	带有 PD 的输入
SAI1_TXD0	AG20	NVCC_SAI1	GPIO	ALT5	GPIO4. IO[12]	带有 PD 的输入
SAI1_TXD1	AF20	NVCC_SAI1	GPIO	ALT5	GPIO4. IO[13]	带有 PD 的输入
SAI1_TXD2	AG21	NVCC_SAI1	GPIO	ALT5	GPIO4. IO[14]	带有 PD 的输入
SAI1_TXD3	AF21	NVCC_SAI1	GPIO	ALT5	GPIO4. IO[15]	带有 PD 的输入
SAI1_TXD4	AG22	NVCC_SAI1	GPIO	ALT5	GPIO4. IO[16]	带有 PD 的输入
SAI1_TXD5	AF22	NVCC_SAI1	GPIO	ALT5	GPIO4. IO[17]	带有 PD 的输入
SAI1_TXD6	AG23	NVCC_SAI1	GPIO	ALT5	GPIO4. IO[18]	带有 PD 的输入
SAI1_TXD7	AF23	NVCC_SAI1	GPIO	ALT5	GPIO4. IO[19]	带有 PD 的输入

**Table 67. i.MX 8M Mini 14 x 14 mm functional contact assignments (continued)**

SAI1_TXFS	AB19	NVCC_SAI1	GPIO	ALT5	GPIO4。IO[10]	带有 PD 的输入
SAI2_MCLK	公元 19 年	NVCC_SAI2	GPIO	ALT5	GPIO4。IO[27]	带有 PD 的输入
SAI2_RXC	AB22	NVCC_SAI2	GPIO	ALT5	GPIO4。IO[22]	带有 PD 的输入
SAI2_RXD0	AC24	NVCC_SAI2	GPIO	ALT5	GPIO4。IO[23]	带有 PD 的输入
SAI2_RXFS	AC19	NVCC_SAI2	GPIO	ALT5	GPIO4。IO[21]	带有 PD 的输入
SAI2_TXC	AD22	NVCC_SAI2	GPIO	ALT5	GPIO4。IO[25]	带有 PD 的输入
SAI2_TXD0	AC22	NVCC_SAI2	GPIO	ALT5	GPIO4。IO[26]	带有 PD 的输入
SAI2_TXFS	AD23	NVCC_SAI2	GPIO	ALT5	GPIO4。IO[24]	带有 PD 的输入
SAI3_MCLK	AD6	NVCC_SAI3	GPIO	ALT5	GPIO5。IO[2]	带有 PD 的输入
SAI3_RXC	AG7	NVCC_SAI3	GPIO	ALT5	GPIO4。IO[29]	带有 PD 的输入
SAI3_RXD	AF7	NVCC_SAI3	GPIO	ALT5	GPIO4。IO[30]	带有 PD 的输入
SAI3_RXFS	AG8	NVCC_SAI3	GPIO	ALT5	GPIO4。IO[28]	带有 PD 的输入
SAI3_TXC	AG6	NVCC_SAI3	GPIO	ALT5	GPIO5。IO[0]	带有 PD 的输入
SAI3_TXD	AF6	NVCC_SAI3	GPIO	ALT5	GPIO5。IO[1]	带有 PD 的输入
SAI3_TXFS	AC6	NVCC_SAI3	GPIO	ALT5	GPIO4。IO[31]	带有 PD 的输入

球名	球	电力集团	球类	重置条件		
				默认模式	默认功能	输入/ 输出状态
SAI5_MCLK <sup>3</sup>	AD15	NVCC_SAI5	GPIO	ALT5	GPIO3。IO[25]	输入没有 PU/PD
SAI5_RXC	AC15	NVCC_SAI5	GPIO	ALT5	GPIO3。IO[20]	带有 PD 的输入
SAI5_RXD0	AD18	NVCC_SAI5	GPIO	ALT5	GPIO3。IO[21]	带有 PD 的输入

**Table 67. i.MX 8M Mini 14 x 14 mm functional contact assignments (continued)**

SAI5_RXD1	AC14	NVCC_SAI5	GPIO	ALT5	GPIO3。IO[22]	带有 PD 的输入
SAI5_RXD2	AD13	NVCC_SAI5	GPIO	ALT5	GPIO3。IO[23]	带有 PD 的输入
SAI5_RXD3	AC13	NVCC_SAI5	GPIO	ALT5	GPIO3。IO[24]	带有 PD 的输入
SAI5_RXFS	AB15	NVCC_SAI5	GPIO	ALT5	GPIO3。IO[19]	带有 PD 的输入
SD1_CLK	V26	NVCC_SD1	GPIO	ALT5	GPIO2。IO[0]	带有 PD 的输入
SD1_CMD	V27	NVCC_SD1	GPIO	ALT5	GPIO2。IO[1]	带有 PD 的输入
SD1_DATA0	Y27	NVCC_SD1	GPIO	ALT5	GPIO2。IO[2]	带有 PD 的输入
SD1_数据 1	Y26	NVCC_SD1	GPIO	ALT5	GPIO2。IO[3]	带有 PD 的输入
SD1_数据 2	T27	NVCC_SD1	GPIO	ALT5	GPIO2。IO[4]	带有 PD 的输入
SD1_DATA3	T26	NVCC_SD1	GPIO	ALT5	GPIO2。IO[5]	带有 PD 的输入
SD1_数据 4	U27	NVCC_SD1	GPIO	ALT5	GPIO2。IO[6]	带有 PD 的输入
SD1_DATA5	U26	NVCC_SD1	GPIO	ALT5	GPIO2。IO[7]	带有 PD 的输入
SD1_数据 6	W27	NVCC_SD1	GPIO	ALT5	GPIO2。IO[8]	带有 PD 的输入
SD1_DATA7	W26	NVCC_SD1	GPIO	ALT5	GPIO2。IO[9]	带有 PD 的输入
SD1_RESET_B	R23	NVCC_SD1	GPIO	ALT5	GPIO2。IO[10]	带有 PD 的输入
SD1_STROBE	R24	NVCC_SD1	GPIO	ALT5	GPIO2。IO[11]	带有 PD 的输入
SD2_CD_B	AA26	NVCC_SD2	GPIO	ALT5	GPIO2。IO[12]	带有 PD 的输入
SD2_CLK	W23	NVCC_SD2	GPIO	ALT5	GPIO2。IO[13]	带有 PD 的输入
SD2_CMD	W24	NVCC_SD2	GPIO	ALT5	GPIO2。IO[14]	带有 PD 的输入
SD2_DATA0	AB23	NVCC_SD2	GPIO	ALT5	GPIO2。IO[15]	带有 PD 的输入
SD2_DATA1	AB24	NVCC_SD2	GPIO	ALT5	GPIO2。IO[16]	带有 PD 的输入

**Table 67. i.MX 8M Mini 14 x 14 mm functional contact assignments (continued)**

SD2_数据 2	V24	NVCC_SD2	GPIO	ALT5	GPIO2. IO[17]	带有 PD 的输入
SD2_数据 3	V23	NVCC_SD2	GPIO	ALT5	GPIO2. IO[18]	带有 PD 的输入
SD2_RESET_B	AB26	NVCC_SD2	GPIO	ALT5	GPIO2. IO[19]	带有 PD 的输入
SD2_WP	AA27	NVCC_SD2	GPIO	ALT5	GPIO2. IO[20]	带有 PD 的输入
SPDIF_EXT_CLK	AF8	NVCC_SAI3	GPIO	ALT5	GPIO5. IO[5]	带有 PD 的输入
SPDIF_RX	AG9	NVCC_SAI3	GPIO	ALT5	GPIO5. IO[4]	带有 PD 的输入
				<b>重置条件</b>		
<b>球名</b>	<b>球</b>	<b>电力集团</b>	<b>球类</b>	<b>默认模式</b>	<b>默认功能</b>	<b>输入/输出状态</b>
SPDIF_TX	AF9	NVCC_SAI3	GPIO	ALT5	GPIO5. IO[3]	带有 PD 的输入
测试模式	D26	NVCC_JTAG	GPIO	ALT0	tcu.TEST_MODE	带有 PD 的输入
TSENSOR_测试_输出	J23	VDD_ANA1_1P8	模拟	—	—	输出低
TSENSOR_REST_扩展	J24	VDD_ANA1_1P8	模拟	—	—	—
UART1_RXD	E14	NVCC_UART	GPIO	ALT5	GPIO5. IO[22]	带有 PD 的输入
UART1_TXD	F13	NVCC_UART	GPIO	ALT5	GPIO5. IO[23]	带有 PD 的输入
UART2_RXD	F15	NVCC_UART	GPIO	ALT5	GPIO5. IO[24]	带有 PD 的输入
UART2_TXD	E15	NVCC_UART	GPIO	ALT5	GPIO5. IO[25]	带有 PD 的输入
UART3_RXD	E18	NVCC_UART	GPIO	ALT5	GPIO5. IO[26]	带有 PD 的输入
UART3_TXD	D18	NVCC_UART	GPIO	ALT5	GPIO5. IO[27]	带有 PD 的输入
UART4_RXD	F19	NVCC_UART	GPIO	ALT5	GPIO5. IO[28]	带有 PD 的输入
UART4_TXD	F18	NVCC_UART	GPIO	ALT5	GPIO5. IO[29]	带有 PD 的输入

**Table 67. i.MX 8M Mini 14 x 14 mm functional contact assignments (continued)**

USB1_DN	A22	VDD_USB_3P3	PHY	—	—	输入的信息
USB1_DP	B22	VDD_USB_3P3	PHY	—	—	输入的信息
USB1_ID	D22	VDD_USB_1P8	PHY	—	—	输入的信息
USB1_TXRTUNE	E19	VDD_USB_1P8	PHY	—	—	—
USB1_VBUS	F22	VDD_USB_3P3	PHY	—	—	—
USB2_DN	A23	VDD_USB_3P3	PHY	—	—	输入的信息
USB2_DP	B23	VDD_USB_3P3	PHY	—	—	输入的信息
USB2_ID	D23	VDD_USB_1P8	PHY	—	—	输入的信息
USB2_TXRTUNE	E22	VDD_USB_1P8	PHY	—	—	—
USB2_VBUS	F23	VDD_USB_3P3	PHY	—	—	—

<sup>1</sup> 当断言内部重置时，作为 JTAG 活动输出工作，默认输出低。内部重置被取消后，它成为 PD 的输入。

<sup>2</sup> 当断言内部重置时，作为 INT\_BOOT 输出工作，默认是输出高。取消内部重置后，它成为 PU 的输入。

<sup>3</sup> 当断言内部重置时，作为 TESTER\_ACK 输入工作，默认是没有 PU/PD 的输入。内部重置被取消后，它成为 PD 的输入。

### 5.1.3i.MX 8M 迷你 14 英语字母中的第二十四字母 14 毫米 0.5 毫米间距球地图

表 68 显示 i.MX 8M Mini 14 英语字母中的第二十四字母 14 毫米 0.5 毫米间距球图。

表 68. 14 x 14 毫米, 0.5 毫米间距球图

G	第	E	D	字	字	罗
DRAM_DQS1_P	DRAM_DM1	DRAM_DQ14	DRAM_DQ03	DRAM_DQ04	DRAM_DQ05	VSS
DRAM_DQ09	DRAM_DQ08	DRAM_DQ15	DRAM_DQ02	VSS	DRAM_DQS0_N	DRAM_DQS0_P
	VSS	VSS			VSS	DRAM_DQ06
	DRAM_AC00	DRAM_AC10			DRAM_DQ07	DRAM_DM0
	DRAM_AC01		DRAM_AC11	VSS	DRAM_DQ01	DRAM_DQ00
	DRAM_AC06	ECSPI2_SCLK	ECSPI1_SCLK	VSS	ECSPI1_SS0	ECSPI2_SS0
VSS					ECSPI1_MOSI	ECSPI1_MISO
					ECSPI2_MOSI	ECSPI2_MISO
VSS	I2C1_SDA	I2C1_SCL	I2C2_SDA	VSS	MIPI_DSI_D0_P	MIPI_DSI_D0_N
VSS	I2C3_SDA	I2C3_SCL	I2C2_SCL	VSS	MIPI_DSI_D1_P	MIPI_DSI_D1_N
					MIPI_DSI_CLK_P	MIPI_DSI_CLK_N
					MIPI_DSI_D2_P	MIPI_DSI_D2_N
VSS	UART1_TXD	I2C4_SDA	I2C4_SCL	VSS	MIPI_DSI_D3_P	MIPI_DSI_D3_N
VDD_PCI_1P8		UART1_RXD		VSS	MIPI_CSI_D0_P	MIPI_CSI_D0_N
VSS	UART2_RXD	UART2_TXD	MIPI_VREG_CAP	VSS	MIPI_CSI_D1_P	MIPI_CSI_D1_N
					MIPI_CSI_CLK_P	MIPI_CSI_CLK_N
VSS	UART4_TXD	UART3_RXD	UART3_TXD	VSS	MIPI_CSI_D2_P	MIPI_CSI_D2_N
VSS	UART4_RXD	USB1_TXRTUNE	PCIE_RESREF	VSS	MIPI_CSI_D3_P	MIPI_CSI_D3_N
					PCIE_PXN_P	PCIE_RXN_N
VSS					PCIE_TXN_P	PCIE_TXN_N
					PCIE_CLK_P	PCIE_CLK_N
	USB1_VBUS	USB2_TXRTUNE	USB1_ID	VSS	USB1_DP	USB1_DN
	USB2_VBUS		USB2_ID	VSS	USB2_DP	USB2_DN
	RTC_RESET_B	PMIC_STBY_REQ			POR_B	PMIC_ON_REQ
	VSS	VSS			RTC_XTALO	开+关的
启动_MODE0	JTAG_TCK	JTAG_TDO	测试模式	M_XTALO	VSS	RTC_XTALI
BOOT_MODE1	JTAG_TMS	JTAG_TDI	JTAG_MOD	JTAG_TRST_B	M_XTALI	VSS

Table 68. 14 x 14 mm, 0.5 mm pitch ball map  
(continued)

第	罗	字	K	第	H	
1	DRAM_AC26	DRAM_AC16	DRAM_DQ13	DRAM_DQ10	DRAM_DQS1_N	
2	DRAM_AC19	DRAM_AC17	DRAM_DQ12	DRAM_DQ11	VSS	
3	VSS		VSS	VSS		
4	DRAM_AC12		DRAM_AC02	DRAM_AC03		
5	DRAM_AC13		DRAM_AC14	DRAM_AC07		
6	DRAM_AC15		DRAM_AC09	DRAM_AC08		
7	VSS		VSS	VSS		
8	NVCC_DRAM		NVCC_DRAM			
9	NVCC_DRAM	NVCC_DRAM	NVCC_DRAM			
10	VDD_DRAM		VDD_DRAM	VDD_DRAM	NVCC_ECSP1	
11	VDD_VPU		VDD_VPU	NVCC_I2C		
12	VSS	VSS	VDD_VPU	NVCC_UART		
13	VDD_SOC	VDD_VPU	VDD_VPU	PVCC2_1P8	VDD_MIPI_1P8	
14		VDD_VPU		VDD_MIPI_0P9		
15	VDD_SOC	VDD_SOC	VDD_SOC	VDD_MIPI_1P2	VDD_USB_1P8	
16	VSS	VSS	VDD_SOC	VDD_PCI_0P8		
17	VDD_ANA_0P8		VDD_ANA_0P8	VDD_USB_0P8		
18	VDD_SOC		VDD_SOC	NC_J18	VSS	
19	VDD_24M_XTAL_1P8	NVCC_CLK	VDD_USB_3P3			
20	VDD_ANA1_1P8		VSS			
21	VSS		VSS	VSS		
22	NAND_ALE		VDD_SNVS_0P8	NVCC_SNVS_1P8		
23	NAND_DATA03		NAND_DATA02	TESENSOR_TEST_OUT		
24	NAND_CE0_B		NAND_DATA01	TESENSOR_RES_EXT		
25	VSS		VSS	VSS		
26	NAND_DATA07	NAND_DATA04	NAND_DATA05	CLKOUT2	CLKOUT1	
27	NAND_RE_B	NAND_CE2_B	NAND_CE3_B	NAND_CLE	CLKIN2	CLKIN1

**Table 68. 14 x 14 mm, 0.5 mm pitch ball map  
(continued)**

第	罗	V	第	字	字	P
DRAM_DQS2_N	DRAM_DQ18	DRAM_DQ21	DRAM_AC25	DRAM_AC34	DRAM_RESET_N	DRAM_VREF
VSS	DRAM_DQ19	DRAM_DQ20	DRAM_AC24	DRAM_AC35	DRAM_ALERT_N	DRAM_ZN
	VSS	VSS			VSS	VSS
	DRAM_AC22	DRAM_AC23			DRAM_AC32	
	DRAM_AC37	DRAM_AC36			DRAM_AC33	VDD_DRAM_PLL_1P8
	DRAM_AC28	DRAM_AC29			DRAM_AC27	
	VSS	VSS			VSS	NVCC_DRAM
		NVCC_DRAM			NVCC_DRAM	
		NVCC_DRAM	NVCC_DRAM	NVCC_DRAM	NVCC_DRAM	VDD_DRAM_PLL_0P8
NVCC_SAI3	VDD_DRAM		VDD_DRAM		VDD_DRAM	
	VDD_GPU		VDD_GPU		VDD_GPU	
	NVCC_GPIO1	VDD_GPU	VSS	VSS	VSS	VDD_GPU
VSS	VDD_ARM	VDD_ARM	VDD_ARM	VDD_ARM	VDD_ARM	VSS
	VDD_ARM			VDD_ARM		
VDD_ANA0_1P8	VDD_ARM	VDD_ARM	VDD_ARM	VDD-ARM	VDD_ARM	VSS
	VDD_ARM	VDD_ARM	VSS	VSS	VSS	
	NVCC_SAI5		VDD_SOC		VDD_SOC	VDD_ARM_PLL_0P8
VSS	NVCC_SAI1		VDD_SOC		VDD_SOC	
		NVCC_SAI2	NVCC_NAND	PVCC1_1P8	VDD_ARM_PLL_1P8	VDD_ANA1_1P8
		NVCC_SD1				
	VSS	VSS			VSS	VSS
	NVCC_ENET	NVCC_SD2			NAND_DQS	
	SD2_CLK	SD2_数据3			SD1_RESET_B	NAND_DATA00
	SD2_CMD	SD2_数据2			SD1_STROBE	
	VSS	VSS			VSS	VSS
SD1_数据1	SD1_DATA7	SD1_CLK	SD1_DATA5	SD1_DATA3	NAND_WE_B	NAND_READY_B
SD1_DATA0	SD1_数据6	SD1_CMD	SD1_数据4	SD1_数据2	NAND_WP_B	NAND_CE1_B

Table 68. 14 x 14 mm, 0.5 mm pitch ball map  
(continued)

AG	AF	AE	公	交	腹	嗜
VSS	DRAM_DQ29	DRAM_DQ28	DRAM_DQ27	DRAM_DQ22	DRAM_DM2	DRAM_DQS2_P
DRAM_DQS3_P	DRAM_DQS3_N	VSS	DRAM_DQ26	DRAM_DQ23	DRAM_DQ16	DRAM_DQ17
DRAM_DQ30	VSS			VSS	VSS	
DRAM_DM3	DRAM_DQ31			DRAM_AC30	DRAM_AC20	
DRAM_DQ24	DRAM_DQ25	VSS	DRAM_AC31		DRAM_AC21	
SAI3_TXC	SAI3_TXD	VSS	SAI3_MCLK	SAI3_TXFS	DRAM_AC38	
SAI3_RXC	SAI3_RXD					VSS
SAI3_RXFS	SPDIF_EXT_CLK					
SPDIF_RX	SPDIF_TX	VSS	GPIO1_IO13	GPIO1_IO14	GPIO1_IO15	VSS
GPIO1_IO08	GPIO1_IO09	VSS	GPIO1_IO10	GPIO1_IO11	GPIO1_IO12	VSS
GPIO1_IO06	GPIO1_IO07					
GPIO1_IO04	GPIO1_IO05					
GPIO1_IO02	GPIO1_IO03	VSS	SAI5_RXD2	SAI5_RXD3	PVCC0_1P8	VSS
GPIO1_IO00	GPIO1_IO01	VSS		SAI5_RXD1		VDD_ANA0_1P8
SAI1_RXD0	SAI1_RXD1	VSS	SAI5_MCLK	SAI5_RXC	SAI5_RXFS	VSS
SAI1_RXFS	SAI1_RXC					
SAI1_RXD2	SAI1_RXD3					
SAI1_RXD4	SAI1_RXD5	VSS	SAI5_RXD0	SAI1_TXC	SAI1_MCLK	VSS
SAI1_RXD6	SAI1_RXD7	VSS	SAI2_MCLK	SAI2_RXFS	SAI1_TXFS	VSS
SAI1_TXD0	SAI1_TXD1					
SAI1_TXD2	SAI1_TXD3					VSS
SAI1_TXD4	SAI1_TXD5	VSS	SAI2_TXC	SAI2_TXD0	SAI2_RXC	
SAI1_TXD6	SAI1_TXD7	VSS	SAI2_TXFS		SD2_DATA0	
ENET_TXC	ENET_TX_CTL			SAI2_RXD0	SD2_DATA1	
ENET_TD2	ENET_TD3			VSS	VSS	
ENET_TD0	ENET_TD1	ENET_RXC	ENET_RD2	ENET_RD3	SD2_RESET_B	SD2_CD_B
VSS	ENET_RX_CTL	ENET_RD0	ENET_RD1	ENET_MDC	ENET_MDIO	SD2_WP

## 5.2 DDR 引脚功能列表

**Table 68. 14 x 14 mm, 0.5 mm pitch ball map  
(continued)**

球名	LPDDR4	DDR4	DDR3/3L
DRAM_DQS0_P	DQS0_t_A	DQSL_t_A	DQSL_A
DRAM_DQS0_N	DQS0_c_A	DQSL_c_A	DQSL#_A
DRAM_DM0	DMIO_A	DML_n_A / DBIL_n_A	DML_A
DRAM_DQ00	DQ0_A	DQL0_A	DQL0_A
DRAM_DQ01	DQ1_A	DQL1_A	DQL1_A
DRAM_DQ02	DQ2_A	DQL2_A	DQL2_A

**Table 68. 14 x 14 mm, 0.5 mm pitch ball map  
(continued)**

DRAM_DQ03	DQ3_A	DQL3_A	DQL3_A
DRAM_DQ04	DQ4_A	DQL4_A	DQL4_A
DRAM_DQ05	DQ5_A	DQL5_A	DQL5_A

表 69 显示 DDR 引脚功能列表。

**表 69。DDR 引脚功能列表**

## 包裹信息和联系人分配

DRAM_DQ06	DQ6_A	DQL6_A	DQL6_A
DRAM_DQ07	DQ7_A	DQL7_A	DQL7_A
DRAM_DQS1_P	DQS1_t_A	DQSU_t_A	DQSU_A
DRAM_DQS1_N	DQS1_c_A	DQSU_c_A	DQSU#_A
DRAM_DM1	DMI1_A	DMU_n_A / DBIU_n_A	DMU_A
DRAM_DQ08	DQ08_A	DQU0_A	DQU0_A
DRAM_DQ09	DQ09_A	DQU1_A	DQU1_A
DRAM_DQ10	DQ10_A	DQU2_A	DQU2_A
DRAM_DQ11	DQ11_A	DQU3_A	DQU3_A
DRAM_DQ12	DQ12_A	DQU4_A	DQU4_A
DRAM_DQ13	DQ13_A	DQU5_A	DQU5_A
DRAM_DQ14	DQ14_A	DQU6_A	DQU6_A
DRAM_DQ15	DQ15_A	DQU7_A	DQU7_A
DRAM_DQS2_P	DQS0_t_B	DQSL_t_B	DQSL_B
DRAM_DQS2_N	DQS0_c_B	DQSL_c_B	DQSL#_B
DRAM_DM2	DMI0_B	DML_n_B / DBIL_n_B	DML_B
DRAM_DQ16	DQ0_B	DQL0_B	DQL0_B
DRAM_DQ17	DQ1_B	DQL1_B	DQL1_B
DRAM_DQ18	DQ2_B	DQL2_B	DQL2_B
DRAM_DQ19	DQ3_B	DQL3_B	DQL3_B
DRAM_DQ20	DQ4_B	DQL4_B	DQL4_B
DRAM_DQ20	DQ4_B	DQL4_B	DQL4_B
DRAM_DQ21	DQ5_B	DQL5_B	DQL5_B
DRAM_DQ22	DQ6_B	DQL6_B	DQL6_B
DRAM_DQ23	DQ7_B	DQL7_B	DQL7_B
DRAM_DQS3_P	DQS1_t_B	DQSU_t_B	DQSU_B
DRAM_DQS3_N	DQS1_c_B	DQSU_c_B	DQSU#_B
DRAM_DM3	DMI1_B	DMU_n_B / DBIU_n_B	DMU_B

i.MX 8M Mini Applications Processor Datasheet for Consumer Products, Rev. 2 , 11/2022

DRAM_DQ24	DQ08_B	DQU0_B	DQU0_B
DRAM_DQ25	DQ09_B	DQU1_B	DQU1_B
DRAM_DQ26	DQ10_B	DQU2_B	DQU2_B
DRAM_DQ27	DQ11_B	DQU3_B	DQU3_B
DRAM_DQ28	DQ12_B	DQU4_B	DQU4_B
DRAM_DQ29	DQ13_B	DQU5_B	DQU5_B

包裹信息和联系人分配

DRAM_DQ30	DQ14_B	DQU6_B	DQU6_B
DRAM_DQ31	DQ15_B	DQU7_B	DQU7_B
DRAM_RESET_N	重置_N	重置_n	重置#
DRAM_ALERT_N	MTEST1	ALERT_n / MTEST1	MTEST1
DRAM_AC00	CKE0_A	CKE0	CKE0
DRAM_AC01	CKE1_A	CKE1	CKE1
DRAM_AC02	CS0_A	CS0_n	CS0#
DRAM_AC03	CS1_A	C0	—
DRAM_AC04	CK_t_A	BG0	BA2
DRAM_AC05	CK_c_A	BG1	A14
DRAM_AC06	—	ACT_n	A15
DRAM_AC07	—	A9	A9
DRAM_AC08	CA0_A	A12	A12 / BC#
DRAM_AC09	CA1_A	A11	A11
DRAM_AC10	CA2_A	A7	A7
DRAM_AC11	CA3_A	A8	A8
DRAM_AC12	CA4_A	A6	A6
DRAM_AC13	CA5_A	A5	A5
DRAM_AC14	—	A4	A4
DRAM_AC15	—	A3	A3
DRAM_AC16	—	CK_t_A	CK_A
DRAM_AC17	—	CK_c_A	CK#_A

DRAM_AC19	MTEST	MTEST	MTEST
DRAM_AC20	CKE0_B	CK_t_B	CK_B
DRAM_AC21	CKE1_B	CK_c_B	CK#_B
DRAM_AC22	CS1_B	—	—
DRAM_AC23	CS0_B	—	—
DRAM_AC24	CK_t_B	A2	A2
DRAM_AC25	CK_c_B	A1	A1
DRAM_AC26	—	BA1	BA1
DRAM_AC27	—	奇偶性	—
DRAM_AC28	CA0_B	A13	A13
DRAM_AC29	CA1_B	BA0	BA0
DRAM_AC30	CA2_B	A10/AP	A10/AP

92 NXP 半导体包裹信息和联系人分配

DRAM_AC31	CA3_B	A0	A0
DRAM_AC32	CA4_B	C2	—
DRAM_AC33	CA5_B	CAS_n / A15	CAS#
DRAM_AC34	—	WE_n / A14	我们#
DRAM_AC35	—	RAS_n / A16	RAS#
DRAM_AC36	—	ODT0	ODT0
DRAM_AC37	—	ODT1	ODT1
DRAM_AC38	—	CS1_n	CS1#
DRAM_ZN	ZQ	ZQ	ZQ
DRAM_VREF	VREF	VREF	VREF

## 6 修订历史

表 70 提供此数据表的修订历史记录。

表 70。修订历史

修订号	日期	实质性变化
修订版 2	2022 年 11 月	<ul style="list-style-type: none"> <li>更新温度传感器精度和 TMU 传感温度范围表 10, “操作范围”。</li> <li>添加了注释图 3, “开机序列”。</li> <li>添加了注释图 4, “断电序列”。</li> <li>更新了驱动程序级别和 ESR 值表 20, “晶体规格”。</li> <li>更新第 3.4.2 节, OSC32K。</li> <li>更新了 Note1 表 55, “主模式 SAI 定时 (50 MHz)”。</li> <li>更新了 Note1 表 57, “从模式 SAI 定时 (50 MHz)”。</li> <li>额外的第 3.8.3 节, DDR SDRAM 特定参数 (LPDDR4 和 DDR4) 信息。</li> <li>在 ENET_TD2 中将 RGMII 替换为 RMII 表 37, “ENET 信号映射”评论。</li> <li>在 NVCC_ECSPi 中将 ECSPi 替换为 ECSPi 表 66, “i.MX 8M Mini 14 x 14 mm 用品接触分配”评论。</li> <li>更新了 uSDHC 输出延迟最小值从 6.6 到-6.6 英寸表 32“SD3.0/eMMC5.1 (SDR) 接口时序规范”</li> <li>更新了 USB1_VBUS, USB2_VBUS 最小值和典型值表 10, “操作范围”</li> </ul>
修订版 1	2020 年 7 月	<ul style="list-style-type: none"> <li>更新了 eMMC 描述表 1, “功能”</li> <li>更新了 SD 3.0 的数字图 1, “i.MX 8M Mini 系统框图”</li> <li>添加了两个部件号, 并更新了部件差异化器表 2, “可订购的部件号”</li> <li>更新了零件差异化器和融合在图 2, “部件号命名法-i.MX 8M Mini 系列处理器”</li> <li>更新了 eCSPI、SJC 和 uSDHC 的描述表 3, “i.MX 8M 迷你模块列表”</li> <li>更新了 NVCC_ENET 的错别字表 4, “未使用电源轨道的推荐连接”</li> <li>更新了最小值和错别字表 7, “绝对最高评分”; 从中删除了 ESD 参数表 7, “绝对最高评分”</li> <li>添加了表 8, “静电放电和锁定值”</li> <li>在...中添加了一个脚注表 10, “操作范围”</li> <li>在中添加了 VDD_24M_XTAL_1P8、VDD_ARM_PLL_1P8 和 PVCCx_1P8 表 13, “最大供应电流”</li> <li>更新了表 14, “不同 LP 模式下的芯片功率”</li> <li>更新了 VDD_MIPI_0P9 和 VDD_MIPI_1P2 的暂停模式状态表 15, “电源状态”</li> <li>更新了 T1、T2、T4、T5、T6、T7、T8、T9、T10、T11、T12、T13 的最大值和 T3 的最小值表 17, “开机序列”</li> <li>更新了最大值表 18, “停电顺序”</li> <li>从中删除了 USBx_ID、ONOFF 和 POR_B 表 23, “附加泄漏参数”</li> <li>添加了 GPIO1_09、I2C2_SCL 和 I2C2_SDA 表 37, “ENET 信号映射”</li> <li>从中删除了 0x2 第 3.9.10.1.1 节, 带有 FlexSPIn_MCR0[RXCLKSRC] = 0x0 的 SDR 模式, 0x1 和第 3.9.10.1.3 节, 带有 FlexSPIn_MCR0[RXCLKSRC]的 DDR 模式= 0x0, 0x1</li> <li>更新了 GPIO1_IO00、GPIO1_IO01、GPIO1_IO05、GPIO1_IO09 和 SAI5_MCLK 的参数表 67, “i.MX 8M Mini 14 x 14 mm 功能接触分配”</li> <li>修复了错误表 68, “14 x 14 毫米, 0.5 毫米间距球图”</li> </ul>
修订版 0.2	2019 年 4 月	<ul style="list-style-type: none"> <li>更新了 eMMC 和 FlexSPI 的数字图 1, “i.MX 8M Mini 系统框图”</li> <li>更新了关于 USB 和 uSDHC 的描述表 3, “i.MX 8M 迷你模块列表”</li> <li>更新了 VDD_VPU 的评论和 NVCC_DRAM 的 LPDDR4 最大值表 10, “操作范围”</li> </ul>

表 70。修订历史 (续)

修订号	日期	实质性变化
修订版 0.1	2019 年 2 月	•更新了 SNVS 状态表 15, “电源状态”
修订版 0	2019 年 2 月	•初始版本

## 如何联系我们:

主页: [Nxp.com](http://Nxp.com)

网络支持:

[Nxp.com/support](http://Nxp.com/support)

议不授予任何明示或暗示的版权许可, 以根据本文件中的信息设计或制造任何集成电路。

NXP 保留对此处任何产品进行更改的权利, 恕不另行通知。

NXP 对其产品适合任何特定用途不作任何保证、陈述或保证, NXP 也不承担因应用或使用任何产品或电路而产生的任何责任, 并特别否认任何和所有责任, 包括但不限于间接或附带损害。NXP 数据表和/或规格中可能提供的“典型”参数可以而且确实不同的应用中有不同, 实际性能可能会随着时间的推移而变化。所有操作 Erating 参数, 包括“典型值”, 必须由客户的技术专家为每个客户应用程序进行验证。NXP 不根据其专利权或他人权利转让任何许可。NXP 根据标准 te 销售产品 Rms 和销售条件, 可在以下地址找到: [nxp.com/SalesTermsandConditions](http://nxp.com/SalesTermsandConditions)。

虽然 NXP 已经实现了高级安全功能, 但所有产品都可能受到不明漏洞的影响。客户负责其应用程序和产品的设计和操作系统, 以减少这些漏洞对 cu 的影响 stomer 的应用程序和产品, 以及 NXP 对发现的任何漏洞不承担任何责任。客户应实施适当的设计和操作系统保障, 以尽量减少与其应用程序和产品相关的风险。

NXP, NXP 徽标, NXP 安全连接更智能的世界,

COOLFLUX, 拥抱, GREENCHIP, HITAG, I2C 总线, ICODE, JCOP, 生活氛围, MIFARE, MIFARE CLASSIC, MIFARE DESFire, MIFARE PLUS, MIFARE FLEX, MANTIS,

MIFARE ULTRALIGHT, MIFARE4MOBILE, MIGLO, NTAG, ROADLINK, SMARTLX, SMARTMX, STARPLUG, TOPFET, TRENCHMOS, UCODE, Freescale, the Freescale logo, AltiVec, C-5, CodeTEST, CodeWarrior, ColdFire, ColdFire+, C-Ware, the Energy Efficient Solutions logo, Kinetis, Layerscape, MagniV, mobileGT, PEG, PowerQUICC,

处理器专家, QorIQ, QorIQ Qonverge, Ready Play, SafeAssure, SafeAssure 徽标, StarCore, StarCore, Symphony, VortiQa, Vybrid, Airfast, BeeKit, BeeStack, CoreNet,

Flexis, MXC, Platform in a Package, QUICC Engine, SMARTMOS, Tower,

TurboLink, UMEMS, EdgeScale, EdgeLock, eIQ 和 Immersive3D 是 NXP B.V. 的商

标。所有其他产品或服务名称均为其各自所有者的财产。AMBA, Arm, Arm7,

Arm7TDMI, Arm9, Arm11, 工匠, 大。LITTLE, Cordio, CoreLink, CoreSight,

Cortex, DesignStart, DynamIQ, Jazelle, Keil, Mali, Mbed, Mbed Enabled, NEON, POP,

RealView, SecurCore, 苏格拉底, 拇指, TrustZone, ULINK, ULINK2, ULINK-ME,

ULINK-PLUS, ULINKpro, µVision, Versatile 是 Arm Limited (或其子公司) 在美国和/或

其他地方的商标或注册商标。相关技术可能受到任何或所有专利、版权、设计和商业秘密的

保护。保留所有权利。Oracle 和 Java 是 Oracle 和/或其附属公司的注册商标。Power

Architecture 和 Power.org 文字标记以及 Power 和 Power.org 徽标和相关标记是 Power.org

许可的商标和服务标记。

© 2019-2022 NXP B.V.

文件编号: IMX8MM 字母 C 欧共体

修订

版 2

11/2022

arm



本文档中的信息仅用于

使系统和软件实施者能

够使用 NXP 产品。本协