

**MC9S08QD4**  
**MC9S08QD2**  
**S9S08QD4**

**HCS08**  
微控制器

MC9S08QD4  
Rev. 7  
08/2022

*Nxp.Com*

# MC9S08QD4 系列功能

## 8 位 HCS08 中央处理器单元 (CPU)

---

- 16 MHz HCS08 CPU (中央处理器单元)
- 添加了 BGND 指令的 HC08 指令集
- 后台调试系统
- 断点功能, 允许在电路调试期间设置单个断点 (加上片上调试模块中的另外两个断点)
- 支持多达 32 个中断/重置源

## 记忆

---

- 闪存读取/程序/擦除全工作电压和温度

- 闪光灯大小:
  - MC9S08QD4/S9S08QD4: 4096 字节
  - MC9S08QD2/S9S08QD2: 2048 字节
- RAM 大小
  - MC9S08QD4/S9S08QD4: 256 字节
  - MC9S08QD2/S9S08QD2: 128 字节

## 省电模式

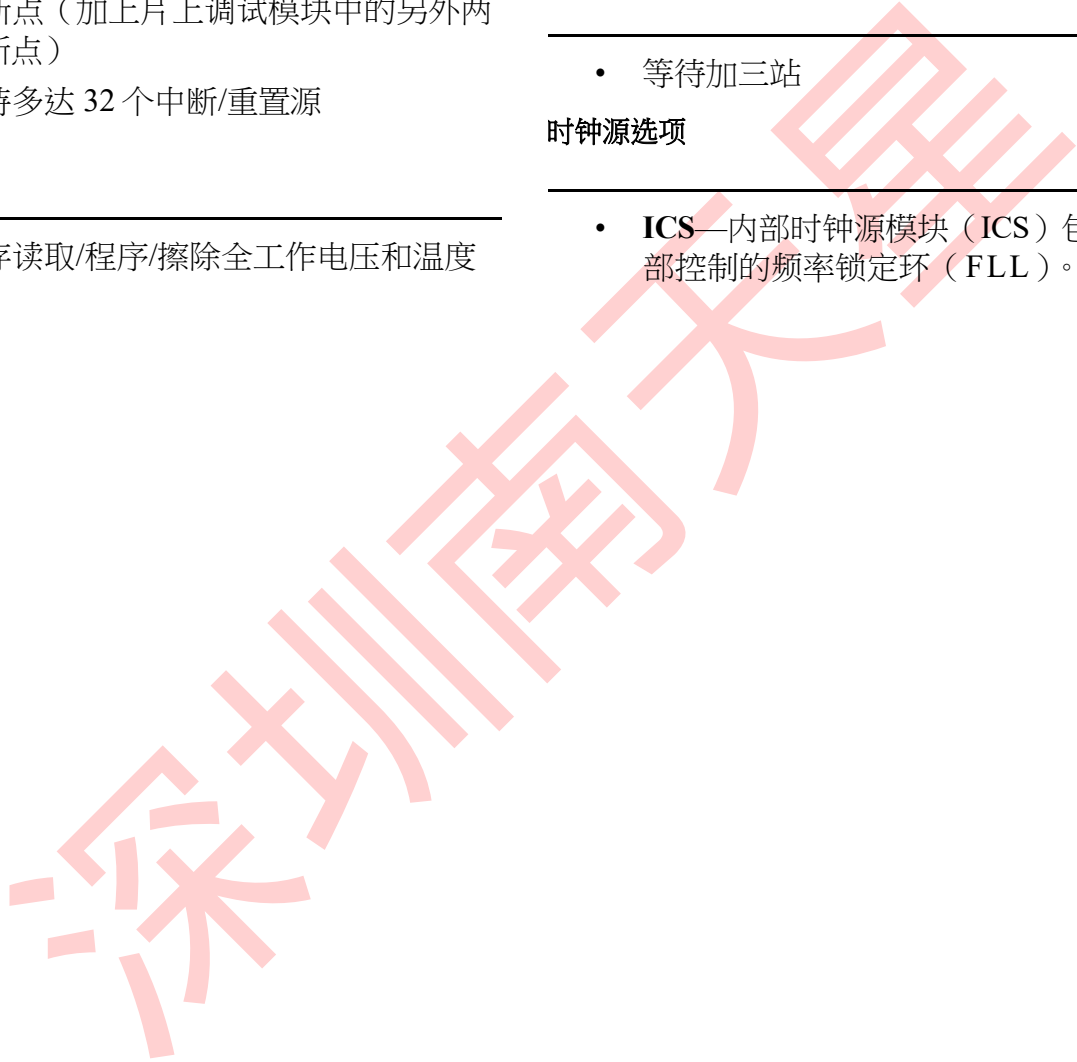
---

- 等待加三站

## 时钟源选项

---

- **ICS**—内部时钟源模块 (ICS) 包含由内部控制的频率锁定环 (FLL)。内部参



考的精确修剪允许 0.2% 的分辨率和 2% 的温度和电压偏差。

#### 系统保护

- 看门狗计算机正常运行 (COP) 重置，可选择从专用的 32 kHz 内部时钟源运

行或  
公共汽车时钟

- 带复位或中断的低压检测
- 重置的非法操作码检测
- 重置非法地址检测
- 闪存块保护

#### 外围设备

- ADC**— 4 通道、10 位模拟数字转换器，具有自动比较功能、异步时钟源、温度传感器和内部带隙参考通道。ADC 是使用 RTI 计数器可触发的硬件。
- TIM1**— 2 通道定时器/脉冲宽度调制器；每个通道可用于输入捕获、输出比较、缓冲边缘对齐 PWM 或缓冲中心对齐 PWM
- TIM2**— 1 通道定时器/脉冲宽度调制器；每个通道可用于输入捕获、输出比较、缓冲边缘对齐 PWM 或缓冲中心对齐 PWM

- KBI**— 4 针键盘中断模块在边缘或边缘/级别模式下具有软件可选择的极性

#### 输入/输出

- 四个通用输入/输出 (I/O) 引脚，一个仅输入引脚和一个仅输出引脚。每个输出 10 mA，封装最大 60 mA。
- 用作输入时，端口上的软件可选择上拉
- 当用作输出时，端口上的软件可选择斯道速率控制和驱动强度
- RESET 和 IRQ 引脚的内部上拉，以降低客户系统成本

#### 发展支持

- 单线背景调试界面

#### 套餐选项

- 8 针 SOIC 封装
- 8 针 PDIP (仅适用于 MC9S08QD4 和 MC9S08QD2)
- 所有包装选项都符合 RoHS 标准

## MC9S08QD4 数据表

封面：MC9S08QD4 MC9S08QD2 S9S08QD4 S9S08QD2

MC9S08QD4  
修订  
版 7

## 修订历史

为了提供最新信息，我们在万维网上的文件修订将是最新的。您的打印副本可能是更早的修订版。要验证您是否有最新信息，请参阅：<http://freescale.com/>

以下修订历史表总结了本文件中包含的更改。

重写数	重写日期	更改说明
1	06年9月15日	首次公开发布
2	07年1月9日	添加了 MC9S08QD2 信息；添加了“M”温度范围（-40°C 到 125°C）；更新了 ADC 章节中的温度传感器方程。
3	07年11月19日	为汽车应用添加了 S9S08QD4 和 S9S08QD2 信息。修订后的“访问（读或写）任何闪存控制寄存器...”到“写入任何闪存控制寄存器...”在第 4.5.5 节，“访问错误。”
4	08年9月9日	更改了 SPMSC3 第 5.6 节，“低压检测（LVD）系统，”和第 5.6.4 节，“低压警告（LVW），”给 SPMSC2。 添加 V <sub>POR</sub> 到表 A-5。 更新了“如何联系我们”信息。
5	08年11月24日	修订后的直流注入电流表 A-5。
6	10月14日	添加 T <sub>JMax</sub> 在...表 A-2。
7	22年8月24日	更新了 Fab 和 Maskset 指标后缀设备编号方案。

该产品集成了 SuperFlash® 从 SST 获得许可的技术。

Freescale™ 和 Freescale 徽标是 Freescale Semiconductor, Inc. 的商标。© 飞思卡尔半导体公司，2006-2010。保留所有权利。

6

飞思卡尔半导体

## 章节列表

第 1 章	设备概述.....	15
第 2 章	外部信号描述.....	19
第 3 章	操作模式.....	25
第 4 章	内存地图和寄存器定义.....	31
第 5 章	重置、中断和一般系统控制.....	51
第 6 章	并行输入/输出控制.....	67

第 7 章	中央处理器单元 (S08CPUV2) .....	73
第 8 章	模拟数字转换器 (ADC10V1) .....	93
第 9 章	内部时钟源 (S08ICSV1) .....	121
第 10 章	键盘中断 (S08KBIV2) .....	135
第 11 章	定时器/脉冲宽度调制器 (S08TPMV2) .....	143
第 12 章	发展支持 .....	159
附录 A	电气特性 .....	173
附录 B	订购信息和机械图纸 .....	191

飞思卡尔半导体

7

## 内容

章节编号	标题	页
------	----	---

### 第 1 章

#### 设备概述

1.1	简介 .....	15
1.2	MC9S08QD4 系列中的设备 .....	15
1.2.1	MCU 块图 .....	17
1.3	系统时钟分布 .....	18

### 第 2 章外部信号描述

2.1	设备引脚分配 .....	19
2.2	推荐系统连接 .....	19
2.2.1	功率 .....	20
2.2.2	振荡器 .....	21
2.2.3	重置 (仅限输入) .....	21
2.2.4	背景/模式选择 (BKGD/MS) .....	21
2.2.5	通用 I/O 和外围端口 .....	22

### 第 3 章操作模式

3.1	介绍 .....	25
3.2	特点 .....	25

3.3	运行模式.....	25
3.4	主动背景模式.....	25
3.5	等待模式.....	26
3.6	停止模式.....	26
6		
3.6.1	停止模式.....	27
3.6.2	停止 3 模式.....	28
3.6.3	在停止模式下启用活动 BDM.....	28
3.6.4	在停止模式下启用 LVD .....	29
3.6.5	停止模式下的片上外围模块.....	29

## 第 4 章 内存地图和寄存器定义

4.1	MC9S08QD4 系列内存地图.....	31
4.2	重置和中断矢量分配.....	32
4.3	注册地址和位分配.....	33
4.4	RAM .....	36
4.5	闪光 .....	37
4.5.1	特点.....	37

4.5.2	程序和擦除时间.....	37
4.5.3	程序和擦除命令执行.....	38
4.5.4	突发程序执行.....	39
4.5.5	访问错误.....	41
4.5.6	闪存块保护.....	42
4.5.7	矢量重定向.....	43
4.6	安全.....	43
4.7	闪存寄存器和控制位.....	44
4.7.1	闪光时钟分频器寄存器 (FCDIV) .....	44
4.7.2	闪存选项寄存器 (FOPT 和 NVOPT) .....	46
4.7.3	闪存配置寄存器 (FCNFG) .....	47
4.7.4	闪光保护寄存器 (FPROT 和 NVPROT) .....	47
4.7.5	闪存状态寄存器 (FSTAT) .....	48
4.7.6	闪存命令寄存器 (FCMD) .....	49

## 第 5 章重置、中断和一般系统控制

5.1	简介.....	51
5.2	特点.....	51
5.3	MCU 重置.....	51
5.4	计算机正常运行 (COP) 看门狗.....	52
5.5	中断.....	53
5.5.1	中断堆栈框架.....	54
5.5.2	外部中断请求 (IRQ) 引脚.....	54
5.5.3	中断向量、来源和本地掩码.....	55
5.6	低压检测 (LVD) 系统.....	56
5.6.1	开机重置操作.....	57
5.6.2	LVD 重置操作.....	57
5.6.3	LVD 中断操作.....	57
5.6.4	低电压警告 (LVW) .....	57
5.7	实时中断 (RTI) .....	57
5.8	重置、中断和系统控制寄存器和控制位.....	58
5.8.1	中断引脚请求状态和控制寄存器 (IRQSC) .....	58
5.8.2	系统重置状态寄存器 (SRS) .....	59

5.8.3	系统后台调试强制重置寄存器 (SBDFR)	60
5.8.4	系统选项寄存器 1 (SOPT1)	61
5.8.5	系统选项寄存器 2 (SOPT2)	62
5.8.6	系统设备识别寄存器 (SDIDH, SDIDL)	62
5.8.7	系统实时中断状态和控制寄存器 (SRTISC)	63
5.8.8	系统电源管理状态和控制 1 寄存器 (SPMSC1)	64
5.8.9	系统电源管理状态和控制 2 寄存器 (SPMSC2)	65

## 第 6 章 并行输入/输出控制

6.1	端口数据和数据方向	67
6.2	引脚控制 — 引体向上、降低率和驱动强度	68
6.3	停止模式下的引脚行为	68
6.4	并行 I/O 寄存器	69
6.4.1	端口 A 寄存器	69
6.4.2	端口 A 控制寄存器	70

## 第 7 章 中央处理器单元 (S08CPUV2)

7.1	简介	73
7.1.1	特点	73
7.2	程序员模型和 CPU 寄存器	74
7.2.1	累加器 (A)	74
7.2.2	索引寄存器 (H:X)	74
7.2.3	堆栈指针 (SP)	75
7.2.4	程序计数器 (PC)	75
7.2.5	条件代码寄存器 (CCR)	75
7.3	寻址模式	77
7.3.1	固有寻址模式 (INH)	77
7.3.2	相对寻址模式 (REL)	77
7.3.3	即时寻址模式 (IMM)	77
7.3.4	直接寻址模式 (DIR)	77
7.3.5	扩展寻址模式 (EXT)	78
7.3.6	索引寻址模式	78
7.4	特种部队	79

7.4.1	重置序列.....	79
7.4.2	中断序列.....	79
7.4.3	等待模式操作 .....	80
	7.4.4 停止模式操作.....	80
7.4.5	BGND 指令 .....	81
	7.5 HCS08 指令集摘要.....	82

## 第 8 章 模拟数字转换器 (ADC10V1)

8.1	介绍.....	93
8.1.1	模块配置.....	94
8.1.2	特点.....	97
8.1.3	方框图.....	97
8.2	外部信号描述.....	98
8.2.1	模 拟 功 率 ( $V_{DDAD}$ ).....	99
8.2.2	模拟地面 ( $V_{SSAD}$ ) .....	99
8.2.3	电压参考高 ( $V_{REFH}$ ).....	99
8.2.4	电压参考低 ( $V_{REFL}$ ).....	99
	8.2.5 模 拟 通 道 输 入 ( $ADx$ ) .....	99
8.3	注册定义.....	99
8.3.1	状态和控制登记册 1 (ADCSC1) .....	99
8.3.2	状态和控制登记册 2 (ADCSC2) .....	101
8.3.3	数据结果高寄存器 (ADCRH) .....	102
8.3.4	数据结果低寄存器 (ADCRL) .....	102
8.3.5	比较价值高寄存器 (ADCCVH) .....	103
8.3.6	比较价值低寄存器 (ADCCVL) .....	103
8.3.7	配置寄存器 (ADCCFG).....	103
8.3.8	引脚控制 1 寄存器 (APCTL1) .....	105
	8.3.9 引 脚 控 制 2 寄 存 器 (APCTL2) .....	106
	8.3.10 引脚控制 3 寄存器 (APCTL3) .....	107
8.4	功能描述.....	108
8.4.1	时钟选择和划分控制.....	108

8.4.2	输入选择和引脚控制.....	109
8.4.3	硬件触发器.....	109
8.4.4	转换控制.....	109
8.4.5	自动比较功能.....	112
8.4.6	MCU 等待模式操作.....	112
8.4.7	MCU Stop3 模式操作.....	112
8.4.8	MCU Stop1 和 Stop2 模式操作.....	113
8.5	初始化信息.....	113
8.5.1	ADC 模块初始化示例.....	113
8.6	申请信息.....	115
8.6.1	外部引脚和路由.....	115
8.6.2	错误来源.....	117
<b>第 9 章 内部时钟源 (S08ICSV1)</b>		
9.1	简介.....	121
9.1.1	ICS 配置信息.....	121
9.1.2	特点.....	123
9.1.3	操作方式.....	123
9.1.4	方框图.....	124
9.2	外部信号描述.....	125
9.3	注册定义.....	125
	9.3.1 ICS 控制寄存器 1 (ICSC1) .....	125
	9.3.2 ICS 控制寄存器 2 (ICSC2) .....	126
	9.3.3 ICS 修剪寄存器 (ICSTRM) .....	127
	9.3.4 ICS 状态和控制 (ICSSC) .....	127
9.4	功能描述.....	128
9.4.1	操作模式.....	128
9.4.2	模式切换.....	130
9.4.3	总线分频器.....	130
9.4.4	低功率位使用.....	131
9.4.5	内部参考时钟.....	131

9.4.6 可选的外部参考时钟.....	131
9.4.7 固定频率时钟.....	132
9.5 模块初始化.....	132
9.5.1 ICS 模块初始化序列.....	132

## 第 10 章 键盘中断 (S08KBIV2)

10.1 简介.....	135
10.1.1 特点.....	137
10.1.2 操作模式.....	137
10.1.3 方框图.....	137
10.2 外部信号描述.....	138
10.3 注册定义.....	138
10.3.1 KBI 状态和控制寄存器 (KBISC) .....	138
10.3.2 KBI 引脚启用寄存器 (KBIPE) .....	139
10.3.3 KBI 边缘选择寄存器 (KBIES) .....	139
10.4 功能描述.....	140
10.4.1 仅边缘灵敏度.....	140
10.4.2 边缘和水平灵敏度.....	140
10.4.3 KBI 上拉/下拉电阻 .....	141
10.4.4 KBI 初始化.....	141

## 第 11 章 定时器/脉冲宽度调制器 (S08TPMV2)

11.1 简介.....	143
11.1.1 TPM2 配置信息.....	143
11.1.2 TCLK1 和 TCLK2 配置信息.....	143
11.1.3 特点.....	145
11.1.4 方框图.....	145
11.2 外部信号描述.....	147
11.2.1 外部 TPM 时钟来源.....	147
11.2.2 TPMxCHn — TPMx 通道 n I/O 引脚.....	147
11.3 注册定义.....	147
11.3.1 计时器状态和控制寄存器 (TPMxSC) .....	148
11.3.2 计时器计数器寄存器 (TPMxCNTH : TPMxCNTL) .....	149
11.3.3 定时器计数器模数寄存器 (TPMxMODH : TPMxMODL) .....	150
11.3.4 计时器通道 n 状态和控制寄存器 (TPMxCnSC) .....	151

11.3.5 定时器通道值寄存器 (TPMxCnVH : TPMxCnVL) .....	152
11.4 功能描述.....	153
11.4.1 计数器.....	153
11.4.2 通道模式选择.....	154
11.4.3 中心对齐 PWM 模式.....	156
11.5 TPM 中断.....	157
11.5.1 清除计时器中断标志.....	157
11.5.2 定时器溢出中断描述.....	157
11.5.3 频道事件中断描述.....	158
11.5.4 PWM 下班周期事件.....	158

深圳南天星

## 第 12 章 发展支持

12.1 简介.....	159
12.1.1 强制活动背景.....	159
12.1.2 模块配置.....	159
12.1.3 特点.....	160
12.2 背景调试控制器 (BDC).....	160
12.2.1 BKGD 引脚描述.....	161
12.2.2 通信详细信息.....	161
12.2.3 BDC 命令.....	164
12.2.4 BDC 硬件断点.....	167
12.3 注册定义.....	167
12.3.1 BDC 寄存器和控制位.....	168
12.3.2 系统后台调试强制重置寄存器 (SBDFR) .....	170

## 附录 A 电气特性

A.1 简介.....	173	A.2 绝对	173
最高额定值 .....	173	A.3 热特	174
性.....	174	A.4 ESD保护和	175
闩锁免疫 .....	175	A.5 DC 特	175
性 .....	175	A.6 供应电流特	182
性 .....	182	A.7 内部时钟源特	184
性.....	184		
A.8 交流特			
性.....	186		
A.8.1 控		制	时
间.....	186		
A.8.2 定时器/PWM (TPM) 模块定时.....	187		
A.9 ADC 特性.....	188		
A.10 闪存规格.....	189		

## 附录 B 订购信息和机械图纸

B.1 订购信息.....	191
B.1.1 设备编号方案.....	191
B.2 机械图纸.....	192

# 第 1 章 设备概述

## 1.1 简单介绍

MC9S08QD4 系列 MCU 是低成本、高性能 HCS08 系列 8 位微控制器单元 (MCU) 的成员。该系列中的所有 MCU 都使用增强的 HCS08 核心，并具有各种模块、内存大小、内存类型和软件包类型。

## 1.2 MC9S08QD4 系列设备

本数据表涵盖：

- MC9S08QD4
- MC9S08QD2
- S9S08QD4
- S9S08QD2

### 笔记

- MC9S08QD4 和 MC9S08QD2 设备符合条件，并打算用于，*消费者和工业应用*。
- S9S08QD4 和 S9S08QD2 设备符合条件，并打算用于，*汽车的应用*。

表 1-1 总结了 MCU 中可用的功能。

第 1 章 设备概述

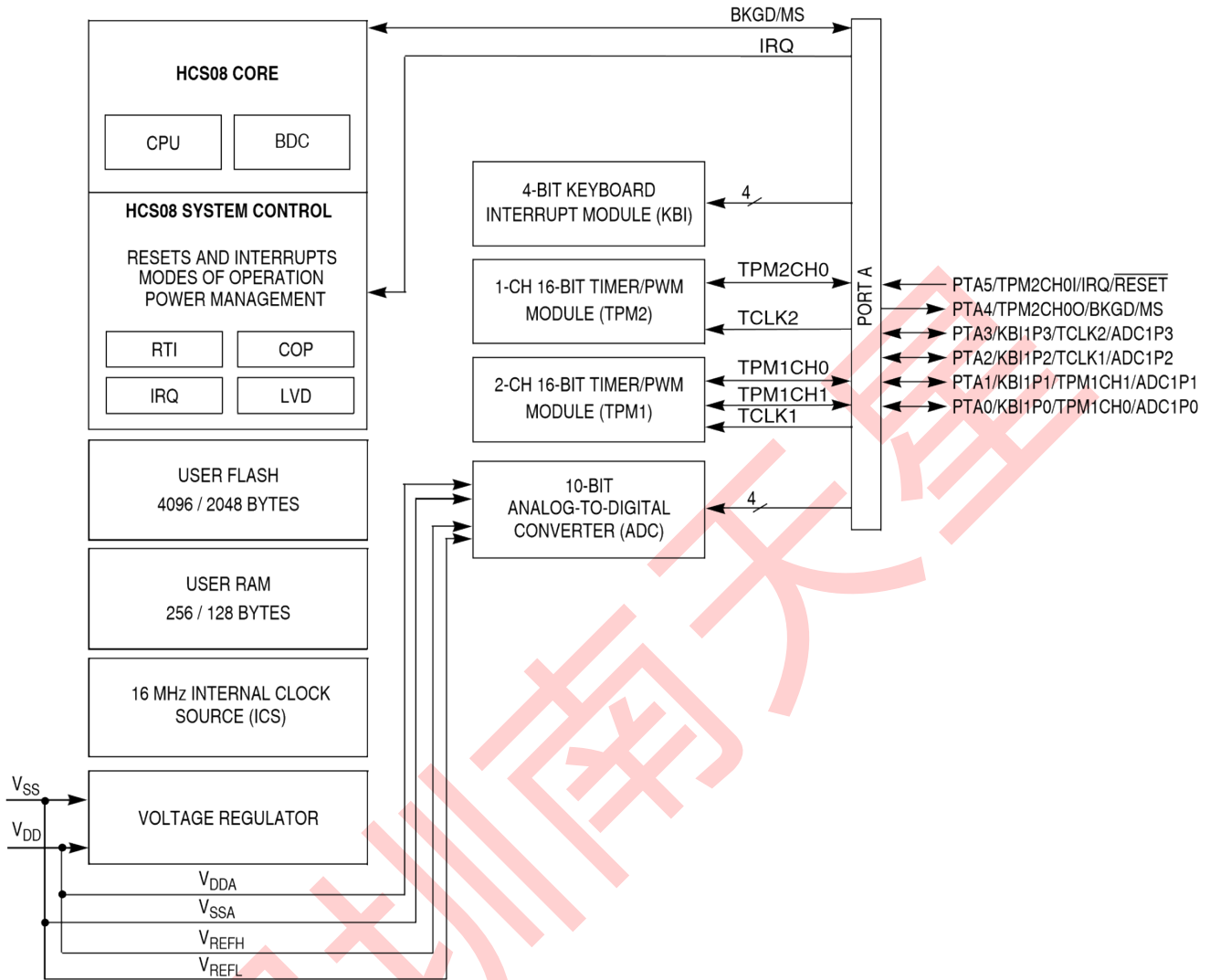
表 1-1。MCU 和软件包的功能

消费和工业设备		
特征	MC9S08QD4	MC9S08QD2
闪光灯	4 KB	2 KB
公羊	256 B	128 B
ADC	4ch，10 位	
公交车速度	5 伏时为 8 兆赫	
工作电压	2.7 至 5.5 伏	
16 位计时器	一个 1ch；一个 2ch	
GPIO	四个 I/O；一个仅输入；一个仅输出	
LVI	是	
套餐选项	8 针 PDIP；8 针 NB SOIC	
消费者和工业合格	是	是
汽车合格	不是	不是
汽车设备		
特征	S9S08QD4	S9S08QD2
闪光灯	4 KB	2 KB
公羊	256 B	128 B
ADC	4ch，10 位	
公交车速度	5 伏时为 8 兆赫	
工作电压	2.7 至 5.5 伏	
16 位计时器	一个 1ch；一个 2ch	
GPIO	四个 I/O；一个仅输入；一个仅输出	
LVI	是	

套餐选项	8 针 NB SOIC	
消费者和工业合格	不是	不是
汽车合格	是	是

深圳市南天星

## 1.2.1 MCU 框图



备注：

- 1 如果输入端口，端口引脚是可与上拉设备配置的软件。
- 2 端口引脚是可针对输出驱动强度进行软件配置的。
- 3 端口引脚是可配置用于输出速率控制的软件。
- 4 如果 PTA5 启用为 IRQ 引脚功能 (IRQPE = 1)，IRQ 包含一个可配置的软件 (IRQPDD) 上拉/下拉设备。
- 5 如果 PTA5 启用为重置引脚功能 (RSTPE = 1)，则 RESET 包含集成的上拉设备。
- 6 PTA5 不包含夹紧二极管到 V<sub>女儿</sub> 不得行驶在 V 以上女儿。启用内部引体向上时，此引脚上测量的电压可能低至 V<sub>DD</sub> - 0.7 V。连接到这个引脚的内门被拉到 V<sub>女儿</sub>。
- 7 如果启用 BKGD (BKGDPPE = 1)，PTA4 包含集成上拉设备。

<sup>8</sup> 当引脚功能为 KBI (KBIPEn = 1) 并配置相关引脚以后用上拉设备时, KBEDGn 可用于将上拉设备重新配置为下拉设备。

图 1-1。MC9S08QD4 系列框图

表 1-2 提供片上模块的功能版本。

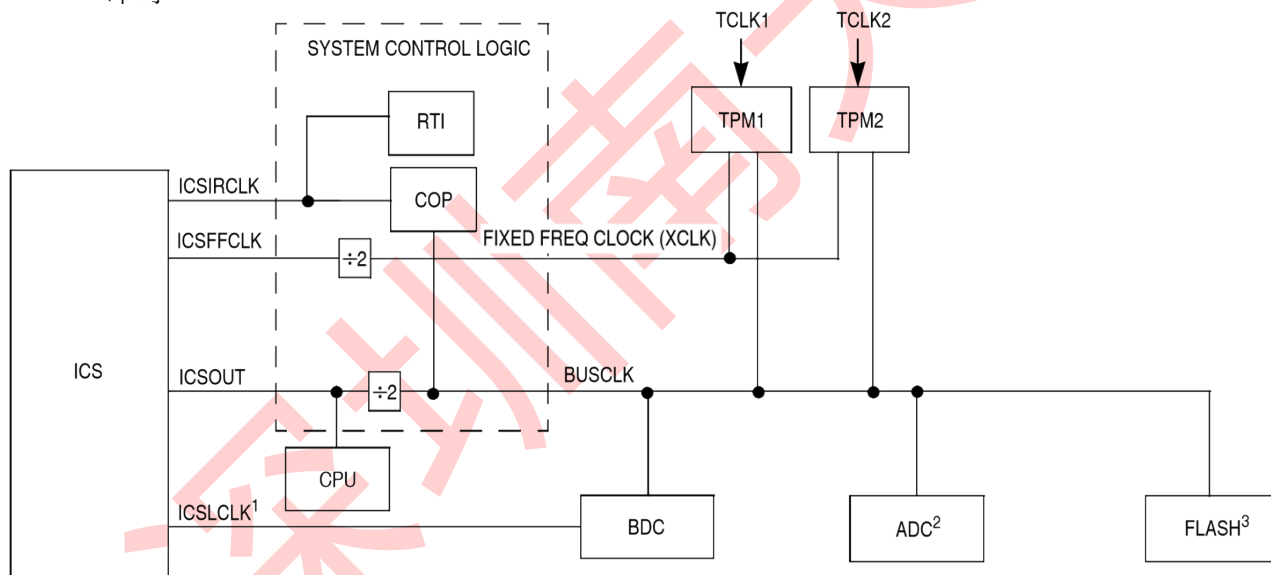
第 1 章 设备概述

表 1-2。片上模块的版本

模块	变种
模拟数字转换器 (ADC)	1
中央处理器 (CPU)	2
内部时钟源 (ICS)	1
键盘中断 (KBI)	2
定时器脉冲-宽度调制器 (TPM)	2

### 1.3 系统时钟分布

图 1-2 显示一个简化的时钟连接图。如图所示, MCU 中的一些模块具有可选择的时钟输入。模块的时钟输入表示用于驱动模块功能的时钟。与模块关联的所有内存映射寄存器都使用 BUSCLK 计时。



<sup>1</sup>ICSLCLK 是 MC9S08QD4 系列的备用 BDC 时钟源。

<sup>2</sup> ADC 有最小和最大频率要求。参见 ADC 章节和附录 A,“电气特性。”

<sup>3</sup> 闪存对程序和擦除操作有频率要求。请参阅附录 A,“电气特性。”

图 1-2。系统时钟分布图

## 第 2 章

### 外部信号描述

本章描述了连接到封装引脚的信号。它包括引脚图、信号属性表和信号的详细讨论。

#### 2.1 设备引脚分配

图 2-1 显示 8 针包的引脚分配。

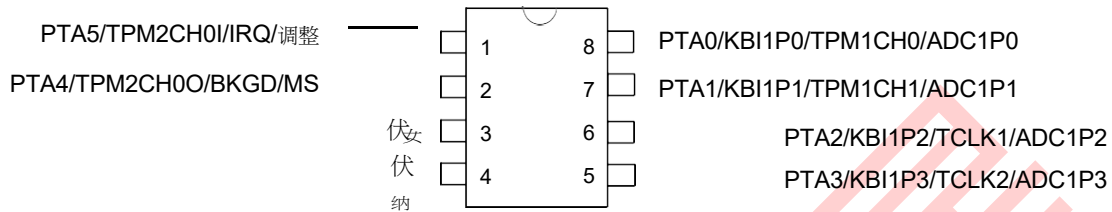
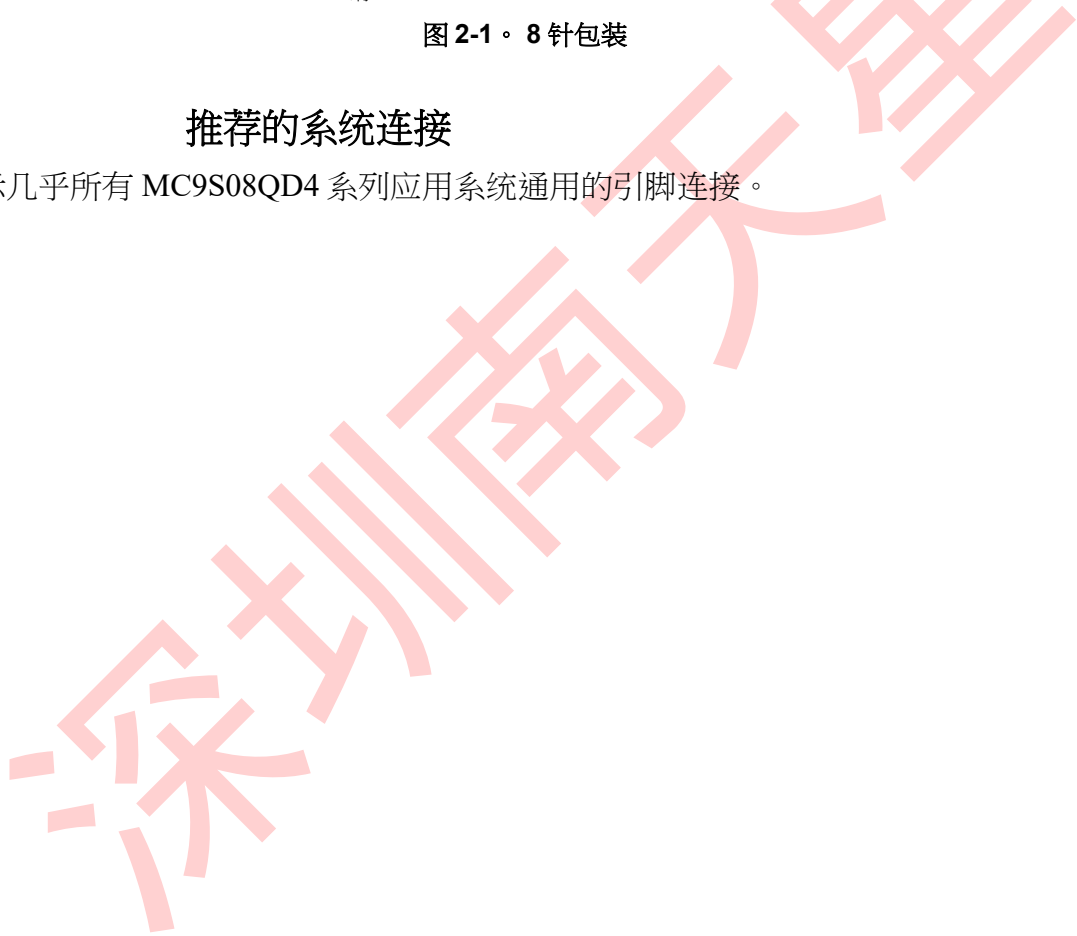
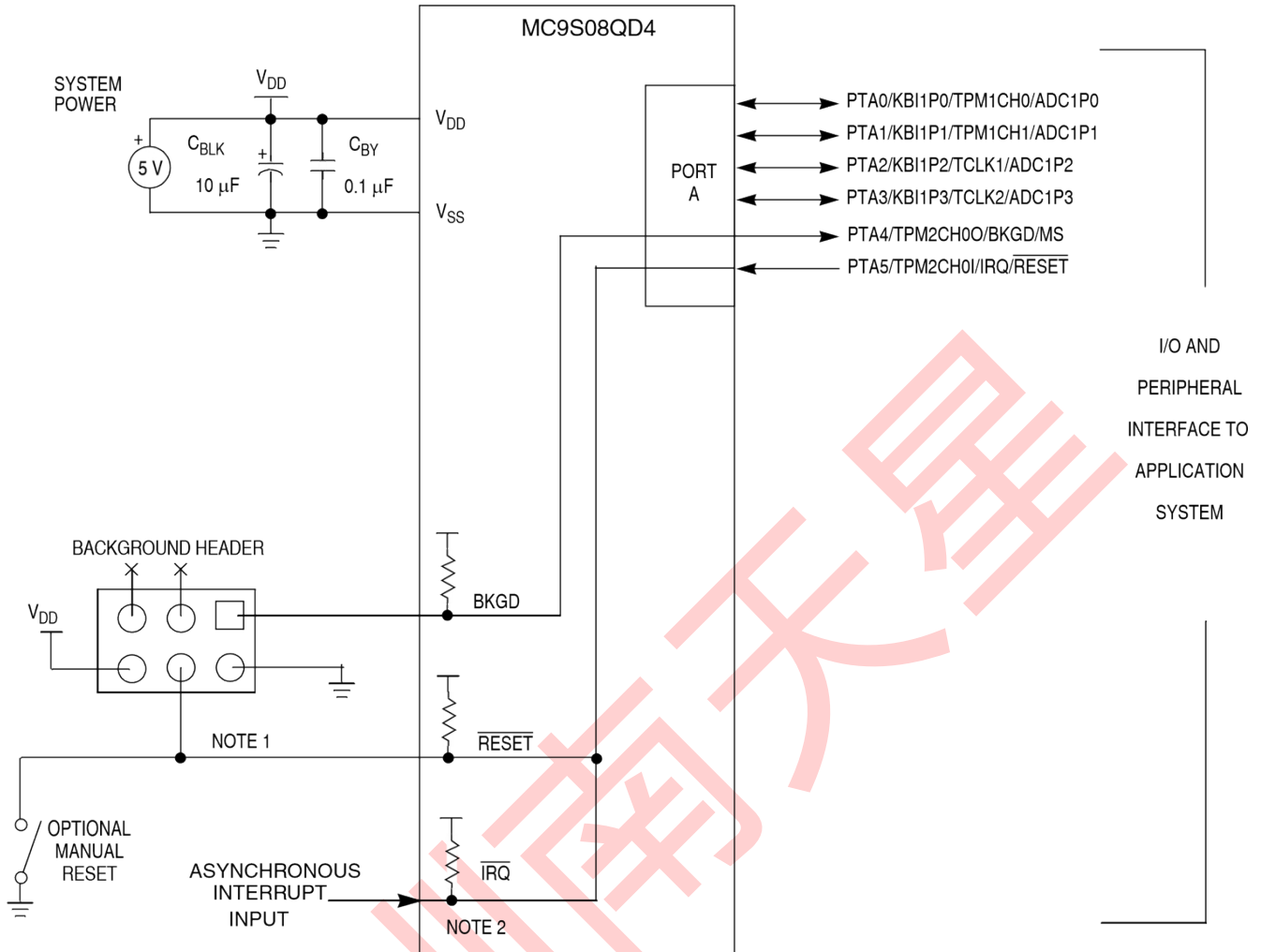


图 2-1。8 针包装

#### 2.2 推荐的系统连接

图 2-2 显示几乎所有 MC9S08QD4 系列应用系统通用的引脚连接。





备注：

1. 重置引脚只能用于重置到用户模式，您无法使用重置引脚进入 BDM。BDM 可以通过在 POR 期间保持 MS 低或发出 BDM 命令后在 SBDFFR 中以 MS 低写入 1 到 BDFR 来输入。
2. IRQ 有可选的内部上拉/下拉设备

图 2-2。基本系统连接

## 2.2.1 力量

伏特女儿和 V 纳粹党卫军是 MCU 的主要电源引脚。该电压源为所有 I/O 缓冲电路、ADC 模块和内部稳压器供电。内部稳压器为 CPU 和 MCU 的其他内部电路提供调节的低压源。

通常，应用系统在电源引脚上有两个独立的电容器：一个散装电解电容器，例如 10MF 钽电容器，为整个系统提供批量充电存储，以及一个旁路电容器，如 0.1MF 陶瓷电容器，位于靠近 MCU 电源引脚的地方，可以抑制高频噪声。

## 2.2.2 振荡器

重置后，MCU 使用内部时钟源（ICS）模块提供的内部生成时钟。内部频率名义上为 16MHz，默认 ICS 设置将提供 4MHz 的总线重置。有关 ICS 的更多信息，请参阅[内部时钟源](#)章节。

## 2.2.3 重置（仅限输入）

开机重置（POR）进入用户模式后，PTA5/TPM2CH0I/IRQ/RESET 引脚默认为通用输入端口引脚 PTA5。在 SOPT1 中设置 RSTPE 将引脚配置为 RESET 输入

引脚。一旦配置为 RESET，该引脚将保持 RESET，直到下一个 POR。当引脚驱动低时，RESET 引脚可用于从外部源重置 MCU。当作为 RESET 引脚（RSTPE = 1）启用时，会自动启用内部上拉设备。

POR 进入活动后台模式后，PTA5/TPM2CH0I/IRQ/RESET 引脚默认为 RESET 引脚。

当 TPM2 配置为输入捕获时，引脚将是输入捕获引脚 TPM2CH0I。

### 笔记

这个引脚不包含 V 的夹具二极管，不得行驶在 V 以上。

在内部拉起的 RESET 引脚上测量的电压可能低至  $V_{\text{女儿}} - 0.7 \text{ V}$ 。连接到这个引脚的内门被拉到  $V_{\text{女儿}}$ 。

## 2.2.4 背景/模式选择（BKGD/MS）

在开机重置（POR）或后台调试强制重置期间（请参阅[部分 5.8.3](#)，“系统后台调试强制重置寄存器（SBDPR）”了解更多信息），PTA4/TPM2CH0O/BKGD/MS 引脚用作模式选择引脚。在任何重置后，该引脚立即用作后台引脚，可用于后台调试通信。当作为 BKGD/MS 引脚（BKGDPE = 1）启用时，会自动启用内部上拉装置。

当设置 SOPT1 中的 BKGDPE 时，将启用后台调试通信功能。BKGDPE 是在 MCU 的任何重置后设置的，必须清除才能使用 PTA4/TPM2CH0O/BKGD/MS 引脚替代引脚功能。

如果没有连接到此引脚，MCU 将在 POR 或强制 BDC 重置后在内部重置的上升边缘进入正常运行模式。如果调试系统连接到 6 针标准后台调试头，它可以在 POR 期间或发布后台调试强制重置后立即将 BKGD/MS 保持低位，这将迫使 MCU 进入活动后台模式。

BKGD 引脚主要用于后台调试控制器（BDC）通信，使用自定义协议，该协议使用目标 MCU 的 BDC 时钟每比特时间的 16 个时钟周期。目标 MCU 的 BDC 时钟可以与最大总线时钟速率一样快，因此绝不能有任何可能干扰后台串行通信的 BKGD/MS 引脚连接到任何显著电容。

飞思卡尔半导体  
第 2 章外部信号描述

虽然 BKGD 引脚是伪开排水引脚，但后台调试通信协议提供了简短、主动驱动的高速脉冲，以确保快速上升时间。电缆的小电容和内部上拉装置的绝对值在确定 BKGD 引脚的上升和下降时间方面几乎没有作用。

## 2.2.5 通用 I/O 和外围端口

MC9S08QD4 系列 MCU 支持多达 4 个通用 I/O 引脚、1 个仅输入引脚和 1 个仅输出引脚，这些引脚与片上外围功能（计时器、串行 I/O、ADC、键盘中断等）共享。在每个 MC9S08QD4 系列设备上都有一个仅输入和一个仅输出的端口引脚。

当端口引脚配置为通用输出或外围设备使用端口引脚作为输出时，软件可以选择两个驱动器强度之一，并启用或禁用速率控制。当端口引脚配置为通用输入或外围设备使用端口引脚作为输入时，软件可以启用上拉设备。

有关将这些引脚控制为通用 I/O 引脚的信息，请参阅第 6 章“并行输入/输出控制。”有关片上外围系统如何以及何时使用这些引脚的信息，请参阅表 2-1。

重置后，所有非仅输出的引脚都配置为高阻抗，禁用内部上拉装置的通用输入。重置后，未启用仅输出端口功能，但在启用回速率控制的情况下配置为低输出驱动强度。任何重置时，PTA4 引脚默认为 BKGD/MS。

### 笔记

为了避免浮动输入引脚的额外电流消耗，应用程序中的重置初始化例程必须启用片上上拉设备，或将未使用引脚的方向更改为输出，以便引脚不会浮动。

### 2.2.5.1 引脚控制寄存器

要选择驱动器强度或启用速率控制或上拉设备，用户将写入位于内存映射的高页寄存器块中的相应引脚控制寄存器。引脚控制寄存器独立于并行 I/O 寄存器运行，并允许在单个引脚的基础上控制端口。

### 2.2.5.1.1 内部上拉启用

通过在其中一个上拉启用寄存器 (PTxPE<sub>n</sub>) 中设置相应的位, 可以为每个端口引脚启用内部上拉设备。如果引脚由并行 I/O 控制逻辑或任何共享外围功能配置为输出, 则将禁用上拉设备, 无论相应的上拉启用寄存器位的状态如何。如果引脚由模拟功能控制, 上拉装置也将被禁用。

KBI 模块和 IRQ 功能在启用上升边缘检测时, 会导致启用的内部拉动设备被配置为下拉。

## MC9S08QD4 系列 MCU 数据表

### 2.2.5.2 输出 slew 速率控制

可以通过在其中一个速率控制寄存器 (PTxSE<sub>n</sub>) 中设置相应的位来为每个端口引脚启用速率控制。启用后, slew 控制限制了输出的转换速率, 以减少 EMC 排放。速率控制对配置为输入的引脚没有影响。

### 2.2.5.3 输出驱动强度选择

通过在其中一个驱动强度选择寄存器 (PTxDS<sub>n</sub>) 中设置相应的位, 可以选择输出引脚以具有高输出驱动强度。当选择高驱动时, 引脚能够采购和下沉更大的电流。即使每个 I/O 引脚都可以选择为高驱动器, 但用户必须确保不超过芯片的总电流源和汇限。驱动强度选择旨在影响 I/O 引脚的直流行为。然而, 交流行为也受到影响。高驱动器允许引脚以与启用低驱动器的引脚相同的开关速度将更大的负载驱动到较小的负载中。因此, EMC 排放可能会受到启用引脚作为高驱动的影响。

表 2-1. Pin 共享优先级

最低<-引脚功能优先级->最高				参考 <sup>1</sup>
端口号	替代功能	替代功能	替代功能	
PTA0	KBI1P0	TPM1CH0	ADC1P0 <sup>3</sup>	KBI1、ADC1 和 TPM1 章节 KBI1、ADC1 和 TPM1 章节 KBI1、ADC1 和 TPM1 章节 KBI1、ADC1 和 TPM2 章节 TPM2 章节 IRQ <sup>4</sup> , 和 TPM2 章节
PTA1	KBI1P1	TPM1CH1	ADC1P1 <sup>3</sup>	
PTA2	KBI1P2	TCLK1	ADC1P2 <sup>3</sup>	
PTA3	KBI1P3	TCLK2	ADC1P3 <sup>3</sup>	
PTA4	TPM2CH0O	BKGD/MS		
PTA5 <sup>2</sup>	TPM2CH0I	IRQ	调整	

<sup>1</sup> 有关共享这些引脚的模块的信息, 请参阅列出的模块部分。

<sup>2</sup> 引脚不包含 V 的夹具二极管女儿不得行驶在 V 以上女儿。启用内部引体向上时, 此引脚上测量的电压可能低至 V<sub>DD</sub>-0.7 V。连接到这个引脚的内门被拉到 V<sub>女儿</sub>。

<sup>3</sup> 如果这两个模拟模块都已启用, 则两者都可以访问引脚。

<sup>4</sup> 看第 5.8 节“重置、中断和系统控制寄存器和控制位”, 有关配置 IRQ 模块的信息。