

新 QFN 包迁移附录

本附录提供了本书所涵盖产品的 98A 机箱外形编号的变更。由于某些封装从金线迁移到铜线，因此改变了外壳外形。旧(金丝)封装与新(铜线)封装的对比见下表。

要查看新图纸，请访问 Freescale.com，搜索您设备的新 98A 封装号。

有关 QFN 封装使用的更多信息，请参见 EB 806:QFN 和 DFN 封装裸露焊盘的电气连接建议。

零件号码	包装说明	原始(金线)包装文件编号	当前(铜线)包装文件编号
MC68HC908JW32	48 QFN	98ARH99048A	98ASA00466D
MC9S08AC16			
MC9S908AC60			
MC9S08AC128			
MC9S08AW60			
MC9S08GB60A			
MC9S08GT16A			
MC9S08JM16			
MC9S08JM60			
MC9S08LL16			
MC9S08QE128			
MC9S08QE32			
MC9S08RG60			
MCF51CN128			
MC9RS08LA8	48 QFN	98ARL10606D	98ASA00466D
MC9S08GT16A	32 QFN	98ARH99035A	98ASA00473D
MC9S908QE32	32 QFN	98ARE10566D	98ASA00473D
MC9S908QE8	32 QFN	98ASA00071D	98ASA00736D
MC9S08JS16	24 QFN	98ARL10608D	98ASA00734D
MC9S08QB8			
MC9S08QG8	24 QFN	98ARL10605D	98ASA00474D
MC9S08SH8	24 QFN	98ARE10714D	98ASA00474D
MC9RS08KB12	24 QFN	98ASA00087D	98ASA00602D
MC9S08QG8	16 QFN	98ARE10614D	98ASA00671D
MC9RS08KB12	8 DFN	98ARL10557D	98ASA00672D
MC9S08QG8			
MC9RS08KA2	6 DFN	98ARL10602D	98ASA00735D

新 QFN 程序包迁移附录，版本 0

MC9S08AC60

MC9S08AC48

MC9S08AC32

记录表

HCS08
微控制器

MC9S08AC60
2011年8月第3次修订

freescale.com

2

MC9S08AC60 系列特性

8-位 HCS08 中央处理器单元 (CPU)

- 40 MHz HCS 08 CPU(中央处理器)
- 20 MHz 内部总线频率
- 添加了 BGND 指令的 HC08 指令集

发展支持

- 后台调试系统
- 断点功能, 允许在线调试期间设置单个断点(加上片内调试模块中的两个断点)
- 片内在线仿真器 (ICE) 调试模块, 包含两个比较器和九种触发模式。八个深度 FIFO 用于存储更改流地址和仅事件数据。支持标记断点和强制断点。
- 支持多达 32 个中断/复位源

内存选项

- 高达 60 KB 的片内闪存, 带安全选项
- 高达 2 KB 的片内 RAM

时钟源选项

- 时钟源选项包括晶振、谐振器、外部时钟或内部产生的时钟, 使用 ICG 模块进行精密 NVM 调整

系统保护

- 可选看门狗计算机正常运行 (COP) 复位, 可选择从独立的 1kHz 内部时钟源或总线时钟运行
- 带复位或中断的低电压检测
- 重置非法操作码检测
- 循环冗余校验 (CRC) 模块, 支持内存上的快速循环冗余校验。

省电模式

- 再等两站

外围设备

- ADC——最高 16 通道、10 位模数转换器, 具有自动比较功能
- SCI 一两个串行通信接口模块, 具有可选的 13 位断点。支持 LIN 2.0 协议和 SAE J2602 主扩展中断生成; 从属扩展中断检测
- SPI 一串行外设接口模块
- IIC-内部集成电路总线模块, 在最大总线负载下以高达 100 kbps 的速度运行; 能够在减少负载的情况下提高波特率。10 位地址扩展选项。
- 定时器——最多两个 2 通道和一个 6 通道 16 位定时器/脉宽调制器 (TPM) 模块: 每个通道具有可选的输入捕捉、输出比较和边沿对齐 PWM 功能。每个定时器模块都可以配置为所有通道上的缓冲中心 PWM (CPWM)
- KBI 一多达 8 针键盘中断模块
- CRC -使用 16 位移位寄存器产生硬件 CRC

输入/输出

- 多达 54 个通用输入/输出 (I/O) 引脚
- 用作输入时, 端口上的软件可选上拉电阻
- 用作输出时, 端口上的软件可选压摆率控制
- 用作输出时, 端口上的软件可选驱动强度
- 主机复位引脚和上电复位 (POR)
- RESET、IRQ 和 BKGD/MS 引脚上的内部上拉电阻可降低客户系统成本

包装选项

- 64 针方形扁平封装 (QFP)
- 64 引脚薄型四方扁平封装 (LQFP)
- 48 引脚四方扁平封装无引脚封装 (QFN)
- 44 引脚薄型四方扁平封装 (LQFP)
- 32 引脚薄型四方扁平封装 (LQFP)

MC9S08AC60 系列数据手册

涵盖 MC9S08AC60

MC9S08AC48

MC9S08AC32

MC9S08AC60 系列
2011
年 8 月
第 3 次
修订

修订历史

为了提供最新的信息，我们在万维网上的文档版本将是最新的。您的印刷版本可能是较早的版本。要验证您是否有可用的最新信息，请参阅：

<http://freescale.com/>

以下修订历史表总结了本文档中包含的变更。为了您的方便，页码标志符已经链接到适当的位置。

修订号	修订日期	变更描述
一	2/2008	初步客户发布。
2	3/2008	市场发布。
3	8/2011	在表 A-6 中增加了 VBG 和 IIC。增加了图 4-2 和图 4-3 两个图来代替旧的“闪光”图编程和擦除流程图”。更新了表 15-8。更新了 A-7 表格中的 RIDD。更新了表 A-12 中的 tRTI。

飞思卡尔和飞思卡尔标志是飞思卡尔半导体公司的商标。
飞思卡尔半导体公司，2008-2011 年。版权所有

MC9S08AC60 系列数据表，第 3 版

章节列表

章节标题页

- 第 1 章引言 19
- 第 2 章引脚和连接 25
- 第三章经营方式 35
- 第四章记忆 41
- 第 5 章复位、中断和系统配置 67
- 第 6 章并行输入/输出 85
- 第 7 章中央处理器单元(S08CPUV2) 109
- 第 8 章循环冗余校验(S08CRCV1) 129
- 第 9 章模数转换器(S08ADC10V1) 137
- 第 10 章内部时钟发生器(S08ICGV4) 165
- 第 11 章内部集成电路(S08IICV2) 193
- 第 12 章键盘中断(S08KBIV1) 211
- 第 13 章串行通信接口(S08SCIV4) 217
- 第 14 章串行外设接口(S08SPIV3) 237
- 第 15 章定时器/PWM (S08TPMV3) 253
- 第十六章发展支持 283
- 附录 A 电气特性和时序规格 305
- 附录 B 订购信息和机械图纸 333

内容

章节号标题页

第一章引言

- 1.1 概述 19
- 1.2 MCU 框图 20
- 1.3 系统时钟分布 22

第二章 引脚和连接

- 2.1 引言 25
- 2.2 设备引脚分配 25
- 2.3 推荐的系统连接 29
 - 2.3.1 电源 (VDD、VSS、VDDAD、VSSAD) 31
 - 2.3.2 振荡器 (XTAL, EXTAL) 31
 - 2.3.3 复位引脚 31
 - 2.3.4 背景/模式选择 (BKGD/MS) 32
 - 2.3.5 ADC 基准引脚 (VREFH、VREFL) 32
 - 2.3.6 外部中断引脚 (IRQ) 32
 - 2.3.7 通用 I/O 和外设端口 33

第三章经营方式

- 3.1 引言 35
- 3.2 特色 35
- 3.3 运行模式 35
- 3.4 活动背景模式 35
- 3.5 等待模式 36
- 3.6 停止模式 36
 - 3.6.1 停止 2 模式 37
 - 3.6.2 停止 3 模式 38
 - 3.6.3 在停止模式 38 下启用主动 BDM
 - 3.6.4 停止模式下 LVD 使能 39
 - 3.6.5 停止模式下的片上外设模块 39

第 4 章记 忆

- 4.1 MC9S08AC60 系列存储器映射 41
 - 4.1.1 复位和中断矢量分配 43

Section	Title	Page
4	Register Addresses and Bit Assignments.....	44
4.1	RAM.....	44
4.2	FLASH.....	5
4.2.1	H.....	1
4.4.	Features.....	51
4.4.1	Program and Erase Times.....	51
4.4.2	Program and Erase Command Execution.....	52
4.4.2.1	Burst Program Execution.....	54
4.4.2.2	Access Erase.....	55
	向量重定向	58
4.5	安全性	58
4.6	FLASH 寄存器和控制位	59
4.6.1	FLASH 时钟分频器寄存器 (FCDIV)	59
4.6.2	闪存选项寄存器 (FOPT 和 NVOPT)	61
4.6.3	闪存配置寄存器 (FCNFG)	61
4.6.4	FLASH 保护寄存器 (FPROT 和 NVPROT)	63
4.6.5	FLASH 状态寄存器 (FSTAT)	63
4.6.6	闪存命令寄存器 (FCMD)	64
第五章		
复位、中断和系统配置		
5.1	导言	67
5.2	特色	67
5.3	MCU 复位	67
5.4	计算机正常运行 (COP) 看门狗	68
5.5	中断	69
5.5.1	中断堆栈帧	70
5.5.2	外部中断请求 (IRQ) 引脚	70
5.5.3	中断向量、源和本地屏蔽	71
5.6	低电压检测系统	73
5.6.1	通电复位操作	73
5.6.2	LVD 复位操作	73
5.6.3	LVD 中断操作	73
5.6.4	低电压警告 (LVW)	73
5.7	实时中断 (RTI)	73
5.8	MCLK 输出	74
5.9	复位、中断和系统控制寄存器和控制位	74
5.9.1	中断引脚请求状态和控制寄存器 (IRQSC)	75
5.9.2	系统复位状态寄存器 (SRS)	76
5.9.3	系统后台调试强制复位寄存器 (SBDIFR)	77
5.9.4	系统选项寄存器 (SOPT)	77
5.9.5	系统 MCLK 控制寄存器 (SMCLK)	78

章节号标题页

- 5.9.6 系统设备标识寄存器 (SDIDH, SDIDL) 79
- 5.9.7 系统实时中断状态和控制寄存器 (SRTISC) 80
- 5.9.8 系统电源管理状态和控制 1 寄存器 (SPMSC1) 81
- 5.9.9 系统电源管理状态和控制 2 寄存器 (SPMSC2) 82
- 5.9.10 系统选项寄存器 2 (SOPT2) 83

第 6 章 并行输入/输出

- 6.1 导言 85
- 6.2 引脚描述 85
- 6.3 并行 I/O 控制 85
- 6.4 引脚控制 86
 - 6.4.1 内部上拉使能 87
 - 6.4.2 输出压摆率控制使能 87
 - 6.4.3 输出驱动强度选择 87
- 6.5 停止模式下的引脚行为 88
- 6.6 并行 I/O 和引脚控制寄存器 88
 - 6.6.1 端口 A 输入/输出寄存器 (PTAD 和 PTADD) 88
 - 6.6.2 端口 A 引脚控制寄存器 (PTAPE、PTASE、PTADS) 89
 - 6.6.3 B I 港/O 注册 (PTBD 和 PTBDD) 91
 - 6.6.4 端口 B 引脚控制寄存器 (PTBPE、PTBSE、PTBDS) 92
 - 6.6.5 端口 C 输入/输出寄存器 (PTCD 和 PTCDD) 94
 - 6.6.6 端口 C 引脚控制寄存器 (PTCPE、PTCSE、PTCDS) 95
 - 6.6.7 端口 D 输入/输出寄存器 (PTDD 和 PTDDD) 97
 - 6.6.8 端口 D 引脚控制寄存器 (PTDPE、PTDSE、PTDDS) 98
 - 6.6.9 端口 E 输入/输出寄存器 (PTED 和 PTEDD) 100
 - 6.6.10 端口 E 引脚控制寄存器 (PTEPE、PTESE、PTEDS) 101
 - 6.6.11 端口 F 输入/输出寄存器 (PTFD 和 PTFDD) 103
 - 6.6.12 端口 F 引脚控制寄存器 (PTFPE、PTFSE、PTFDS) 104
 - 6.6.13 端口 G I/O 寄存器 (PTGD 和 PTGDD) 106
 - 6.6.14 端口 G 引脚控制寄存器 (PTGPE、PTGSE、PTGDS) 107

第七章 中央处理器单元 (S08CPUV2)

- 7.1 导言
 - 7.1.1 功能 109
- 7.2 程序员模型和 CPU 寄存器 110
 - 7.2.1 蓄能器 (A) 110
 - 7.2.2 索引寄存器 (H:X) 110
 - 7.2.3 堆栈指针 (SP) 111
 - 7.2.4 程序计数器 (PC) 111
 - 7.2.5 条件码寄存器 (CCR) 111

Section	Title	Page
7	Addressing Modes	115
7.3	Inherent Addressing Mode (INH).....	113
.1	Relative Addressing Mode (REL).....	113
7.3	Immediate Addressing Mode (IMM).....	113
.2	Direct Addressing Mode (DIR).....	113
7.3	Extended Addressing Mode (EXT).....	113
3	Indexed Addressing Mode	115
7	Special Operations.....	114
7.4.1	Reset Sequence	115
7.4.2	中断序列	115
7.4.3	等待模式操作	116
7.4.4	停止模式操作	116
7.4.5	BGND 指令	116
7.5	HCS08 指令集概要	117

第八章 循环冗余校验 (S08CRCV1)

8.1	引言	129
8.1.1	功能	129
8.1.2	操作模式	131
8.1.3	框图	131
8.2	外部信号描述	131
8.3	寄存器定义	132
8.3.1	存储器映射	132
8.3.2	寄存器描述	132
8.4	功能描述	133
8.4.1	ITU-T (CCITT) 建议和预期 CRC 结果	134
8.5	初始化信息	134

第九章 模数转换器 (S08ADC10V1)

9.1	概述	137
9.2	频道分配	137
9.2.1	备用时钟	138
9.2.2	硬件触发器	138
9.2.3	温度传感器	139
9.2.4	功能	141
9.2.5	框图	141
9.3	外部信号描述	142
9.3.1	模拟电源 (VDDAD)	143
9.3.2	模拟接地 (VSSAD)	143
9.3.3	参考电压高电平 (VREFH)	143

Section	Title	Page
9.3.4	Voltage Reference Low (V_{REFL}).....	143
9.3.5	Analog Channel Inputs (ADx).....	143
9.4	Register Definitions.....	145
9.4	Status and Control Register 1 (ADCSC1).....	143
9.4.1	Status and Control Register 2 (ADCSC2).....	145
9.4	Data Result High Register (ADCRH).....	146
9.4.2	Data Result Low Register (ADCRL).....	146
9.4.4	Comparison Value High Register (ADCCVHD).....	147
9.4.6	比较值低位寄存器 (ADCCVL)	147
9.4.7	配置寄存器 (ADCCFG)	147
9.4.8	引脚控制 1 寄存器 (APCTL1)	149
9.4.9	引脚控制 2 寄存器 (APCTL2)	150
9.4.10	引脚控制 3 寄存器 (APCTL3)	151
9.5	功能描述	152
9.5.1	时钟选择和分频控制	152
9.5.2	输入选择和引脚控制	153
9.5.3	硬件触发器	153
9.5.4	转换控制	153
9.5.5	自动比较功能	156
9.5.6	MCU 等待模式操作	156
9.5.7	MCU Stop3 模式操作	156
9.5.8	MCU Stop1 和 Stop2 模式操作	157
9.6	初始化信息	157
9.6.1	ADC 模块初始化示例	157
9.7	申请信息	159
9.7.1	外部引脚和布线	159
9.7.2	错误来源	161

第十章 内部时钟发生器 (S08ICGV4)

10.1	导言	165
10.1.1	功能	168
10.1.2	操作模式	168
10.1.3	框图	169
10.2	外部信号描述	170
10.2.1	EXTAL —外部参考时钟/振荡器输入	170
10.2.2	XTAL —振荡器输出	170
10.2.3	外部时钟连接	170
10.2.4	外部晶体/谐振器连接	170
10.3	寄存器定义	171
10.3.1	ICG 控制寄存器 1 (ICGC1)	171
10.3.2	ICG 控制寄存器 2 (ICGC2)	173

Section	Title	Page
10.3	ICG Status Register 1 (ICGS1).....	174
10.3	ICG Status Register 2 (ICGS2).....	175
10.3	ICG Filter Registers (ICGFLTU, ICGFLTU).....	175
10.4	ICG Filter Registers (ICGFLTU).....	176
10.4	Functional Description.....	176
10.4	Off Mode (Off).....	177
10.4.1	Self-Clocked Mode (SCM).....	177
10.4	FLL Engaged, Internal Clock (FEI) Mode.....	178
10.4.1	FLL Engaged Internal Unlocked.....	178
10.4.5	FLL 占用内部锁定	179
10.4.6	FLL 被旁路，外部时钟 (FBE) 模式	179
10.4.7	FLL 已启用，外部时钟 (费用) 模式	179
10.4.8	FLL 锁定和失锁检测	180
10.4.9	FLL 时钟丢失检测	181
10.4.10	时钟模式要求	182
10.4.11	固定频率时钟	183
10.4.12	高增益振荡器	183
10.5	初始化/应用程序信息	183
10.5.1	引言	183
10.5.2	示例 1:外部晶振= 32 kHz，总线频率= 4.19 MHz	185
10.5.3	示例 2:外部晶振= 4 MHz，总线频率= 20 MHz	187
10.5.4	示例#3:无外部晶振连接，5.4 MHz 总线频率	189
10.5.5	示例#4:内部时钟发生器调整	191
破产重组保护 内部集成电路		
11.1	引言	193
11.1.1	功能	195
11.1.2	操作模式	195
11.1.3	框图	195
11.2	外部信号描述	196
11.2.1	SCL 一串行时钟线	196
11.2.2	SDA 一串行数据线	196
11.3	寄存器定义	196
11.3.1	IIC 地址登记簿 (IICA)	197
11.3.2	IIC 分频器寄存器 (IICF)	197
11.3.3	IIC 控制寄存器 (IICC1)	200
11.3.4	IIC 身份注册 (IICS)	200
11.3.5	IIC 数据输入/输出寄存器 (IICD)	201
11.3.6	IIC 控制寄存器 2 (IICC2)	202
11.4	功能描述	203
11.4.1	IIC 议定书	203

Section	Title	Page
	11.4.2 10-bit Address.....	206
	11.4.3 General Call Address.....	207
11	Resets.....	207
	11.6 Byte Transfer Interrupt.....	207
	11.6.1 Address Detect Interrupt.....	208
	11.6.2 Arbitration Lost Interrupt.....	208
11	Initialization / Application Information.....	208

第 12 章 键盘中断 (S08KBIV1)

12.1	导言 211
12.1.1	功能 211
12.1.2	KBI 框图 213
12.2	寄存器定义 213
12.2.1	KBI 状态和控制寄存器 (KBISC) 214
12.2.2	KBI 引脚使能寄存器 (KBIPE) 215
12.3	功能描述 215
12.3.1	引脚使能 215
12.3.2	边沿和电平敏感度 215
12.3.3	KBI 中断控制 216

第十三章 串行通信接口 (S08SCIV4)

13.1	导言 217
13.1.1	功能 219
13.1.2	操作模式 219
13.1.3	框图 220
13.2	寄存器定义 222
13.2.1	SCI 波特率寄存器 (SCIxBDH、SCIxBDL) 222
13.2.2	SCI 控制寄存器 1 (SCIxC1) 223
13.2.3	SCI 控制寄存器 2 (SCIxC2) 224
13.2.4	SCI 状态寄存器 1 (SCIxS1) 225
13.2.5	SCI 状态寄存器 2 (SCIxS2) 227
13.2.6	SCI 控制寄存器 3 (SCIxC3) 228
13.2.7	SCI 数据寄存器 (SCIxD) 229
13.3	功能描述 229
13.3.1	波特率生成 229
13.3.2	变送器功能描述 230
13.3.3	接收器功能描述 231
13.3.4	中断和状态标志 233
13.3.5	附加 SCI 功能 234

Chapter 14 Serial Peripheral Interface (S08SPIV3)

	14.1. Introduction	
14.1	Features.....	239
14.1.1	Block Diagrams.....	239
14.1.1	SPI Read Data Generation.....	241
14.2	External Signal Description.....	242
14.2.1	SPICLK SPI Serial Clock.....	242
14.2.2	MOSI Master Data Out, Slave Data In.....	242
14.2.3	MISO 一主机数据输入, 从机数据输出	242
14.2.4	SS 一从机选择	242
14.3	操作模式	243
14.3.1	停止模式下的 SPI	243
14.4	寄存器定义	243
14.4.1	SPI 控制寄存器 1 (SPIC1)	243
14.4.2	SPI 控制寄存器 2 (SPIC2)	244
14.4.3	SPI 波特率寄存器 (SPIBR)	245
14.4.4	SPI 状态寄存器 (SPIS)	246
14.4.5	SPI 数据寄存器 (SPID)	247
14.5	功能描述	248
14.5.1	SPI 时钟格式	248
14.5.2	SPI 中断	251
14.5.3	模式故障检测	251

第 15 章定时器/ PWM (S08TPMV3)

15.1	导言	253
15.2	功能	253
15.3	TPMV3 与以前版本的区别	255
15.3.1	从 TPMV1 迁移	257
15.3.2	功能	258
15.3.3	操作模式	258
15.3.4	框图	259
15.4	信号描述	261
15.4.1	详细的信号描述	261
15.5	寄存器定义	265
15.5.1	TPM 状态和控制寄存器 (TPMxSC)	265
15.5.2	TPM 计数器寄存器 (TPMxCNTH:TPMxCNTL)	266
15.5.3	TPM 计数器模寄存器 (TPMxMODH:TPMxMODL)	267
15.5.4	TPM 通道 n 状态和控制寄存器 (TPMxCnSC)	268
15.5.5	TPM 通道值寄存器 (TPMxCnVH:TPMxCnVL)	270
15.6	功能描述	271

Section	Title	Page
15.6.1	Counter.....	271
15.6.2	Channel Mode Selection.....	274
15.7	Reset Overview.....	277
15.7.1	General.....	277
15.7.2	Description of Reset Operation.....	277
15.8	Interrupts.....	277
15.8.1	General.....	277
15.8.2	Description of Interrupt Operation.....	277
from TPM v2 与 TPM v3 的区别		279

第 16 章发展支援

16.1	导言	283
16.1.1	功能	284
16.2	后台调试控制器(BDC)	284
16.2.1	BKGD 引脚描述	285
16.2.2	通信详细信息	286
16.2.3	BDC 命令	290
16.2.4	BDC 硬件断点	292
16.3	片上调试系统(DBG)	293
16.3.1	比较器 A 和 B	293
16.3.2	总线捕获信息和 FIFO 操作	293
16.3.3	流变化信息	294
16.3.4	标签与强制断点和触发器	294
16.3.5	触发模式	295
16.3.6	硬件断点	297
16.4	寄存器定义	297
16.4.1	BDC 寄存器和控制位	297
16.4.2	系统后台调试强制复位寄存器(SBDFR)	299
16.4.3	DBG 寄存器和控制位	300

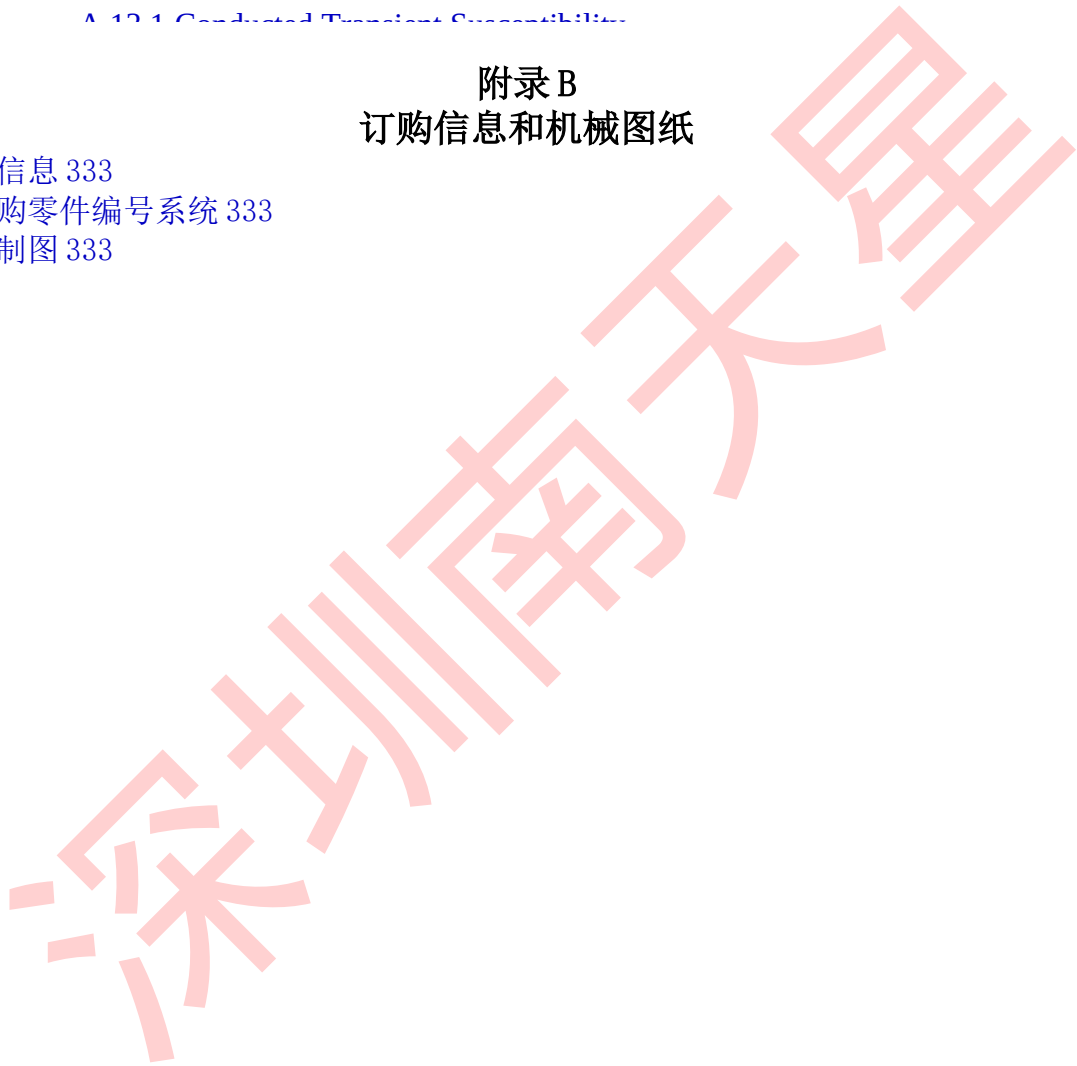
附录 A 电气特性和时序规格

A.1	导言	305
A.2	参数分类	305
A.3	绝对最大额定值	306
A.4	热特性	307
A.5	ESD 保护和抗闩锁	308
A.6	DC 特色	310
A.7	电源电流特性	314
A.8	ADC 特性	317
A.9	内部时钟生成模块特性	320

Section	Title	Page
	A.9.1 ICG Frequency Specifications.....	321
^	AC Characteristics.....	323
	A.10.1 Control Timing.....	323
	A.10.2 Timer/PWM (TPM) Module Timing.....	324
A.	SPI Characteristics.....	326
11	FLASH Specifications.....	329
^	EMC Performance.....	330
	A.12.1 Conducted Emission Susceptibility.....	336

附录 B 订购信息和机械图纸

- B.1 订购信息 333
- B.2 可订购零件编号系统 333
- B.3 机械制图 333



第一章引言

1.1 概观

MC9S08AC60 系列属于 8 位微控制器单元 (MCU) 的低成本、高性能 HCS08 系列。该系列的所有 MCU 都使用增强型 HCS08 内核，并提供各种模块、存储器大小、存储器类型和封装类型。有关内存大小和封装类型，请参考表 1-1。

表 1-1。MC9S08AC60 系列中的设备

设备	闪存	随机存取存储	包裹
MC9S08AC60	63, 280	2048	64 QFP 64 LQFP 封装 48 QFN 44 LQFP 封装 32 LQFP 封装
MC9S08AC48	49, 152		64 QFP 64 LQFP 封装 48 QFN 44 LQFP 封装 32 LQFP 封装
MC9S08AC32	32, 768		64 QFP 64 LQFP 封装 48 QFN 44 LQFP 封装 32 LQFP 封装

表 1-2 总结了 MC9S08AC60 系列 MCU 的可用功能集。

表 1-2。MC9S08AC60 系列外设按封装类型提供

特征	MC9S08AC60/48/32			
	64 针	48 针	44 针	32 针
循环冗余检验	是			
物理输出核心	16 通道	8 通道		六通道
IIC	是			
伊拉克	是			
KB11	8	七	6	四
SCI1	是			

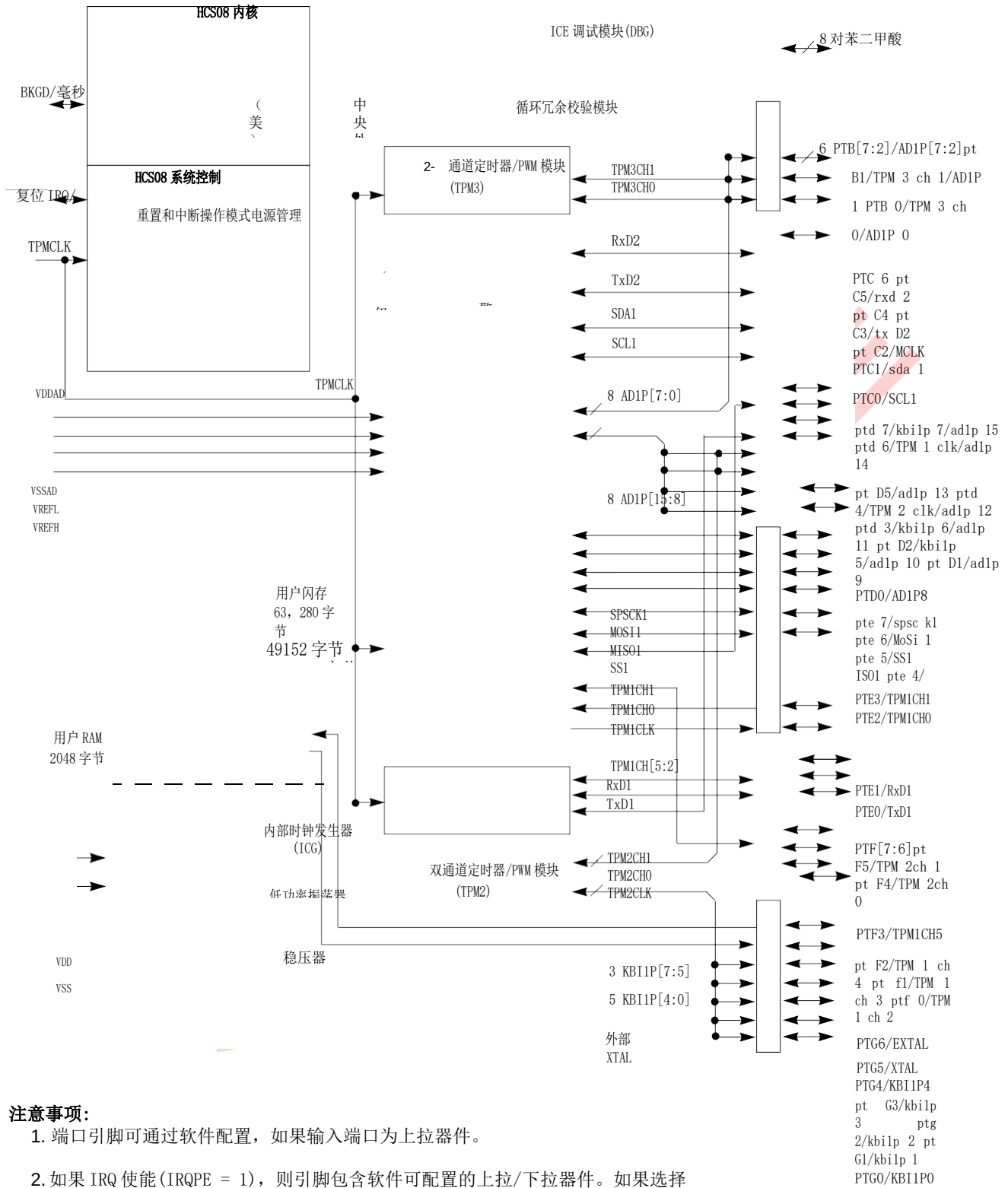
表 1-2。MC9S08AC60 系列外设按封装类型提供

特征	MC9S08AC60/48/32			
	64 针	48 针	44 针	32 针
SCI2	是			不
SPI1	是			
TPM1	六通道	四通 道		2 通道
TPM1CLK1	是	不		
TPM2	2 通道			
TPM2CLK1	是	不		
TPM3	2 通道			
TPMCLK 1	是			
I/O 引脚	54	38	34	22

1 TPMCLK、TPM1CLK 和 TPM2CLK 选项通过软件使用 TPMCCFG 位进行配置；复位后，TPM1CLK、TPM2CLK 和 TPMCLK 分别可供 TPM1、TPM2 和 TPM3 使用。有关 TPMxCLK 信号的功能描述，请参考 TPM 章节。

1.2 MCU 框图

框图显示了 MC9S08AC60 系列 MCU 的结构。



注意事项:

1. 端口引脚可通过软件配置，如果输入端口为上拉器件。
2. 如果 IRQ 使能 (IRQPE = 1)，则引脚包含软件可配置的上拉/下拉器件。如果选择上升沿检测 (IRQEDG = 1)，则下拉使能
3. 引脚包含集成的上拉器件。
4. PTD3、PTD2、PTD7 和 PTG4 包含上拉和下拉器件。当 KBI 使能 (KBIPEn = 1) 且选择上升沿 (KBEDGn = 1) 时，下拉使能。
5. TPMCLK、TPM1CLK 和 TPM2CLK 选项通过软件配置：复位后，TPM1CLK、TPM2CLK 和 TPMCLK 分别可供 TPM1、TPM2 和 TPM3 使用。

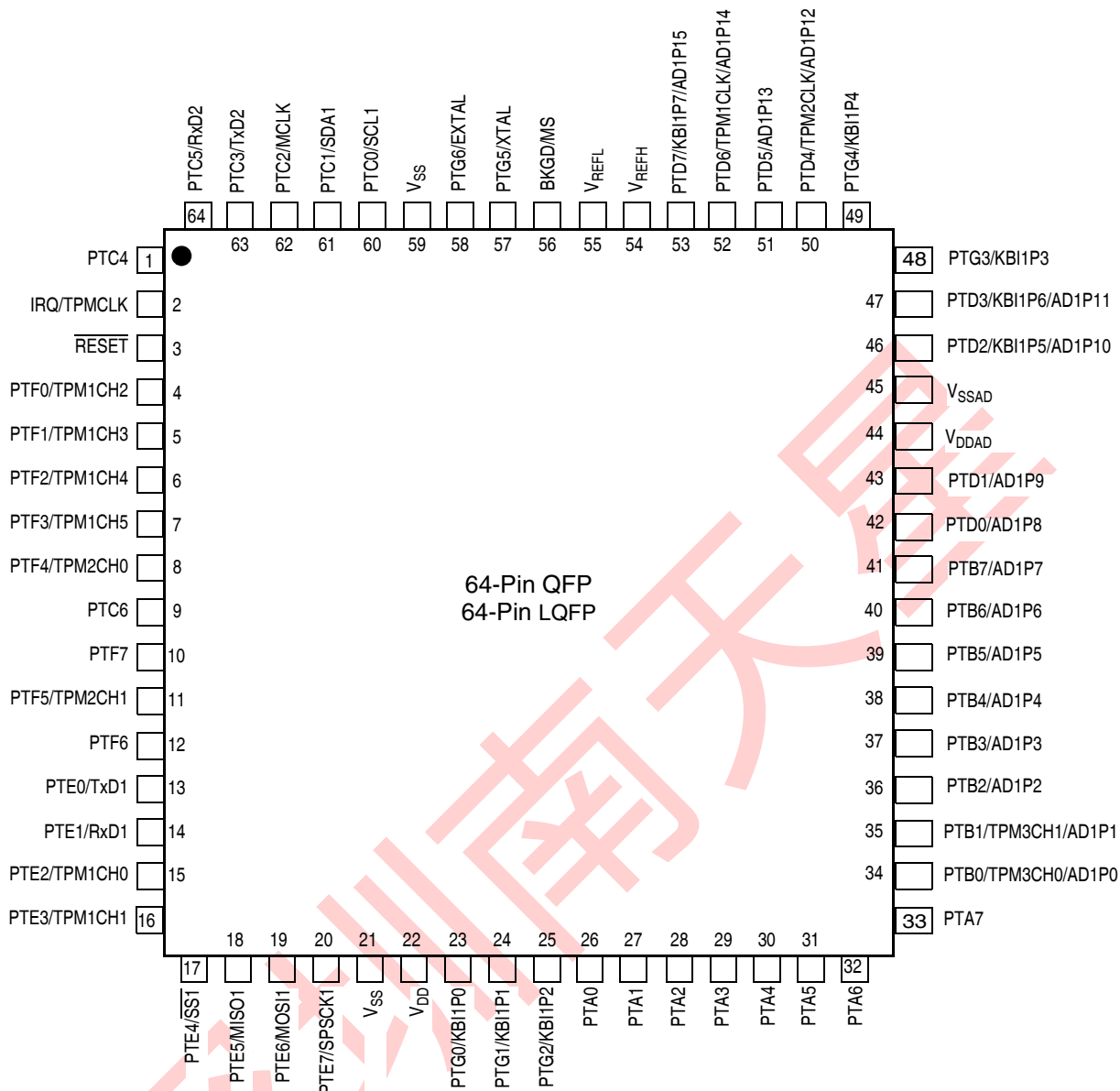


Figure 2-1. MC9S08AC60 Series in 64-Pin QFP or LQFP Package

Figure 2-2 shows the 48-pin QFN pin assignments for the MC9S08AC60 Series device.

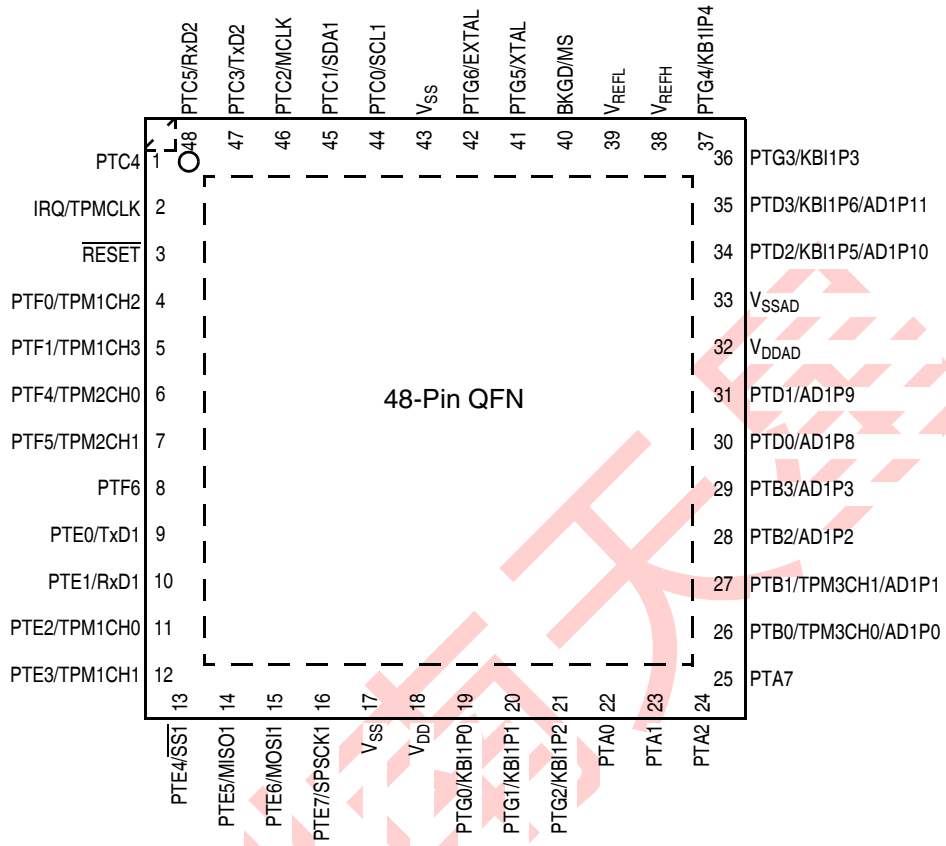


Figure 2-2. MC9S08AC60 Series in 48-Pin QFN Package

Figure 2-3. shows the 44-pin LQFP pin assignments for the MC9S08AC60 Series device.

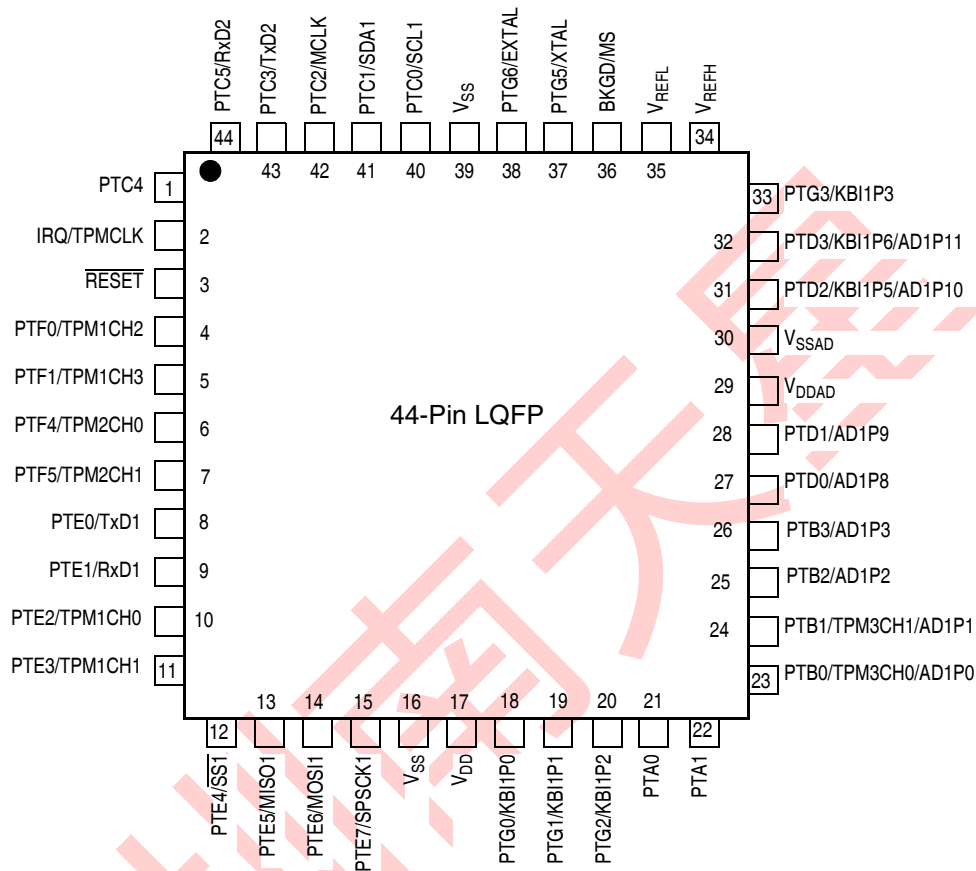


Figure 2-3. MC9S08AC60 Series in 44-Pin LQFP Package

Figure 2-4. shows the 32-pin LQFP pin assignments for the MC9S08AC60 Series device.

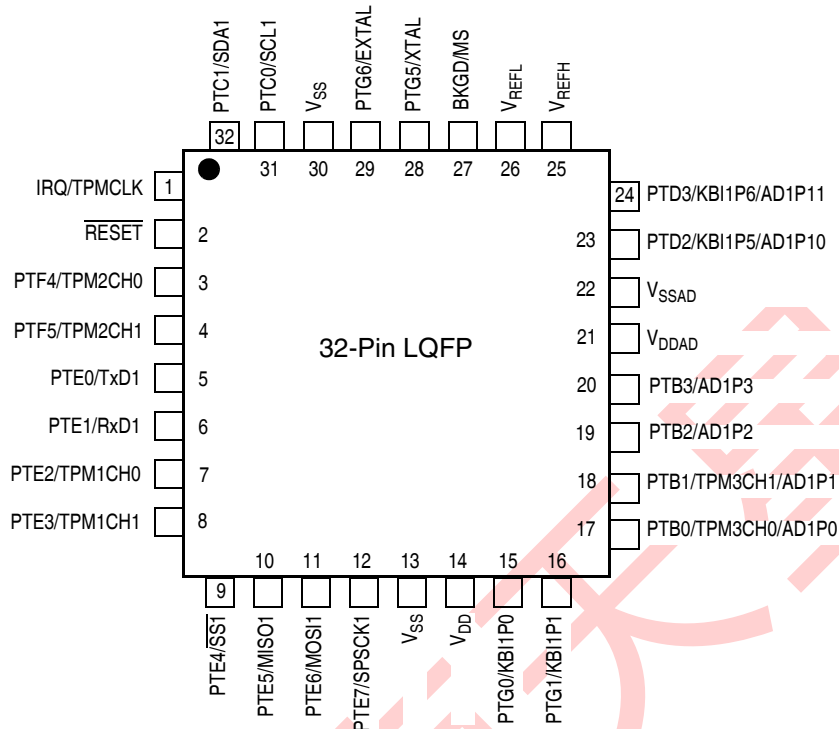


Figure 2-4. MC9S08AC60 Series in 32-Pin LQFP Package

2.3 Recommended System Connections

Figure 2-5 shows pin connections that are common to almost all MC9S08AC60 Series application systems.

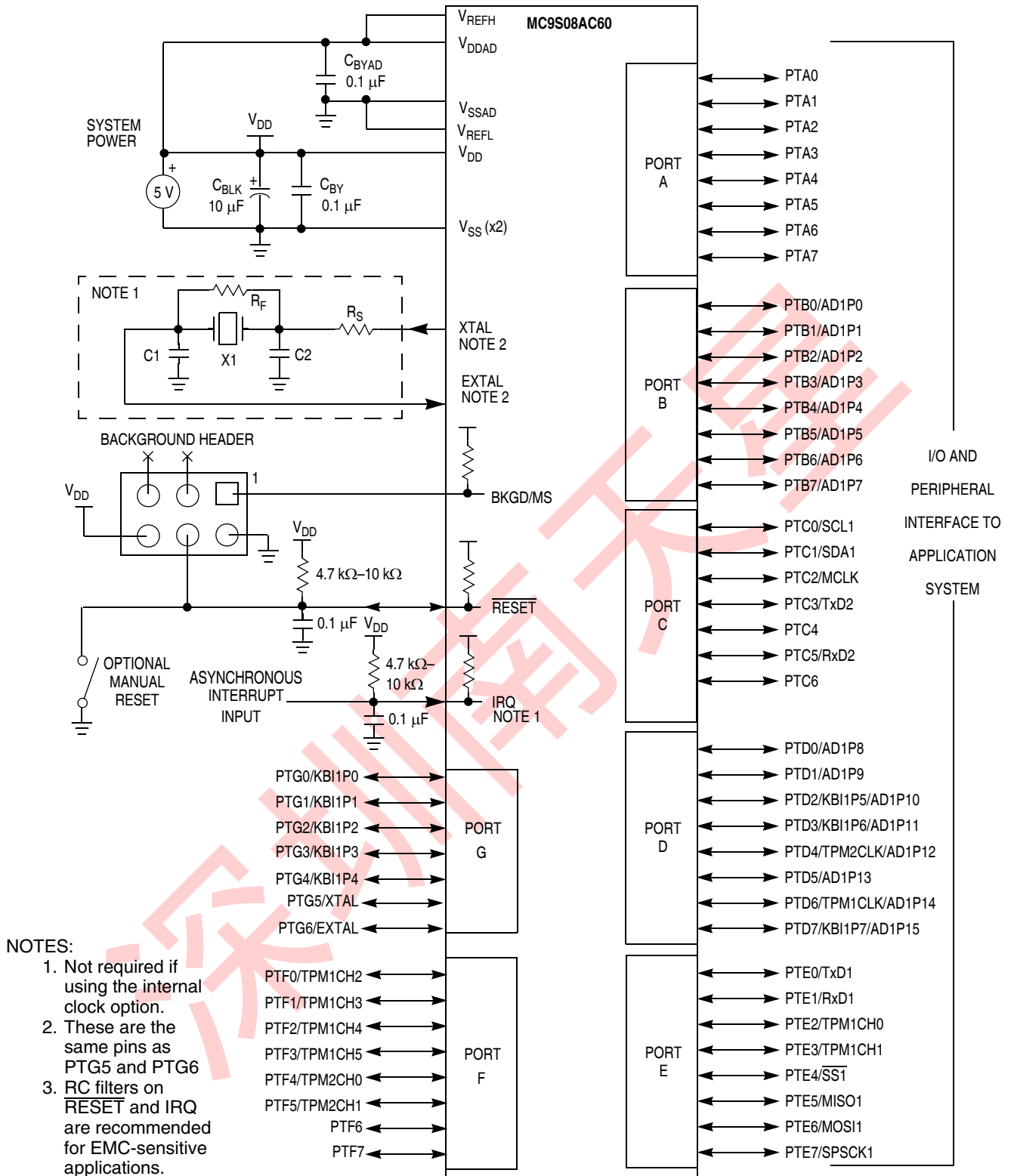


Figure 2-5. Basic System Connections