

# 新的 QFN 软件包迁移的附录

本附录提供了本书所涵盖产品的 98A 案例大纲编号的更改。由于一些包裹中从金线迁移到铜线，案件大纲发生了变化。有关旧（金线）包装与新（铜线）包装，请参阅下表。

要查看新图纸，请访问 [Freescale.com](http://Freescale.com) 并搜索您设备的新 98A 软件包编号。

有关 QFN 软件包使用的更多信息，请参阅 EB806：*QFN 和 DFN 封装上暴露垫的电气连接建议*。

部件号	包裹描述	原始（金丝）包裹文件编号	当前（铜线）包装文件号
MC68HC908JW32	48 QFN	98ARH99048A	98ASA00466D
MC9S08AC16			
MC9S908AC60			
MC9S08AC128			
MC9S08AW60			
MC9S08GB60A			
MC9S08GT16A			
MC9S08JM16			
MC9S08JM60			
MC9S08LL16			
MC9S08QE128			
MC9S08QE32			
MC9S08RG60			
MCF51CN128			
MC9RS08LA8	48 QFN	98ARL10606D	98ASA00466D
MC9S08GT16A	32 QFN	98ARH99035A	98ASA00473D
MC9S908QE32	32 QFN	98ARE10566D	98ASA00473D
MC9S908QE8	32 QFN	98ASA00071D	98ASA00736D
MC9S08JS16	24 QFN	98ARL10608D	98ASA00734D
MC9S08QB8			
MC9S08QG8	24 QFN	98ARL10605D	98ASA00474D
MC9S08SH8	24 QFN	98ARE10714D	98ASA00474D
MC9RS08KB12	24 QFN	98ASA00087D	98ASA00602D
MC9S08QG8	16 QFN	98ARE10614D	98ASA00671D
MC9RS08KB12	8 DFN	98ARL10557D	98ASA00672D
MC9S08QG8			
MC9RS08KA2	6 DFN	98ARL10602D	98ASA00735D

新 QFN 软件包迁移附录，Rev.0

# MC9S08QG8

# MC9S08QG4

## 数据表

**HCS08**  
微控制器

MC9S08QG8  
修订版 5  
11/2009

[Freescale.com](http://Freescale.com)



## MC9S08QG8/4 功能

### 8 位 HCS08 中央处理器单元 (CPU)

- 20MHz HCS08 CPU (中央处理器单元)
- 添加了 BGND 指令的 HC08 指令集
- 后台调试系统
- 断点功能允许在电路调试期间设置单个断点 (加上片上调试模块中的另外两个断点)
- 包含两个比较器和九种触发模式的调试模块。八个用于存储流量更改地址和仅事件数据的深度 FIFO 调试模块支持标签和强制断点
- 支持多达 32 个中断/重置源

### 内存选项

- 在全工作电压和温度下读取/编程/擦除闪存
- MC9S08QG8 — 8 KB 闪存, 512 字节 RAM  
MC9S08QG4 — 4 KB 闪存, 256 字节 RAM

### 省电模式

- 等待加上三站

### 时钟源选项

- **ICS**—内部时钟源模块包含由内部或外部参考控制的频率锁定环 (FLL)；内部参考的精确修剪允许 0.2% 的分辨率和 2% 的温度和电压偏差；支持 1 MHz 至 10 MHz 的总线频率
- **XOSC**—低功耗振荡器模块  
软件可选晶体或陶瓷谐振器范围，31.25 kHz 至 38.4 kHz 或 1 MHz 至 16 MHz，并支持外部时钟源输入高达 20 MHz

## 系统保护

- 看门狗计算机正常运行 (COP) 重置，可以选择从专用的 1kHz 内部时钟源或总线时钟运行
- 通过重置或中断进行低压检测
- 重置的非法操作码检测
- 重置后非法地址检测
- FLASH 块保护

## 外围设备

- **ADC**—8 通道、10 位模数转换器，具有自动比较功能、异步时钟源、温度传感器和内部带隙参考通道；ADC 可以使用 RTI 计数器触发硬件
- **ACMP**—模拟比较器模块，可选择与内部参考进行比较；输出可以选择路由到 TPM 模块
- **SCI**—带有 13 位中断功能选项的串行通信接口模块
- **SPI**—串行外设接口模块
- **IIC**—集成电路总线模块
- **TPM**—2 通道定时器/脉冲宽度调制器；每个通道可用于输入捕获、输出比较缓冲边缘对齐 PWM 或缓冲中心对齐 PWM
- **MTIM**—带有 8 位预缩放器的 8 位模调制定时器模块

- **KBI**—8 针键盘中断模块，边缘或边缘/电平模式下具有软件可选极性

## 输入/输出

- 12 个通用输入/输出 (I/O) 引脚，一个仅输入引脚和一个仅输出引脚；输出每个 10 毫安，包装最大 60 毫安
- 当用作输入时，端口上的软件可选上拉
- 当用作输出时，软件可选择的流速率控制和端口上的驱动强度
- **RESET** 和 **IRQ** 引脚的内部拉取，以降低客户系统成本

## 发展支持

- 单线后台调试接口
- 具有实时总线捕获的片上、电路内仿真 (ICE)

## 套餐选项

- 24 针四平无铅 (QFN) 封装
- 16 针塑料双在线包装 (PDIP) ——仅限 MC9S08QG8
- 16 针四平无铅 (QFN) 封装
- 16 针薄收缩小轮廓包 (TSSOP)
- 8 针双扁平无铅 (DFN) 封装
- 8 针 PDIP — *MC9S08QG4 仅限*
- 8 针窄体小轮廓集成电路 (SOIC) 套餐

# MC9S08QG8 数据表

# 涵盖 MC9S08QG8 MC9S08QG4

MC9S08QG8  
 修订版 5  
 11/2009

Freescal<sup>TM</sup>和 Freescal<sup>e</sup> 徽标是飞思卡尔半导体公司的商标。

© Freescale Semiconductor, Inc. · 2007-2009。保留所有权利。



## 修订历史

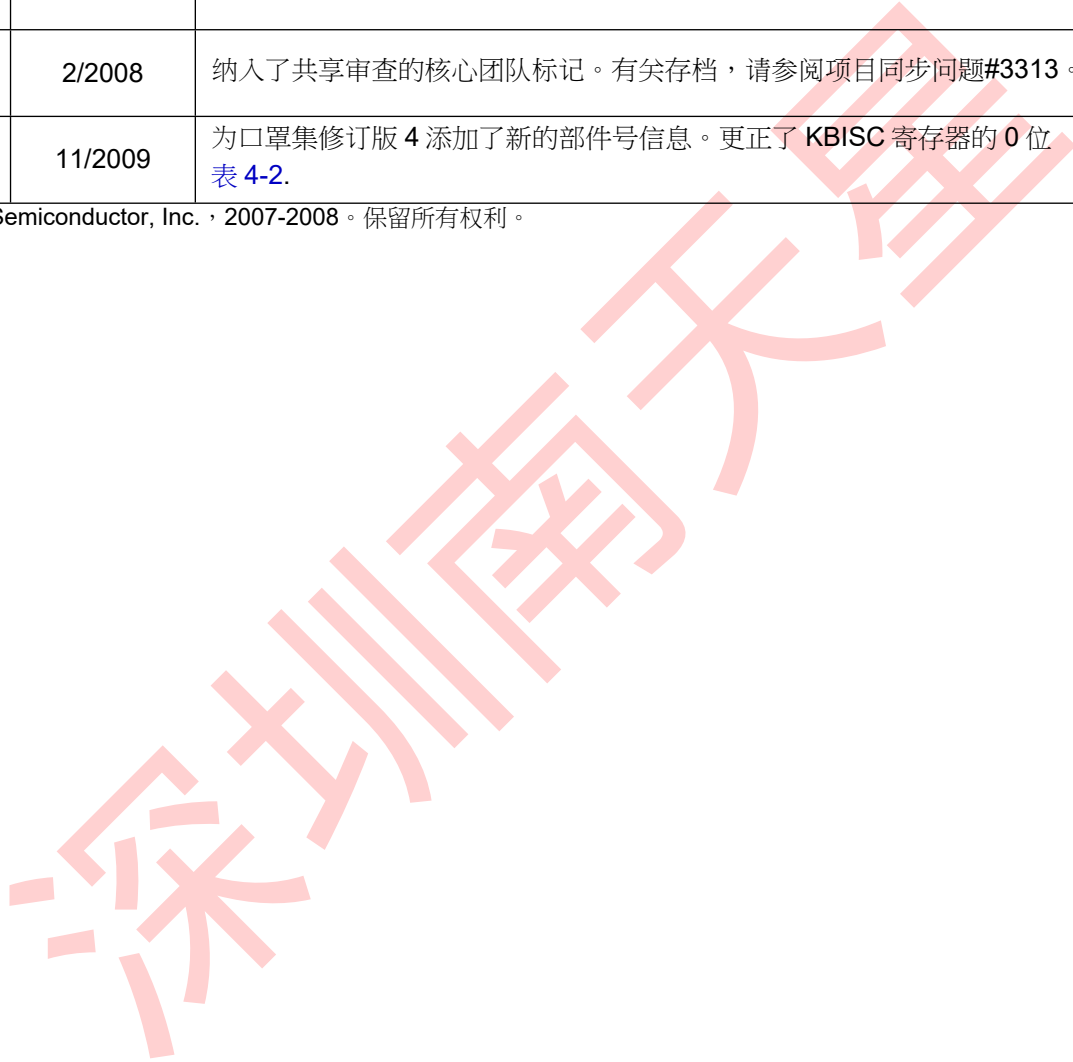
为了提供最新信息，我们对万维网上文件的修订将是最新的。您的打印副本可能是更早的修订版。要验证您是否有可用的最新信息，请参阅：[Http://freescale.com/](http://freescale.com/)

以下修订历史记录表总结了本文档中包含的更改。

Rev No.	修订日期	更改描述
---------	------	------

2 草案 A	06/08/2006	<p>以前的版本是 1.01；从现在开始，修订编号将增加整数。</p> <p>澄清了 PTA5 上拉行为说明；澄清了 FCDIV 在重置后写一次；扩展的 FPROT/NVPROT 寄存器描述，添加了如果 COP 在擦除功能期间启用了为 COP 提供服务的说明；添加了在 ACMP 介绍中使用 ACMP0 的要求；在 ICS 介绍中添加了工厂修剪值部分；在开发支持章节中添加了调试部分；更新了 RTI 期并添加了 RTI 图来控制时间部分；其他小的语法编辑。</p>
3	10/2007	<p>添加了 24 针 QFN 软件包，并更新了 A-5。直流特性表电源电压行。</p>
4	2/2008	<p>纳入了共享审查的核心团队标记。有关存档，请参阅项目同步问题#3313。</p>
5	11/2009	<p>为口罩集修订版 4 添加了新的部件号信息。更正了 KBISC 寄存器的 0 位表 4-2。</p>

© Freescale Semiconductor, Inc. , 2007-2008。保留所有权利。





## 第 1 章 设备概述

1.1	介绍 .....	19
1.1.1	MC9S08QG8/4 系列的设备 .....	19
1.1.2	MCU 方框图 .....	20

## 第 2 章 外部信号描述

2.1	设备引脚分配 .....		23
2.2	推荐系统连接 .....		25
2.2.1	电源 .....		26
2.2.2	振荡器 (XOSC) .....		27
2.2.3	重置 (仅限输入) .....		27
2.2.4	背景/模式选择 (BKGD/MS) .....	28	2.2.5 通
	用 I/O 和外围端口 .....	28	

## 第 3 章 操作模式

3.1	介绍 .....		33
3.2	特点 .....		33
3.3	运行模式 .....		33
3.4	活动背景模式 .....	33	3.5 等待模
	式 .....		34
3.6	停止模式 .....		35
	3.6.1 Stop3 模		
	式 .....	35	3.6.2 Stop2
	模式 .....		36
	3.6.3 Stop1 模式 .....	37	3.6.4 停止模式下
	的片上外围模块 .....	37	

## 第 4 章 内存地图和寄存器定义

4.1	MC9S08QG8/4 内存地图 .....		39
4.2	重置和中断矢量分配 .....		40

Section Number	Title	Page
4.3	注册地址和位分配.....	41
4.4	RAM.....	45
4.5	FLASH.....	46
4.5.1	特点.....	47
4.5.2	程序和擦除时间.....	47
4.5.3	程序和擦除命令执行.....	48
4.5.4	突发程序执行.....	49
4.5.5	访问错误.....	51
4.5.6	闪存块保护.....	51
4.5.7	矢量重定向.....	52
4.6	安全.....	52
4.7	FLASH 寄存器和控制位.....	54
4.7.1	FLASH 时钟分频器寄存器 (FCDIV) .....	54
4.7.2	FLASH 选项寄存器 (FOPT 和 NVOPT) .....	55
4.7.3	FLASH 配置寄存器 (FCNFG) .....	56
4.7.4	闪存保护寄存器 (FPROT 和 NVPROT) .....	56
4.7.5	FLASH 状态寄存器 (FSTAT) .....	57 4.7.6
	FLASH 命令寄存器 (FCMD) .....	58
<b>第 5 章</b>		
<b>重置、中断和一般系统控制</b>		
5.1	介绍.....	59
5.2	特点 .....	59
5.3	MCU 重 置.....	59
5.4	计算机正常运行 (COP) 看门狗.....	60
5.5	中断 .....	61
5.5.1	中断堆栈框架.....	62
5.5.2	外部中断请求引脚 (IRQ) .....	62
5.5.3	中断矢量、来源和局部掩码 .....	63
5.6	低压检测 (LVD) 系统.....	65
5.6.1	开机重置操作.....	65

5.6.2 LVD 重置操作.....	65
5.6.3 LVD 中断操作.....	65
5.6.4 低压警告 (LVW) .....	65
5.7 实时中断 (RTI) .....	65
5.8 重置、中断和系统控制寄存器和控制位.....	66
5.8.1 中断引脚请求状态和控制寄存器 (IRQSC) .....	67
5.8.2 系统重置状态寄存器 (SRS) .....	68
5.8.3 系统后台调试强制重置寄存器 (SBD FR) .....	69
5.8.4 系统选项寄存器 1 (SOPT1) .....	70
5.8.5 系统选项寄存器 2 (SOPT2) .....	71
5.8.6 系统设备识别寄存器 (SDIDH、SDIDL) .....	72
5.8.7 系统实时中断状态和控制寄存器 (SRTISC) .....	73
5.8.8 系统电源管理状态和控制 1 寄存器 (SPMSC1) .....	74
5.8.9 系统电源管理状态和控制 2 寄存器 (SPMSC2) .....	75
5.8.10 系统电源管理状态和控制 3 寄存器 (SPMSC3) .....	76

Section Number	Title	Page
<b>第 6 章</b>		
<b>并行输入/输出控制</b>		
6.1	港口数据和数据方向.....	77
6.2	引脚控制——上拉、下降率和驱动强度.....	78
6.3	停止模式下的引脚行为.....	79
6.4	平行 I/O 寄存器.....	79
6.4.1	Port A Registers.....	79
6.4.2	端口 A 控制寄存器.....	80
6.4.3	B 端口登记册.....	83
6.4.4	B 端口控制寄存器.....	84
<b>第 7 章</b>		
<b>中央处理器单元 (S08CPUV2)</b>		
7.1	介绍.....	87
7.1.1	特点.....	87
7.2	程序员的模型和 CPU 寄存器.....	88
7.2.1	累加器 (A).....	88
7.2.2	索引登记册 (H:X).....	88
7.2.3	堆栈指针	
(SP)	.....	89
7.2.4	程序计数器	
(PC)	.....	89
7.2.5	条件代码寄存器 (CCR).....	89
7.3	寻址模式.....	91
7.3.1	固有寻址模式 (INH).....	91
7.3.2	相对寻址模式 (REL).....	91
7.3.3	立即寻址模式 (IMM).....	91
7.3.4	直接寻址模式 (DIR).....	91
7.3.5	扩展寻址模式 (EXT).....	92
7.3.6	索引寻址模式.....	92
7.4	特别行动.....	93
7.4.1	重置顺序.....	93

Section Number	Title	Page
7.4.2	中断序列.....	93
7.4.3	等待模式操作.....	94
7.4.4	停止模式操作.....	94
7.4.5	BGND 指令 .....	95 7.5
HCS08 指令集摘要.....		96

## 第 8 章

### 模拟比较器 (S08ACMPV2)

8.1	介绍.....	107
8.1.1	ACMP 配置信息.....	107
8.1.2	ACMP/TPM 配置信息 .....	107
8.1.3	特点.....	109
8.1.4	操作模式 .....	109
8.1.5	方框图.....	109
8.2	外部信号描述 .....	111
8.3	注册定义.....	111
8.3.1	ACMP 状态和控制登记册 (ACMPSC) .....	112 8.4 功
能描述.....		113

## 第 9 章

### 模数转换器 (S08ADC10V1)

9.1	介绍.....	115
9.1.1	模块配置.....	117 9.1.2 特
	点.....	119
9.1.3	方框图.....	119
9.2	外部信号描述 .....	120
9.2.1	模拟功率 ( $V_{DDAD}$ ).....	121
9.2.2	模拟地面 ( $V_{SSAD}$ ).....	121
9.2.3	电压参考高 ( $V_{REFH}$ ) .....	121
9.2.4	电压参考低 ( $V_{REFL}$ ) .....	121
9.2.5	模拟通道输入	
	(ADx) .....	121

Section Number	Title	Page
9.3	注册定义.....	121
9.3.1	状态和控制登记册 1 (ADCSC1) .....	121
9.3.2	状态和控制登记册 2 (ADCSC2) .....	123
9.3.3	数据结果高寄存器 (ADCRH) .....	124
9.3.4	数据结果低寄存器 (ADCRL) .....	124
9.3.5	比较价值高寄存器 (ADCCVH) .....	125
9.3.6	比较值低寄存器 (ADCCVL) .....	125
9.3.7	配置寄存器 (ADCCFG) .....	125
9.3.8	Pin Control 1 Register (APCTL1) .....	127
9.3.9	引脚控制 2 寄存器 (APCTL2) .....	128
9.3.10	引脚控制 3 寄存器 (APCTL3) .....	129
9.4	功能描述.....	130
9.4.1	时钟选择和分隔控制.....	130
9.4.2	输入选择和引脚控制.....	131
9.4.3	硬件触发器.....	131
9.4.4	转换控制.....	131
9.4.5	自动比较功能.....	134
9.4.6	MCU 等待模式操作.....	134
9.4.7	MCU Stop3 模式操作.....	134
9.4.8	MCU Stop1 和 Stop2 模式操作.....	135
9.5	初始化信息 .....	135
9.5.1	ADC 模块初始化示例.....	135
9.6	申请信息.....	137
9.6.1	外部引脚和路由 .....	137
9.6.2	错误来源.....	139

## 第 10 章 内部时钟源 (S08ICSV1)

10.1	介绍.....	143
10.1.1	模块配置.....	143
10.1.2	工厂修剪价值 .....	143
10.1.3	特点.....	145

Section Number	Title	Page
10.1.4	操作模式 .....	145
10.1.5	方框图.....	146
10.2	外部信号描述 .....	147
10.3	注册定义.....	147
10.3.1	ICS 控制登记册 1 (ICSC1) .....	147
10.3.2	ICS 控制登记册 2 (ICSC2) .....	148
10.3.3	ICS 修剪寄存器 (ICSTRM) .....	149
10.3.4	ICS 状态和控制 (ICSSC) .....	149
10.4	功能描述.....	150
10.4.1	操作模式.....	150
10.4.2	模式切换.....	152
10.4.3	总线分频器.....	152
10.4.4	低功耗位使用.....	153
10.4.5	内部参考时钟.....	153
10.4.6	可选的外部参考时钟.....	153
10.4.7	固定频率时钟.....	153

## 第 11 章 集成电路 (S08IICV1)

11.1	简介.....	155
11.1.1	模块配置.....	155
11.1.2	特点.....	157
11.1.3	操作模式 .....	157
11.1.4	方框图.....	158
11.2	外部信号描述 .....	158
11.2.1	SCL — 串行时钟线.....	158
11.2.2	SDA — 串行数据线.....	158
11.3	注册定义.....	158
11.3.1	IIC 地址登记册 (IICA) .....	159
11.3.2	IIC 分频器寄存器 (IICF) .....	159
11.3.3	IIC 控制登记册 (IICC) .....	162

Section Number	Title	Page
11.3.4	IIC 状态登记册 (IICS) .....	163
11.3.5	IIC 数 据 I/O 寄 存 器 (IICD) .....	164
11.4	功能描述.....	165
11.4.1	IIC 协议.....	165
11.5	重置.....	168
11.6	中 断.....	16
8		
11.6.1	字节传输中断.....	169
11.6.2	地址检测中断.....	169
11.6.3	仲裁丢失中断.....	169
11.7	初始 化/申请信息 .....	170

## 第 12 章 键盘中断 (S08KBIV2)

12.1	介绍.....	173
12.1.1	特点.....	175
12.1.2	操作模式 .....	175
12.1.3	方框图.....	175
12.2	外部信号描述 .....	176
12.3	注册定义.....	176
12.3.1	KBI 状态和控制登记册 (KBISC) .....	176
12.3.2	KBI 引脚启用寄存器 (KBIPE) .....	177
12.3.3	KBI 边缘选择寄存器 (KBIES) .....	177
12.4	功能描述.....	178
12.4.1	只有边缘敏感性.....	178
12.4.2	边缘和水平灵敏度.....	178
12.4.3	KBI 上拉/下拉电阻.....	179
12.4.4	KBI 初始 化.....	179

## 第 13 章 模块计时器 (S08MTIMV1)

Section Number	Title	Page
13.1	介绍.....	181
13.1.1	MTIM/TPM 配置信息.....	181
13.1.2	功能.....	183
13.1.3	操作模式 .....	183
13.1.4	方块图.....	184
13.2	外部信号描述 .....	184
13.3	注册定义.....	184
13.3.1	MTIM 状态和控制登记册 (MTIMSC) .....	186
13.3.2	MTIM 时钟配置寄存器 (MTIMCLK) .....	187
13.3.3	MTIM 计数器 (MTIMCNT) .....	188
13.3.4	MTIM Modulo Register (MTIMMOD).....	188
13.4	功能描述.....	189
13.4.1	MTIM 操作示例.....	190
<b>第 14 章</b>		
<b>串行通信接口 (S08SCIV3)</b>		
14.1	简介.....	191
14.1.1	特点.....	194
14.1.2	操作模式 .....	194
14.1.3	方框图.....	195
14.2	注册定义.....	197
14.2.1	SCI Baud Rate Registers (SCIBDH, SCIBHL).....	197
14.2.2	SCI 控制登记册 1 (SCIC1) .....	198
14.2.3	SCI 控制登记册 2 (SCIC2) .....	199
14.2.4	SCI 状态登记册 1 (SCIS1) .....	200
14.2.5	SCI 状态登记册 2 (SCIS2) .....	202
14.2.6	SCI 控制寄存器 3 (SCIC3) .....	202
14.2.7	SCI 数据登记册 (SCID) .....	203
14.3	功能描述.....	204
14.3.1	Baud 率生成.....	204
14.3.2	发射器功能描述.....	204
14.3.3	接收器功能描述.....	206
14.3.4	中断和状态标志.....	207

Section Number	Title	Page
14.4	其他 SCI	功能
	能.....	208
14.4.1	8 位和 9 位数据模式.....	208
14.4.2	停止模式操作.....	209
14.4.3	循环模式.....	209 14.4.4
	单线操作.....	209

## 第 15 章 串行外设接口 (S08SPIV3)

15.1	介绍.....	211
15.1.1	特点.....	213
15.1.2	方框图.....	213
15.1.3	SPI 波特率生成.....	215
15.2	外部信号描述.....	216
15.2.1	SPSCK — SPI 串行时钟.....	216
15.2.2	MOSI — 主数据输出，从数据进入.....	216
15.2.3	MISO — 主数据进入，从数据输出.....	216
15.2.4	SS — 奴隶选择.....	216
15.3	操作模式.....	217
15.3.1	停止模式下的 SPI.....	217
15.4	注册定义.....	217
15.4.1	SPI 控制寄存器 1 (SPIC1).....	217 15.4.2
	SPI 控制寄存器 2 (SPIC2).....	218
15.4.3	SPI Baud Rate Register (SPIBR).....	219
15.4.4	SPI 状态登记册 (SPIS).....	220
15.4.5	SPI 数据寄存器 (SPID).....	221
15.5	功能描述.....	222
15.5.1	SPI 时钟格式.....	222
15.5.2	SPI 中断.....	225 15.5.3
	模式故障检测.....	225

## 第 16 章

## 定时器/脉冲宽度调制器 (S08TPMV2)

16.1	介绍	227
16.1.1	ACMP/TPM 配置信息	227
16.1.2	MTIM/TPM 配置信息	227
16.1.3	特点	229
16.1.4	方框图	229
16.2	外部信号描述	231
16.2.1	外部 TPM 时钟源	231
16.2.2	TPMCHn — TPM Channel n I/O Pins	231
16.3	注册定义	231
16.3.1	计时器状态和控制寄存器 (TPMSC)	232
16.3.2	计时器计数器 (TPMCNTH : TPMCNTL)	233
16.3.3	计时器计数器调制寄存器 (TPMMODH : TPMMODL)。	234
16.3.4	计时器通道 n 状态和控制寄存器 (TPMCnSC)	235
16.3.5	定时器通道值寄存器 (TPMCnVH : TPMCnVL)	236
16.4	功能描述	237
16.4.1	柜台	237
16.4.2	通道模式选择	238
16.4.3	中心对齐 PWM 模式	240
16.5	TPM 中断	241
16.5.1	清除计时器中断标志	241
16.5.2	计时器溢出中断描述	241
16.5.3	通道事件中断描述	242
16.5.4	PWM 工作周期结束事件	242

## 第 17 章 发展支持

17.1	简介	243
17.1.1	模块配置	243
17.1.2	特点	244
17.2	后台调试控制器 (BDC)	244

Section Number	Title	Page
17.2.1	BKGD 引脚描述.....	245
17.2.2	通信详细信息 .....	246
17.2.3	BDC 命令.....	248
17.2.4	BDC 硬件断点.....	251
17.3	芯片调试系统 (DBG) .....	252
17.3.1	比较器 A 和 B.....	252
17.3.2	总线捕获信息和 FIFO 操作.....	252
17.3.3	流量变化信息.....	253
17.3.4	标签与断点和触发器 .....	253
17.3.5	触发模式.....	254
17.3.6	硬件断点.....	256
17.4	注册定义.....	256
17.4.1	BDC 寄存器和控制位.....	256
17.4.2	系统后台调试强制重置寄存器 (SBDFR) .....	258
17.4.3	DBG 寄存器和控制位.....	259

## 附录 A 电气特性

A.1	简介 .....	265
A.2	绝对最大评级 .....	265
A.3	热特性.....	266
A.4	ESD 保护和锁定免疫.....	268
A.5	DC 特性.....	269
A.6	供应电流特性.....	272
A.7	外部振荡器 (XOSC) 和内部时钟源 (ICS) 特性.....	274
A.8	AC 特性.....	276
A.8.1	控制时机.....	276
A.8.2	TPM/MTIM 模块定时.....	277
A.8.3	SPI 时机.....	278
A.9	模拟比较器 (ACMP) 电气.....	282
A.10	ADC 特性.....	282
A.11	闪存 .....	规范

格.....		
.....		285
A.12 EMC 性能.....		286
A.12.1 辐射排放.....		286
A.12.2 传导电易感性.....		286

## 附录 B

### 订购信息和机械图纸

B.1	订购信息.....	289
B.1.1	设备编号方案.....	289
B.2	机械图纸.....	289



# 第 1 章

## 设备概述

### 1.1 简单介绍

MC9S08QG8 是低成本、高性能 HCS08 系列 8 位微控制器单元 (MCU) 的成员。该系列中的所有 MCU 都使用增强的 HCS08 核心，并提供各种模块、内存大小、内存类型和软件包类型。参考表 1-1 对于与本系列中每个设备相关的功能。

#### 1.1.1 MC9S08QG8/4 系列中的设备

表 1-1 总结了 MC9S08QG8/4 系列 MCU 中可用的功能。

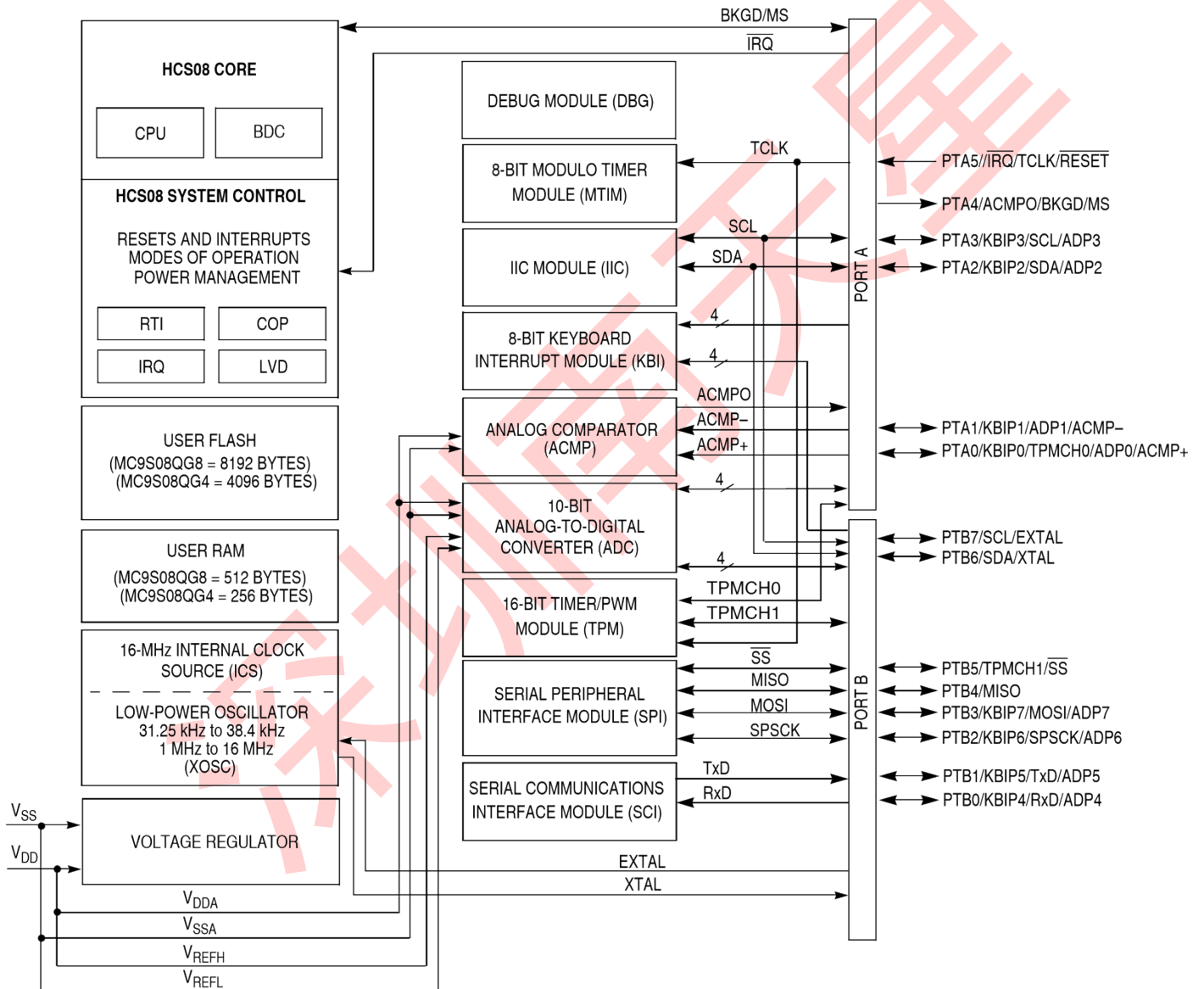
表 1-1 • MC9S08QG8/4 系列中的设备

特征	装置					
	MC9S08QG			MC9S08QG4		
包裹	24 针	16 针	8 针	24 针	16 针	8 针
闪光灯	8K			4K		
公羊	512			256		
XOSC	是	是	不是	是	是	不是
ICS	是			是		
ACMP	是			是		
ADC	8-ch	8-ch	4-ch	8-ch	8-ch	4-ch
DBG	是			是	是	是
IIC	是			是		
IRQ	是			是		
KBI	8 针	8 针	4 针	8 针	8 针	4 针
MTIM	是			是		
SCI	是	是	不是	是	是	不是
SPI	是	是	不是	是	是	不是
TPM	2-ch	2-ch	1-ch	2-ch	2-ch	1-ch

I/O 引脚	12 I/O 仅限 1 个输出 1 仅输入	12 I/O 仅限 1 个输出 1 仅输入	4 I/O 仅限 1 个输出 1 仅输入	12 I/O 仅限 1 个输出 1 仅输入	12 I/O 仅限 1 个输出 1 仅输入	4 I/O 仅限 1 个输出 1 仅输入
包装类型	24 QFN	16 PDIP 16 QFN 16 TSSOP	8 DFN 8 SOIC	24 QFN	16 QFN 16 TSSOP	8 DFN 8 PDIP 8 SOIC

Freescall 半导体  
第 1 章设备概述

### 1.1.2 MCU 方框图



注：

- 并非所有引脚或引脚功能在所有设备上都可使用；请参阅表 1-1 对于每个设备上的可用功能。
- 如果是输入端口，端口引脚是可与上拉设备配置的软件。
- 端口引脚是可为输出驱动强度配置的软件。

MC9S08QG8 and MC9S08QG4 Data Sheet, Rev. 5

- 4 端口引脚是可配置用于输出减压速率控制的软件。
- 5 如果  $\overline{\text{PTA5}}$  启用为 IRQ 引脚功能 ( $\text{IRQPE} = 1$ )，IRQ 包含一个软件可配置 ( $\text{IRQPDD}$ ) 上拉设备。
- 6 如果  $\text{PTA5}$  启用为重置引脚功能 ( $\text{RSTPE} = 1$ )，重置包含集成上拉设备。
- 7 如果启用 BKGD ( $\text{BKGDPE} = 1$ )， $\text{PTA4}$  包含集成上拉装置。
- 8 SDA 和 SCL 引脚位置可以在软件控制 ( $\text{IICPS}$ ) 下重新定位，默认为  $\text{PTA2}$  和  $\text{PTA3}$ 。
- 9 当引脚作为 KBI ( $\text{KBIPEn} = 1$ ) 和相关引脚配置为启用上拉设备时， $\text{KBEDGn}$  可用于将引脚重新配置为下拉设备。

图 1-1 • MC9S08QG8/4 方框图

表 1-2 提供片上模块的功能版本。

表 1-2 • 片上模块的版本

模块	变种
模拟比较器 (ACMP)	2
模数转换器 (ADC)	1
中央处理器 (CPU)	2
IIC 模块 (IIC)	1
内部时钟源 (ICS)	1
键盘中断 (KBI)	2
Modulo 计时器 (MTIM)	1
串行通信接口 (SCI)	3
串行外设接口 (SPI)	3
定时器脉冲宽度调制器 (TPM)	2
低功率振荡器 (XOSC)	1
调试模块 (DBG)	2

## 系统时钟分布

图 1-2 显示简化的时钟连接图。MCU 中的一些模块具有可选的时钟输入，如图所示。模块的时钟输入指示用于驱动模块功能的时钟。与模块关联的所有内存映射寄存器都使用 BUSCLK 时钟。

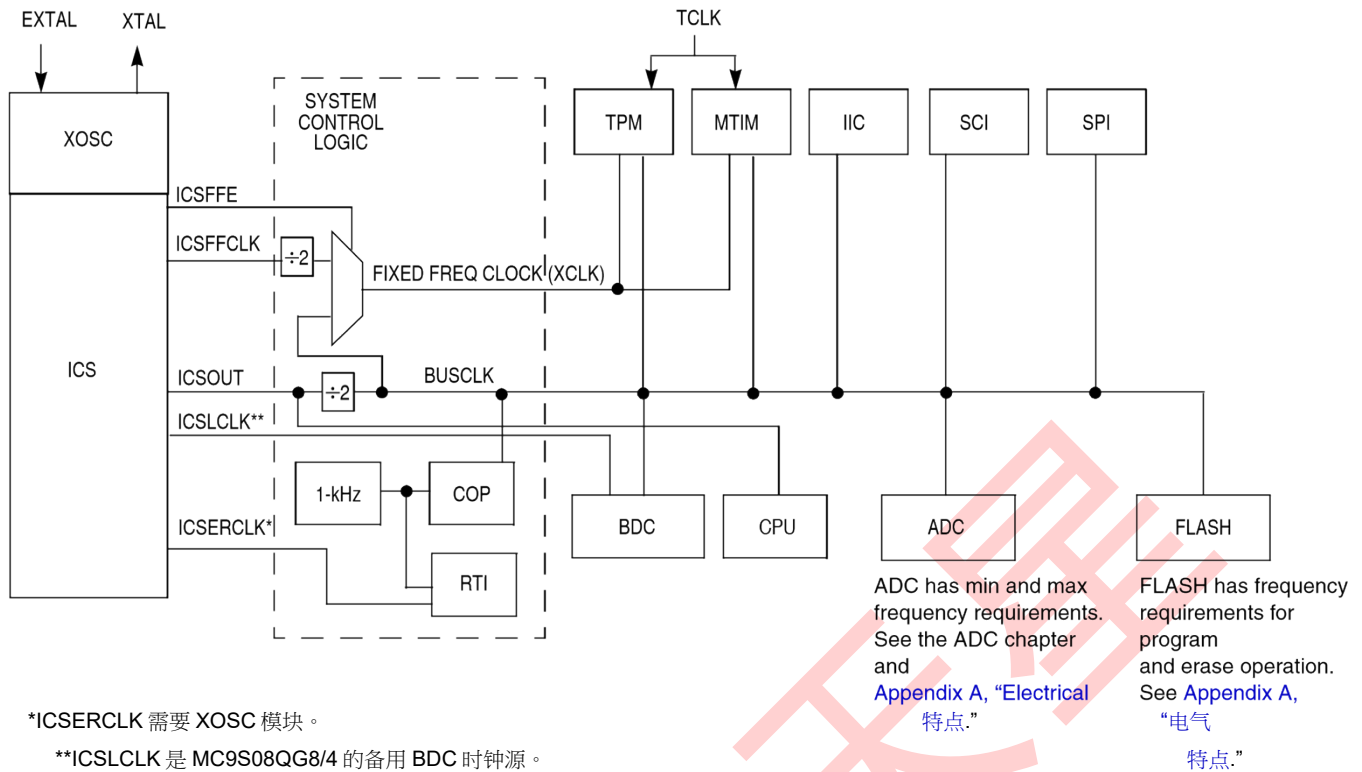


图 1-2。系统时钟分布图

## 2.2.2 振荡器 (XOSC)

在重置后，MCU 使用内部时钟源 (ICS) 模块提供的内部生成的时钟。内部频率名义上为 16MHz，默认 ICS 设置将提供 8MHz 总线退出重置。有关 ICS 的更多信息，请参阅 [第 10 章“内部时钟源 \(S08ICSV1\)。”](#)

该 MCU 中的振荡器模块 (XOSC) 是一个皮尔斯振荡器，可以容纳 ICSC2 中 RANGE 位选择的两个频率范围内的晶体或陶瓷谐振器。外部时钟源可以连接到 EXTAL 输入引脚，而不是晶体或陶瓷谐振器。

参考 [图 2-4](#) 为了下面的讨论。字母 R 罗马字母的第十九个 (使用时) 和 R 第六个罗马字母应该是低电感电阻，如碳成分电阻。线绕电阻和一些金属薄膜电阻具有太多的电感。C1 和 C2 通常应该是专门为高频应用设计的高质量陶瓷电容器。

字母 R 第六个罗马字母用于提供偏置路径，在晶体启动期间将 EXTAL 输入保持在线性范围内，其值通常并不重要。典型系统使用 1 米 Ω 达到 10 米 Ω。较高的值对湿度很敏感，较低的值会减少增益，并且 (在极端情况下) 可能会阻止启动。

C1 和 C2 通常在 5pF 至 25pF 范围内，选择符合特定晶体或谐振器的要求。在确定 C1 和 C2 的尺寸时，请务必考虑印刷电路板（PCB）电容和 MCU 引脚电容。晶体制造商通常指定负载电容，即 C1 和 C2 的串联组合，通常大小相同。作为一阶近似值，使用 10 pF 作为每个振荡器引脚的组合引脚和 PCB 电容的估计值（EXTAL 和 XTAL）。

### 2.2.3 重置（仅限输入）

开机重置（POR）后，PTA5/IRQ/TCLK/RESET 引脚默认为通用输入端口引脚 PTA5。在 SOPT1 中设置 RSTPE 将引脚配置为 RESET 输入引脚。配置为

重置，引脚将保持重置，直到下一个 POR。当引脚驱动低时，RESET 引脚可用于从外部源重置 MCU。当启用为重置引脚（RSTPE = 1）时，内部上拉设备会自动启用。

#### 笔记

此引脚不包含到 V 的夹紧二极管，不应该在 V 以上行驶。

内部拉起的 RESET 引脚上测量的电压不会拉到 V。连接到此引脚的内部被拉到 V。

RESET pullup 不应用于拉起外部组件 MCU。

#### 笔记

在 EMC 敏感应用中，建议在

如果启用，请重置引脚。看见图 2-4 例如。

## Chapter 2 External Signal Description

This section describes signals that connect to package pins. It includes pinout diagrams, table of signal properties, and detailed discussions of signals.

### 2.1 Device Pin Assignment

The following figures show the pin assignments for the available packages. Refer to [Table 1-1](#) to see which package types are available for each device in the series.

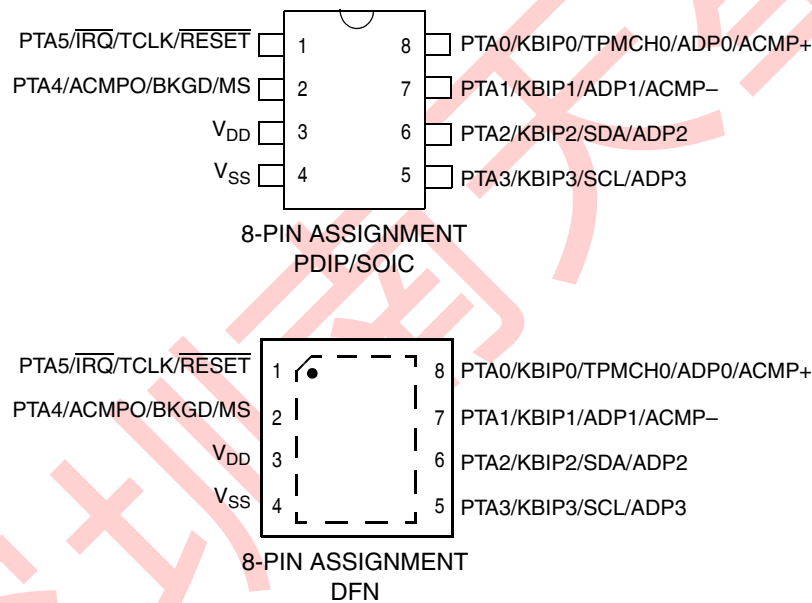


Figure 2-1. 8-Pin Packages

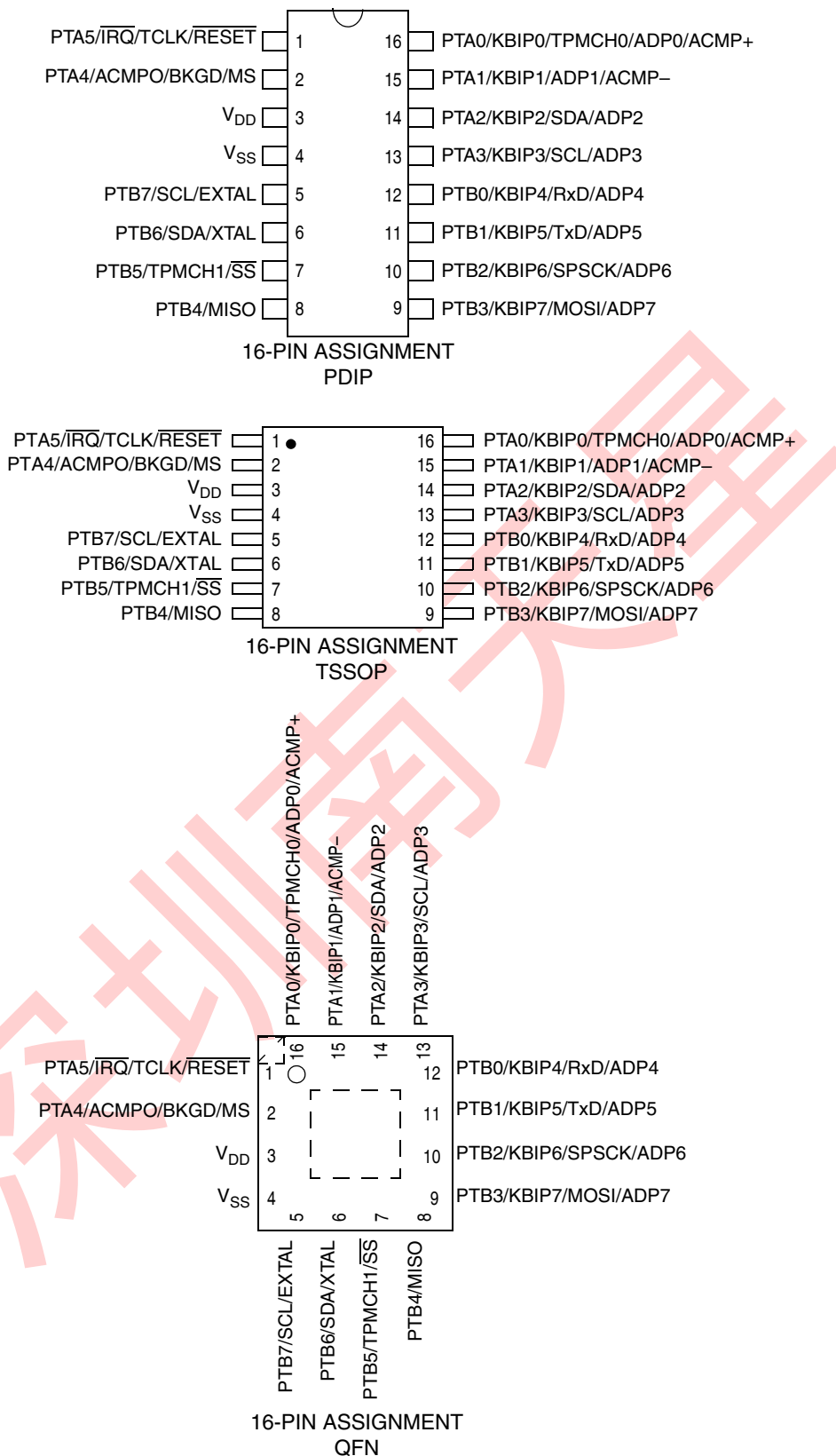
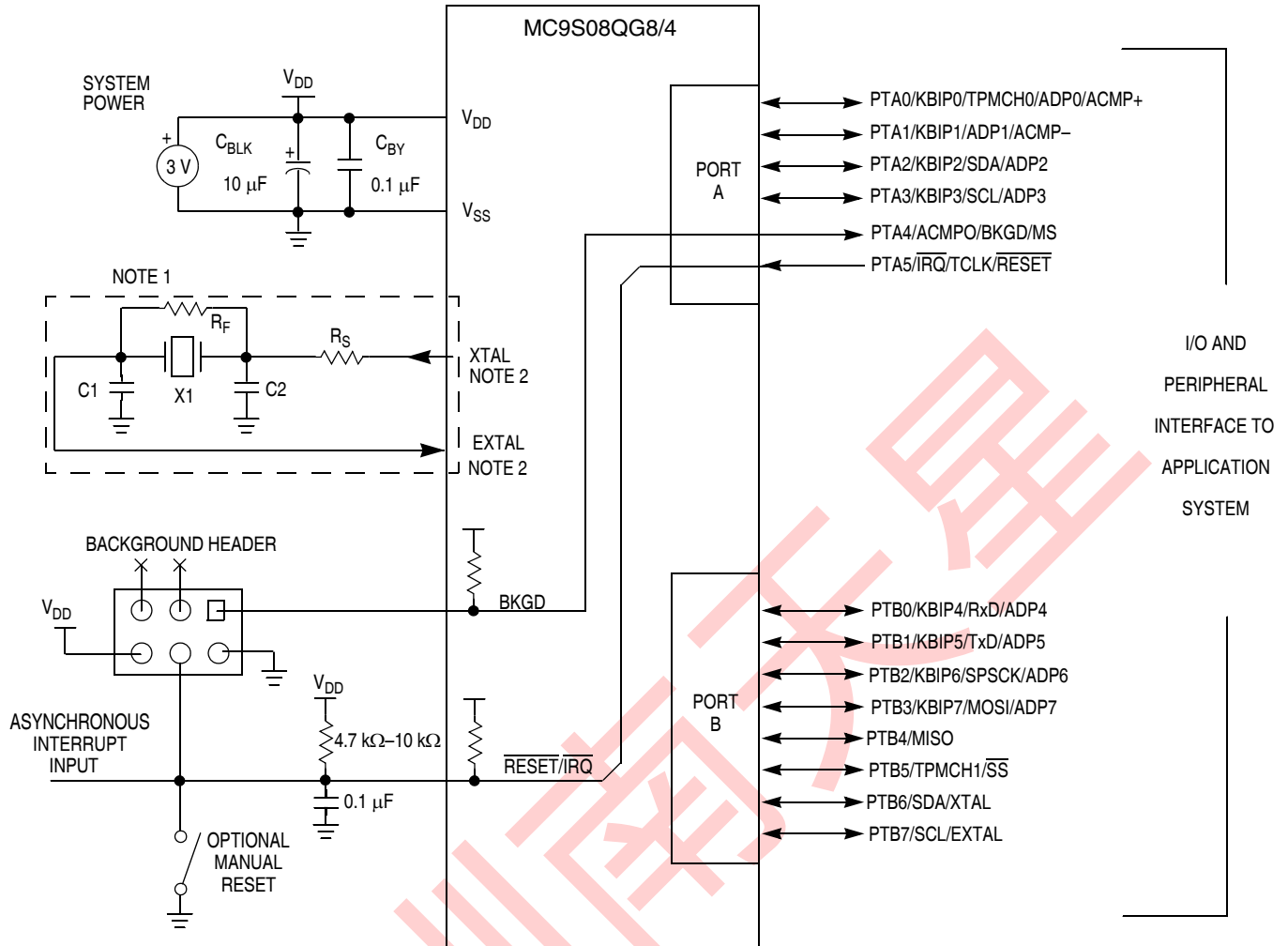


Figure 2-2. 16-Pin Packages





NOTES:

1. Not required if using the internal clock option.
2. XTAL is the same pin as PTB6; EXTERNAL the same pin as PTB7.
3. The RESET pin can only be used to reset into user mode; you can not enter BDM using the RESET pin. BDM can be entered by holding MS low during POR or writing a 1 to BDFR in SBDFR with MS low after issuing the BDM command.
4. IRQ feature has optional internal pullup device.
5. RC filter on RESET/IRQ pin recommended for noisy environments.

Figure 2-4. Basic System Connections

### 2.2.1 Power

$V_{DD}$  and  $V_{SS}$  are the primary power supply pins for the MCU. This voltage source supplies power to all I/O buffer circuitry, ACMP and ADC modules, and to an internal voltage regulator. The internal voltage regulator provides a regulated lower-voltage source to the CPU and other internal circuitry of the MCU.

Typically, application systems have two separate capacitors across the power pins: a bulk electrolytic capacitor, such as a 10- $\mu$ F tantalum capacitor, to provide bulk charge storage for the overall system, and a bypass capacitor, such as a 0.1- $\mu$ F ceramic capacitor, located as near to the MCU power pins as practical to suppress high-frequency noise.