

Kinetis KE1xZ，高达 64 KB 闪光灯

基于高达 48 MHz 的 Arm® Cortex®-M0+ 微控制器

MKE1xZ64VLF4

MKE1xZ64VLD4

MKE1xZ64VFP4

MKE1xZ32VLF4

提供高达 64 KB 的闪存、高达 8 KB 的 RAM 和一整套 **MKE1xZ32VLD4** 在模拟/数字功能方

面，KE1xZ64 提供了强大的触摸感应 **MKE1xZ32VFP4**

用于工业网络的接口（TSI）和 CAN 总线，在客户家中提供高水平的稳定性和准确性

设备触摸用户界面和工业控制系统。

内存和内存接口

- 高达 64 KB 的程序闪存
- 高达 8 KB SRAM
- 64 字节闪存缓存

混合信号模拟

- 1×12 位模数转换器（ADC），每个模块最多 16 个通道模拟输入，最多 1 个 Msps
- 外部 8 位数字到模拟转换器（DAC）内的 1×高速模拟比较器（CMP）

时机和控制

- 用于 PWM 生成的 2×柔性定时器（FTM），提供 6ch+2ch
- 具有灵活唤醒控制的 1×16 位低功耗定时器（LPTMR）
- 带有灵活触发系统的 1×可编程延迟块（PDB）
- 1×32 位低功耗定期中断计时器（LPIT），带 2 个独立通道实时计时器时钟（RTC）

调试功能

- 串行线调试（SWD）调试接口
- 调试监视点和跟踪（DWT）
- 微痕量缓冲器（MTB）
- 支持未使用模块的时钟门控，特定外围设备在低功耗模式下保持工作？POR，LVD/LVR



核心处理器和系统

- 手臂®皮层®-M0+核心，支持高达 48 MHz 的频率
- 基于 ARMv6 架构和 Thumb 的 Arm Core®-2 ISA
- 可配置的嵌套矢量中断控制器（NVIC）
- 内存映射分隔和平方根模块（MMDVSQ）

可靠性、安全性和安全性

- 循环冗余检查（CRC）生成器模块
- 128 位唯一标识（ID）号码
- 具有独立时钟源的内部监督机构（WDOG）
- 外部看门狗监视器（EWM）模块
- ADC 自校准功能
- 片上时钟损耗监控

电源管理

- 低功耗臂 Cortex-M0+核心，具有出色的能效

NXP 保留根据需要更改生产细节规格的权利，以允许改进其产品的设计。

- 具有多种电源模式的电源管理控制器（PMC）：运行、等待、停止、VLPR、VLPW 和 VLPS

时钟接口



- OSC：高范围 4-40 MHz（低功耗或高增益模式）和低范围 32-40 kHz（仅高增益模式）
- 正常运行的 48 MHz 高精度（高达±1%）快速内部参考时钟（FIRC）
- 8 MHz/2 MHz 高精度（高达±3%）慢速内部参考时钟（SIRC）用于低速运行
- 128 kHz 低功耗振荡器（LPO）
- 低功耗 FLL（LPFLL）
- 高达 50 MHz 直流外部方波输入时钟
- 系统时钟发生器（SCG）
- 实时计数器（RTC）

人机界面（HMI）

- 支持多达 32 个中断请求（IRQ）源
- 多达 42 个具有中断功能的 GPIO 引脚

- 触摸感应输入（TSI）模块

连接和通信接口

- 3×低功耗通用异步接收器/发射器（LPUART）模块，具有 FIFO 支持和低功耗可用性
- 1×具有 FIFO 支持和低功耗可用性的低功耗串行外设接口（LPSPI）模块
- 1×低功耗集成电路（LPI2C）模块，具有 FIFO 支持和低功耗可用性
- 1×CAN 模块（MSCAN），带 5 个 Rx 缓冲区和 3Tx 缓冲区

操作特性

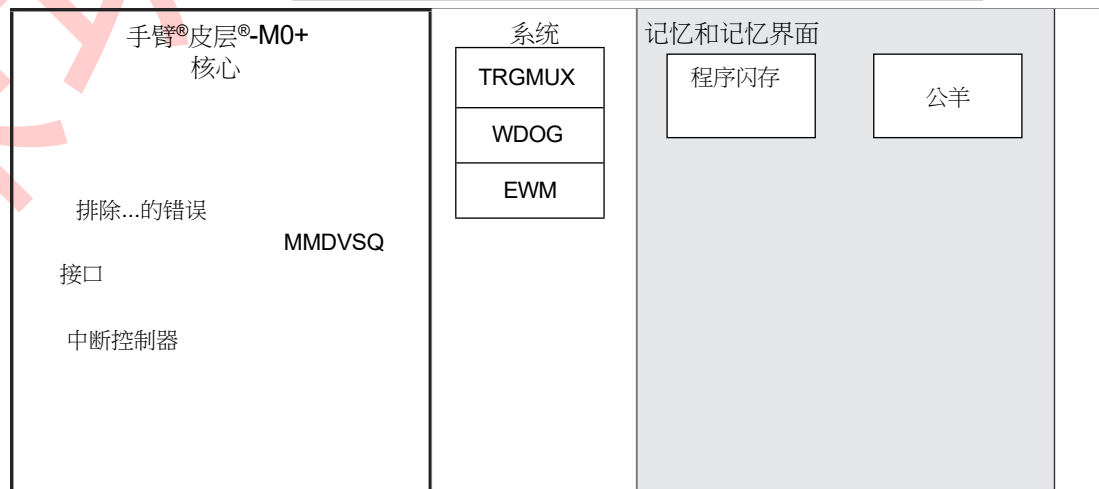
- 电压范围：2.7 至 5.5V
- 环境温度范围：-40 至 105°C

相关资源

类型	描述	资源
信息一览表	概况介绍概述了产品的关键功能及其用途。	KE1xZ 家庭概况介绍
产品简介	产品简介包含简洁的概述/摘要信息，以便快速评估设备的设计适用性。	KE1xZ64PB ¹
参考手册	参考手册包含对设备结构和功能（操作）的全面描述。	KE1xZP48M48SF0
数据表	数据表包括电气特性和信号连接。	本文件： KE1xZP48M48SF0
芯片勘误	芯片掩码集 Errata 为特定设备掩码集提供了额外的或纠正信息。	Kinetis_E_ON16X 1
包装图纸	包装图纸中提供了包装尺寸。	48-LQFP：98ASH0 44-LQFP：98ASS2 40-QFN：98ASA01

1. 要查找相关资源，请转到 <http://www.nxp.com> 并使用这个术语进行搜索。

Kinetis KE1xZ64 子家族



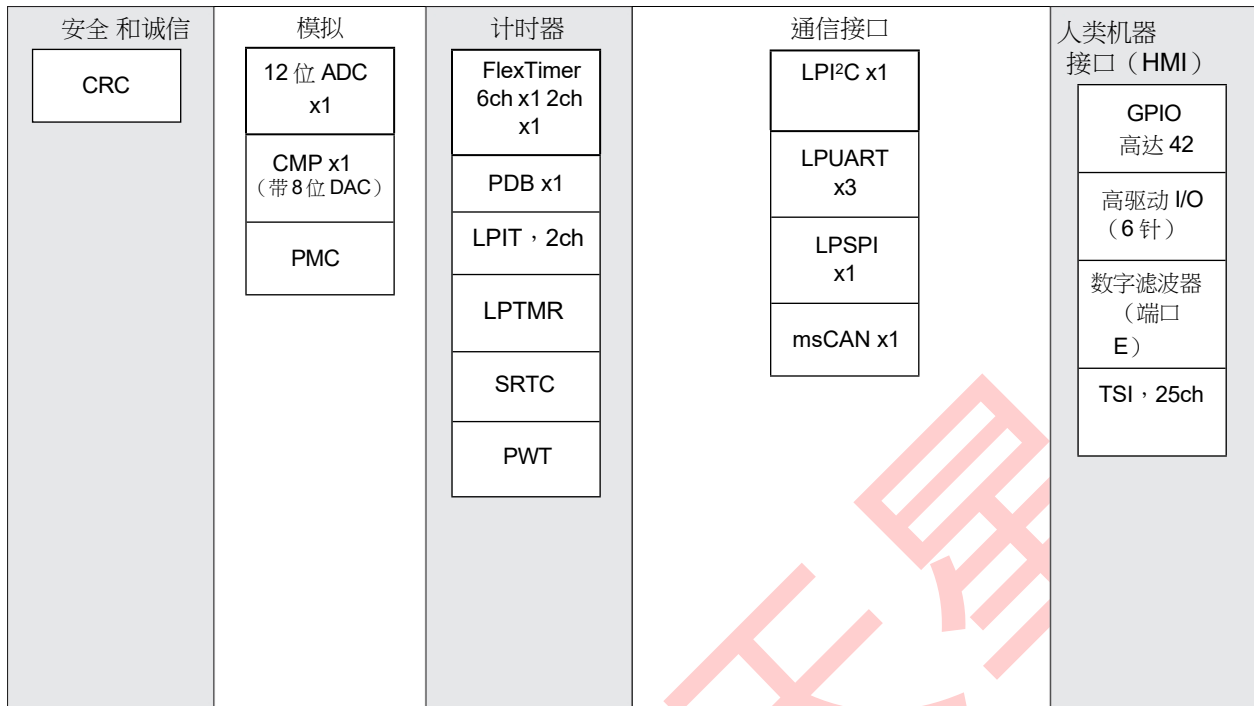


图 1。功能框图

目录

1 订购信息.....	5
2 概述.....	5
2.1 系统功能.....	6
2.1.1 ARM Cortex-M0+核心.....	6
2.1.2 NVIC.....	7
2.1.3 AWIC.....	7
2.1.4 内存.....	8
2.1.5 重置和启动.....	8
2.1.6 时钟选项.....	9
2.1.7 安全.....	10
2.1.8 电源管理.....	10
2.1.9 调试控制器.....	12
2.2 外围功能.....	12
2.2.1 FTM.....	12
2.2.2 ADC.....	13
2.2.3 CMP.....	14

2.2.4 RTC	14		
2.2.5 LPIT	15		
2.2.6 PDB	15		
2.2.7 LPTMR	15		
2.2.8 CRC	16		
2.2.9 LPUART	16		
2.2.10 LPSPi	17		
2.2.11 LPI2C	17		
2.2.12 模块化/可扩展控制器区域网络 (MSCAN)	18		
2.2.13 端口控制和 GPIO	18		
3 内存地图	20		
4 个引脚	20		
4.1 KE1xZ64 信号多路复用和引脚分配	20		
4.2 端口控制和中断摘要	22	4.3 模块信号描述表	23
4.4 引脚图	27		
4.5 包装尺寸	30		
5 电气特性	31		
5.1 术语和指南	31		
5.1.1 定义	31		
5.1.2 示例	31		
5.1.3 典型值条件	32	6	
5.1.4 评级与运营之间的关系要求	32	6.1	
5.1.5 评级和运营指南要求	33		
5.2 评级	33		
5.2.1 热处理额定值	33	5.2.2	
水分处理评级	34		
5.2.3 ESD 处理评级	34		
5.2.4 电压和电流额定值	34		
5.3 一般	35		
5.3.1 非开关电气规格	35		
5.3.2 切换规格	48		
5.3.3 热规格	51		
5.4 外围操作要求和行为	54		
		5.4.1 系统模块	54
		5.4.2 时钟接口模块	55
		5.4.3 内存和内存接口	60
		5.4.4 安全和完整性模块	61
		5.4.5 模拟	61
		5.4.6 通信接口	68
		5.4.7 人机界面 (HMI)	72
		5.4.8 调试模块	73
		设计考虑	74
		硬件设计注意事项	74
		6.1.1 印刷电路板推荐	74
		6.1.2 供电系统	75
		6.1.3 模拟设计	75
		6.1.4 数字设计	76
		6.1.5 晶体振荡器	78
		6.2 软件注意事项	80
		7 部分识别	80
		7.1 描述	80
		7.2 格式	80
		7.3 字段	81
		7.4 示例	81
		修订历史	81

1 订购信息

以下芯片可供订购。

表 1。订购信息

产品	记忆		包裹		IO 和 ADC 通道			HMI	通信
	部件号	闪存 (KB)	斯拉姆 (KB)	针数	包装 e	GPIOs	GPIOs (INT/高清) ¹	ADC 通道 s	TSI
MKE16Z64VLF4	64	8	48	LQFP	42	42/6	12	是	是
MKE16Z64VLD4	64	8	44	LQFP	38	38/6	12	是	是
MKE15Z64VLF4	64	8	48	LQFP	42	42/6	12	是	不是
MKE15Z64VLD4	64	8	44	LQFP	38	38/6	12	是	不是
MKE14Z64VLF4	64	8	48	LQFP	42	42/6	12	不是	不是
MKE14Z64VLD4	64	8	44	LQFP	38	38/6	12	不是	不是
MKE16Z32VLF4	32	4	48	LQFP	42	42/6	12	是	是
MKE16Z32VLD4	32	4	44	LQFP	38	38/6	12	是	是
MKE15Z32VLF4	32	4	48	LQFP	42	42/6	12	是	不是
MKE15Z32VLD4	32	4	44	LQFP	38	38/6	12	是	不是
MKE14Z32VLF4	32	4	48	LQFP	42	42/6	12	不是	不是
MKE14Z32VLD4	32	4	44	LQFP	38	38/6	12	不是	不是
MKE15Z64VFP4	64	8	40	QFN	36	36/4	11	是	不是
MKE14Z64VFP4	64	8	40	QFN	36	36/4	11	不是	不是
MKE15Z32VFP4	32	4	40	QFN	36	36/4	11	是	不是
MKE14Z32VFP4	32	4	40	QFN	36	36/4	11	不是	不是

1.INT：中断引脚号；HD：高驱动器引脚号

2 概述

下图显示了该设备的系统图。

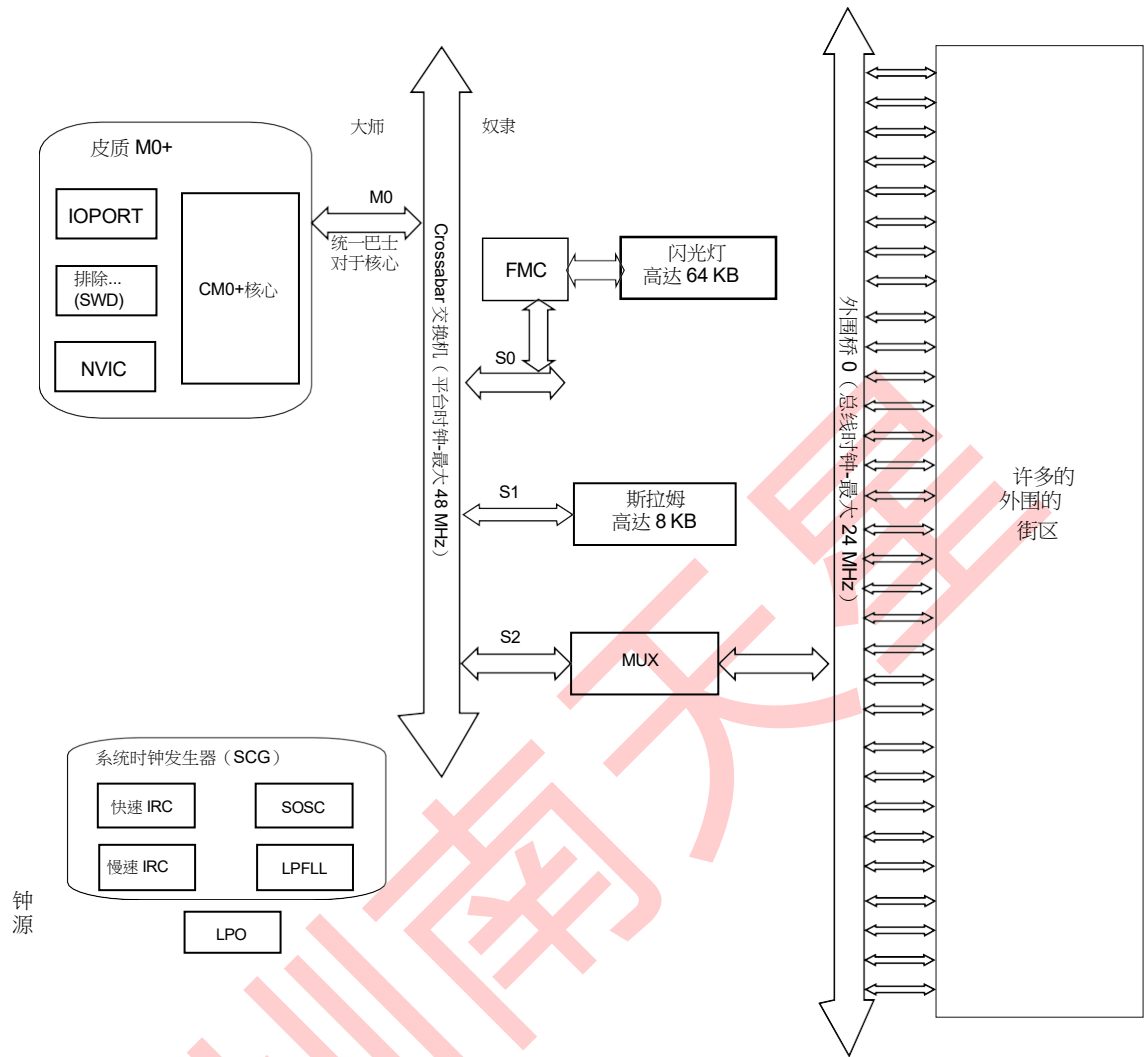


图 2。系统图

横杆开关使用横杆开关结构连接总线主站和从站。这种结构允许最多四个总线主同时访问不同的总线从站，同时在总线主访问同一从站时提供仲裁。

2.1 系统功能

以下各节描述了高级系统功能。

2.1.1 ARM Cortex-M0+核心

增强型 ARM Cortex M0+是 Cortex-M 系列处理器的成员针对微控制器内核，专注于成本非常敏感的低功耗应用。它有一个 32 位 AMBA AHB-Lite 接口，并包含一个 NVIC 组件。它还具有硬件调试功能，包括支持简单

的程序跟踪功能。处理器支持 ARMv6-M 指令集 (Thumb) 架构，包括除三个 16 位拇指操作码 (共 52 个) 外的所有指令以及七个 32 位指令。它与其他 Cortex-M 配置文件处理器向上兼容。

2.1.2 NVIC

嵌套矢量中断控制器支持嵌套中断和 4 个中断优先级。在 NVIC 中，知识产权寄存器中的每个源都包含 2 位。它还具有不同的中断源数量，并支持 32 个中断向量。

Cortex-M 系列使用多种方法将 Cortex-M0+ 的中断延迟提高到多达 15 个时钟周期。它还可用于从等待和 VLPW 模式中唤醒 MCU 核心。

2.1.3 AWIC

异步唤醒中断控制器 (AWIC) 用于在停止模式下检测异步唤醒事件，并向时钟控制逻辑发出信号以恢复系统时钟。时钟重新启动后，NVIC 会观察挂起的中断，并执行正常的中断或事件处理。AWIC 可用于从部分停止、停止和 VLPS 模式中唤醒 MCU 核心。

此 SoC 的唤醒源如下：

表 2。AWIC 停止和 VLPS 唤醒源

唤醒源	描述
可用的系统重置	重置引脚，WDOG，时钟丢失 (LOC) 重置和锁定丢失 (LOL) 重置
引脚中断	端口控制模块-任何启用的引脚中断都能够唤醒系统
ADCx	ADCx 是可选功能，具有来自 SIRC 或 OSC 的时钟源
CMPx	使用 SIRC 或 OSC 的时钟源在停止/VLPS 模式下运行
LPI2C	使用 SIRC 或 OSC 的时钟源在停止/VLPS 模式下运行
LPUART	使用 SIRC 或 OSC 的时钟源在停止/VLPS 模式下运行

表在下一页继续...

表 2。AWIC 停止和 VLPS 唤醒源 (续)

唤醒源	描述
LPSPi	使用 SIRC 或 OSC 的时钟源在停止/VLPS 模式下运行
LPiT	使用 SIRC 或 OSC 的时钟源在停止/VLPS 模式下运行

Overview

LPTMR	在停止/VLPS 模式下功能
RTC	在停止/VLPS 模式下功能
SCG	停止模式下的功能（仅限 SIRC）
装罐量	可以停止醒来
TSI	触觉唤醒
NMI	不可掩码的中断

2.1.4 记忆

此设备具有以下功能：

- 高达 64 KB 的嵌入式程序闪存。
- 在 0wait 状态的 CPU 时钟速度下，高达 8 KB 的嵌入式 RAM 可访问（读/写）。
- 程序闪存包含一个 16 字节的闪存配置字段，存储默认保护设置和安全信息。程序闪存的页面大小为 1 KB。

保护设置可以保护程序闪存的 32 个区域免受意外擦除或程序操作。

安全电路可防止从调试端口未经授权访问 RAM 或闪存内容。

2.1.5 重置并启动

下表列出了此设备支持的所有重置源。

笔记

在下表中，Y 表示特定模块，除了脚注中提到的寄存器、位或条件外，由相应的重置源重置。N 表示特定模块没有被相应的重置源重置。

表 3。重置来源

重置来源	描述	模块									
		PMC	SIM 卡	SMC	RCM	重置引脚被否定	WDOG	SCG	RTC	LPTMR	其他 s
POR 重置	开机重置 (POR)	第 25 个字母	第 25 个字母	第 25 个字母	第 25 个字母	第 25 个字母	第 25 个字母	第 25 个字母	第 25 个字母	第 25 个字母	第 25 个字母

系统重置	低压检测 (LVD)	第 25 个字母 1	第 25 个字母	第 25 个字母	第 25 个字母	第 25 个字母	第 25 个字母	第 25 个字母	第十四个英文字母	第 25 个字母	第 25 个字母
	外部引脚重置 (重置)	第 25 个字母 1	第 25 个字母 2	第 25 个字母 3	第 25 个字母 4	第 25 个字母	第 25 个字母 5	第 25 个字母 6	第十四个英文字母	第十四个英文字母	第 25 个字母
	看门狗 (WDOG) 调整	第 25 个字母 1	第 25 个字母 2	第 25 个字母 3	第 25 个字母 4	第 25 个字母	第 25 个字母 5	第 25 个字母 6	第十四个英文字母	第十四个英文字母	第 25 个字母
	多用途时钟发生器时钟丢失 (LOC) 重置	第 25 个字母 1	第 25 个字母 2	第 25 个字母 3	第 25 个字母 4	第 25 个字母	第 25 个字母 5	第 25 个字母 6	第十四个英文字母	第十四个英文字母	第 25 个字母
	多用途时钟发生器锁丢失 (LOL) 重置	第 25 个字母 1	第 25 个字母 2	第 25 个字母 3	第 25 个字母 4	第 25 个字母	第 25 个字母 5	第 25 个字母 6	第十四个英文字母	第十四个英文字母	第 25 个字母
	停止模式确认错误 (SACKERR)	第 25 个字母 1	第 25 个字母 2	第 25 个字母 3	第 25 个字母 4	第 25 个字母	第 25 个字母 5	第 25 个字母 6	第十四个英文字母	第十四个英文字母	第 25 个字母

Overview

	软件重置 (SW)	第 25 个字母 1	第 25 个字母 2	第 25 个字母 3	第 25 个字母 4	第 25 个字母	第 25 个字母 5	第 25 个字母 6	第十四个英文字母	第十四个英文字母	第 25 个字母
	锁定重置 (LOCKUP)	第 25 个字母 1	第 25 个字母 2	第 25 个字母 3	第 25 个字母 4	第 25 个字母	第 25 个字母 5	第 25 个字母 6	第十四个英文字母	第十四个英文字母	第 25 个字母
	MDM DAP 系统重置	第 25 个字母 1	第 25 个字母 2	第 25 个字母 3	第 25 个字母 4	第 25 个字母	第 25 个字母 5	第 25 个字母 6	第十四个英文字母	第十四个英文字母	第 25 个字母
调试重置	调试重置	第 25 个字母 1	第 25 个字母 2	第 25 个字母 3	第 25 个字母 4	第 25 个字母	第 25 个字母 5	第 25 个字母 6	第十四个英文字母	第十四个英文字母	第 25 个字母

1. 除了 PMC_LVDSC1[LVDV]和 PMC_LVDSC2[LWV]
2. 除了 SIM_SOPT1
3. 除了 SMC_PMPROT, SMC_PMCTRL_RUM, SMC_PMCTRL_STOPM, SMC_STOPCTRL, SMC_PMSTAT
4. 除了 RCM_RPC, RCM_MR, RCM_FM, RCM_SRIE, RCM_SRS, RCM_SSRS
5. 除了 WDOG_CS[TST]
6. SCG_CSR 和 SCG_FIRCSTAT 除外

此设备支持从以下设备启动：

- 内部闪光灯

2.1.6 时钟选项

SCG 模块控制使用哪个时钟源来导出系统时钟。时钟生成逻辑将选定的时钟源划分为各种时钟域，包括系统总线主服务器、系统总线从和闪存的时钟。时钟生成逻辑还实现了特定于模块的时钟门控，以允许模块的粒度关闭。

下图是时钟生成的高级方框图。有关时钟操作和配置的更多详细信息，请参阅参考手册中的时钟一章。

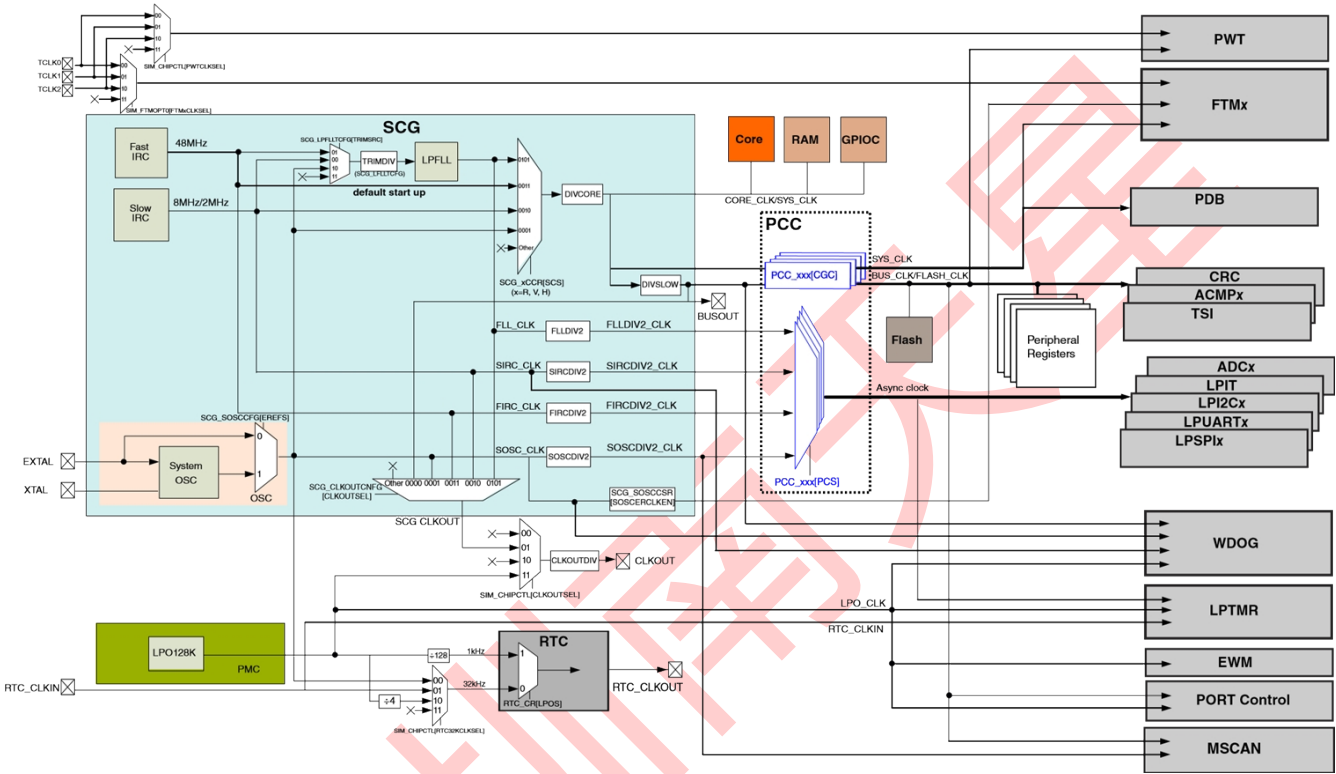


图 3。时钟框图

2.1.7 安全

安全状态可以通过编程闪存配置字段 (0x40e) 启用。启用设备安全性后，SWD 端口无法访问 MCU。

外部接口	安全	不安全
SWD 端口	无法通过 SWD 接口访问内存源	调试器可以写入 MDM-AP 控制寄存器的 Flash Mass Erase in Progress 字段，以触发大规模擦除（擦除所有块）指挥权

2.1.8 电源管理

电源管理控制器（PMC）扩展了 ARM 的运行、睡眠和深度睡眠操作模式，以提供多种可配置模式。这些模式可用于优化各种应用的电流消耗。WFI 或 WFE 指令调用等待或停止模式，具体取决于当前配置。有关 ARM 操作模式的更多信息，请参阅 ARM® 皮层® 用户指南。

PMC 在 ARM 的运行模式下提供正常运行（RUN）和甚低功耗运行（VLPR）配置。在这些模式下，MCU 核心处于活动状态，可以访问所有外围设备。模式之间的区别是系统的最大时钟频率，因此也是功耗。可以选择与应用程序的功率与性能要求相匹配的配置。

PMC 在 ARM 的睡眠操作模式下提供等待（等待）和甚低功耗等待（VLPW）配置。在这些模式下，即使 MCU 核心处于非活动状态，所有外围设备都可以启用并按编程方式运行。模式之间的区别是系统的最大时钟频率，因此也是功耗。

PMC 在 ARM 的深度睡眠操作模式下提供停止（停止）、极低功耗停止（VLPS）配置。在这些模式下，MCU 核心和大多数外围设备被禁用。根据应用程序的要求，可以保留或禁用模拟、逻辑和内存的不同部分，以节省电力。

嵌套矢量中断控制器（NVIC），异步唤醒中断控制器（AWIC）用于从低功耗状态唤醒 MCU。NVIC 用于从 WAIT 和 VLPW 模式唤醒 MCU 核心。AWIC 用于从 STOP 和 VLPS 模式唤醒 MCU 核心。

有关操作模式、电源管理、NVIC、AWIC 的更多信息，请参阅参考手册。

下表提供了有关各种操作模式下外围设备的状态以及可以从低功耗模式唤醒 MCU 的模块的信息。

表 5。不同操作模式下的外围设备状态

核心模式	设备模式	描述
运行模式		

表在下一页继续...

表 5。不同操作模式下的外围状态（续）

核心模式	设备模式	描述
	跑步	在运行模式下，所有设备模块都可以运行。
	非常低的功率运行	在 VLPR 模式下，除了禁用的低压检测（LVD）监视器外，所有设备模块都以较低的频率运行。

休眠模式	等待	在等待模式下，所有外围模块都可以运行。MCU 核心被置于睡眠模式。
	非常低的功率等待	在 VLPW 模式下，除了禁用的低压检测 (LVD) 监视器外，所有外围模块都以较低的频率运行。 MCU 核心被置于睡眠模式。
深度睡眠	阻止	在停止模式下，大多数外围时钟被禁用并置于静态状态。停止模式保留所有寄存器和 SRAM，同时保持低电压检测保护。在停止模式下，ADC、CMP、LPTMR、RTC 和引脚中断处于运行状态。NVIC 被禁用，但 AWIC 可用于从中断中唤醒。
	非常低的功率停止	在 VLPS 模式下，SRAM 的内容被保留。CMP (低速)、ADC、OSC、RTC、LPTMR、LPIT、FlexIO、LPUART、LPI2C、LPSPI 和 DMA 可操作，LVD 和 NVIC 被禁用，AWIC 用于从中断中唤醒。

笔记

当 MCU 处于 HSRUN 或 VLP 模式时，用户无法写入 FlexRAM (EEPROM)，也无法启动 FTFE 命令，包括闪存编程/擦除。

2.1.9 调试控制器

该设备具有广泛的调试功能，包括运行控制和跟踪功能。标准 ARM 调试端口支持 SWD 接口。

2.2 外围特征

以下部分描述了芯片每个外围设备的功能。

2.2.1 FTM

该设备包含两个 FlexTimer 模块。

FlexTimer 模块 (FTM) 是一个两到八通道的计时器，支持输入捕获、输出比较和生成 PWM 信号来控制电动机和电源管理应用程序。FTM 时间引用是一个 16 位计数器，可以用作无签名或签名计数器。

本模块有几个关键的增强功能：

- 注册的柜台
- 死时插入硬件
- 故障控制输入

- 增强的触发功能
- 初始化和极性控制

2.2.2 ADC

该设备包含一个 12 位 SAR ADC 模块。ADC 模块支持来自 FTM、LPTMR、PIT、RTC、外部触发引脚和 CMP 输出的硬件触发器。当使用内部时钟源或外部晶体时钟时，它支持在低功耗模式下唤醒 MCU。

ADC 模块具有以下功能：

- 分辨率高达 12 位的线性连续近似算法
- 多达 12 个单端外部模拟输入
- 支持 12 位、10 位和 8 位单端输出模式
- 单次或连续转换
- 可配置的采样时间和转换速度/功率
- 最多可从四个源中选择输入时钟
- 在低功耗模式下运行，降低噪音
- 可选的硬件转换触发器
- 自动比较小于、大于或等于、范围内或范围外、可编程值的中断
- 温度传感器
- 硬件平均功能
- 可选电压参考：来自外部或备用
- 自校准模式

2.2.2.1 温度传感器

该设备包含一个内部连接到 AD26 输入通道的温度传感器，请参阅 [ADC 电气特性](#) 有关线性因子的详细信息。

传感器必须校准以获得良好的精度，以便提供良好的线性度，另请参阅 [AN3031](#) 有关温度传感器的更详细的应用信息。

2.2.3 CMP

这个设备上有一个模拟比较器。

- 每个 CMP 都有自己独立的 8 位 DAC。
- 每个 CMP 最多支持来自外部引脚的 6 个模拟输入。
- 每个 CMP 都能够从带隙转换内部引用。
- 每个 CMP 都支持循环采样方案。总之，这允许 CMP 在 VLPS 和停止模式下独立运行，同时定期触发以采样多达 8 个输入。只有当输入更改状态是生成完整的唤醒时。

CMP 具有以下特点：

- 输入可能从轨道到轨道不等
- 可编程滞后控制
- 比较器输出的上升边缘、下降边缘或上升边缘和下降边缘的可选中断
- 比较器输出上的可选反转
- 能够产生广泛的输出，如采样、⑤口或数字过滤
- 外部滞后可以在输出滤波器用于内部函数的同时使用
- 两个软件可选的性能级别：以更高的功率为代价的传播延迟更短，以及传播延迟更长的低功率
- 适用于此 MCU 上可用的所有电源模式
- ⑤口和过滤器功能在 STOP 模式下不可用
- 集成的 8 位 DAC 具有可选的电源参考源，可以停电以节省电力

2.2.4 RTC

RTC 是一个始终通电的块，在所有低功耗模式下保持活动状态。

RTC 在开机重置时重置，RTC 中的软件重置位也可以初始化所有 RTC 寄存器。

RTC 模块具有以下功能

- 带有翻转保护和 32 位警报的 32 位秒计数器
- 具有补偿的 16 位预标器，可以纠正 0.12 ppm 和 3906 ppm 之间的误差
- 使用寄存器锁定机制的寄存器写入保护
- 1 赫兹方波或第二脉冲输出，可选中断

2.2.5 LPIT

低功耗周期性中断计时器（LPIT）是一个多通道计时器模块，生成独立的预触发和触发输出。这些计时器通道可以单独操作，也可以链接在一起。如果配置为，LPIT 可以在低功耗模式下运行。预触发和触发输出可用于触发设备上的其他模块。

2.2.6 PDB

可编程延迟块（PDB）提供从内部或外部触发器或可编程间隔刻度到 ADC 的硬件触发输入和/或向 DAC 生成间隔触发器的可控延迟，以便实现 ADC 转换和/或 DAC 更新之间的精确定时。PDB 可以选择提供脉冲输出（脉冲输出），用作 CMP 块中的样本⑤口。

PDB 模块具有以下功能：

- 触发输入源和一个软件触发源
- 1 个 DAC 刷新触发输出，适用于此设备
- 用于 ADC 硬件触发器的可配置 PDB 通道
- 1 个脉冲输出，用于此设备

2.2.7 LPTMR

低功耗计时器（LPTMR）可以配置为作为带有可选预刻度器的时间计数器，或作为带有可选故障滤波器的脉冲计数器，横跨所有功率模式，包括低泄漏模式。它还可以在大多数系统重置事件中继续运行，允许将其用作一天中的时间计数器。

LPTMR 模块具有以下功能：

- 比较 16 位时间计数器或脉冲计数器
- 可选中断可以从任何低功耗模式生成异步唤醒
- 硬件触发输出
- 计数器支持自由运行模式或在比较时重置
- Prescaler/glitch 过滤器的可配置时钟源
- 脉冲计数器的可配置输入源

2.2.8 CRC

该设备包含一个循环冗余检查（CRC）模块，该模块可以生成 16/32 位 CRC 代码进行错误检测。

CRC 模块提供了实现 16 位或 32 位 CRC 标准所需的可编程多项式、WAS 和其他参数。

CRC 模块具有以下功能：

- 使用 16 位或 32 位可编程移位寄存器的硬件 CRC 发生器电路
- 可编程初始种子值和多项式
- 按位或按字节转置输入数据或输出数据（CRC 结果）的选项。
- 最终 CRC 结果反转的选项
- 32 位 CPU 寄存器编程接口

2.2.9 LPUART

该产品包含三个低功耗 UART 模块，可以在停止和 VLPS 模式下工作。该模块还支持 4×至 32×的数据过采样率，以满足不同的应用程序。

LPUART 模块具有以下功能：

- 可编程波特率（13 位模分频器），可配置的过采样比从 4×到 32×
- 传输和接收波特率可以与总线时钟异步运行，并且可以独立于总线时钟频率进行配置，支持在停止模式下运行
- 中断或民意调查操作
- 硬件奇偶校验生成和检查
- 可编程 8 位、9 位或 10 位字符长度
- 可编程 1 位或 2 位停止位
- 三种接收器唤醒方法
- 闲置线唤醒
- 地址标记唤醒
- 接收数据匹配
- 自动地址匹配以减少 ISR 开销：
 - 地址标记匹配
 - 空闲线路地址匹配

- 地址匹配开始，地址匹配结束
- 可选的 13 位中断字符生成/11 位中断字符检测
- 可配置的空闲长度检测，支持 1、2、4、8、16、32、64 或 128 个空闲字符
- 可选的发射机输出和接收器输入极性

2.2.10 LPSPI

该设备包含一个 LPSPI 模块。LPSPI 是一个低功耗串行外设接口（SPI）模块，支持作为主和/或从站与 SPI 总线的高效接口。只要有适当的时钟，LPSPI 可以继续以停止模式运行，并设计用于低 CPU 开销，DMA 卸载 FIFO 寄存器访问。

LPSPI 模块具有以下功能：

- 命令/传输 4 个单词的 FIFO
- 收到 4 个单词的 FIFO
- 主机请求输入可用于控制 SPI 总线传输的开始时间

2.2.11 LPI2C

该设备包含一个 LPI2C 模块。LPI2C 是一个低功耗集成电路（I2C）模块，支持作为主和/或从站与 I2C 总线的高效接口。LPI2C 可以继续以停止模式运行，前提是有一个合适的时钟，并设计用于通过 DMA 卸载 FIFO 寄存器访问的低 CPU 开销。LPI2C 实现了对标准模式、快速模式、快速模式加和超快操作模式的逻辑支持。LPI2C 模块也符合 *系统管理总线（SMBus）规范，版本 2*。

LPI2C 模块具有以下功能：

- 支持标准、快速、快速+和超快模式
- 从属模式下支持 HS 模式
- 多主支持，包括同步和仲裁
- 时钟拉伸
- 通用呼叫，7 位和 10 位寻址
- 软件重置、START 字节和设备 ID 需要软件支持
- 对于主模式：
- 命令/传输 4 个单词的 FIFO
- 收到 4 个单词的 FIFO

- 对于从属模式：
- 单独的 I2C 从属寄存器，以最大限度地减少主/从属交换导致的软件开销
- 支持 7 位或 10 位寻址、地址范围、SMBus 警报和通用呼叫地址
- 传输/接收支持中断请求的数据寄存器

2.2.12 模块化/可扩展控制器区域网络 (MSCAN)

此设备包含一个 CAN 模块。它使用 MSCAN module，这是一个通信控制器，实现了 1991 年 9 月博世规范中定义的 CAN 2.0A/B 协议。

它的 5 个 Rx 缓冲区和 3 个 Tx 缓冲区适用于目标 CAN 应用程序。

MSCAN 模块具有以下功能：

- CAN 协议版本 2.0 A/B 的实现
- 标准和扩展数据帧
- 0 到 8 字节的数据长度
- 可编程比特率高达 1 Mbit/s
- 支持远程帧
- 每个消息缓冲区单独的 Rx 掩码寄存器
- 用于对接收和传输的消息进行时间戳的内部计时器
- 仅收听模式功能
- 支持自测试操作的可编程环回模式
- 可编程传输优先级方案：最低 ID、最低缓冲区数或最高优先级
- 低功耗模式，在总线活动中具有可编程唤醒功能

2.2.13 端口控制和 GPIO

端口控制和中断 (PORT) 模块支持端口控制、数字过滤和外部中断功能。当引脚为 GPIO 功能配置时，GPIO 数据方向和输出数据寄存器控制每个引脚的方向和输出数据。当引脚配置为任何数字功能时，只要为该引脚启用相应的端口控制和中断模块，GPIO 输入数据寄存器会显示每个引脚上的逻辑值。

下图显示了基本的 I/O 垫结构。当配置为开漏操作时，伪开漏引脚会禁用 p 通道输出驱动器。任何 I/O 引脚，包括开漏和伪开漏引脚，都不允许超过 VDD。

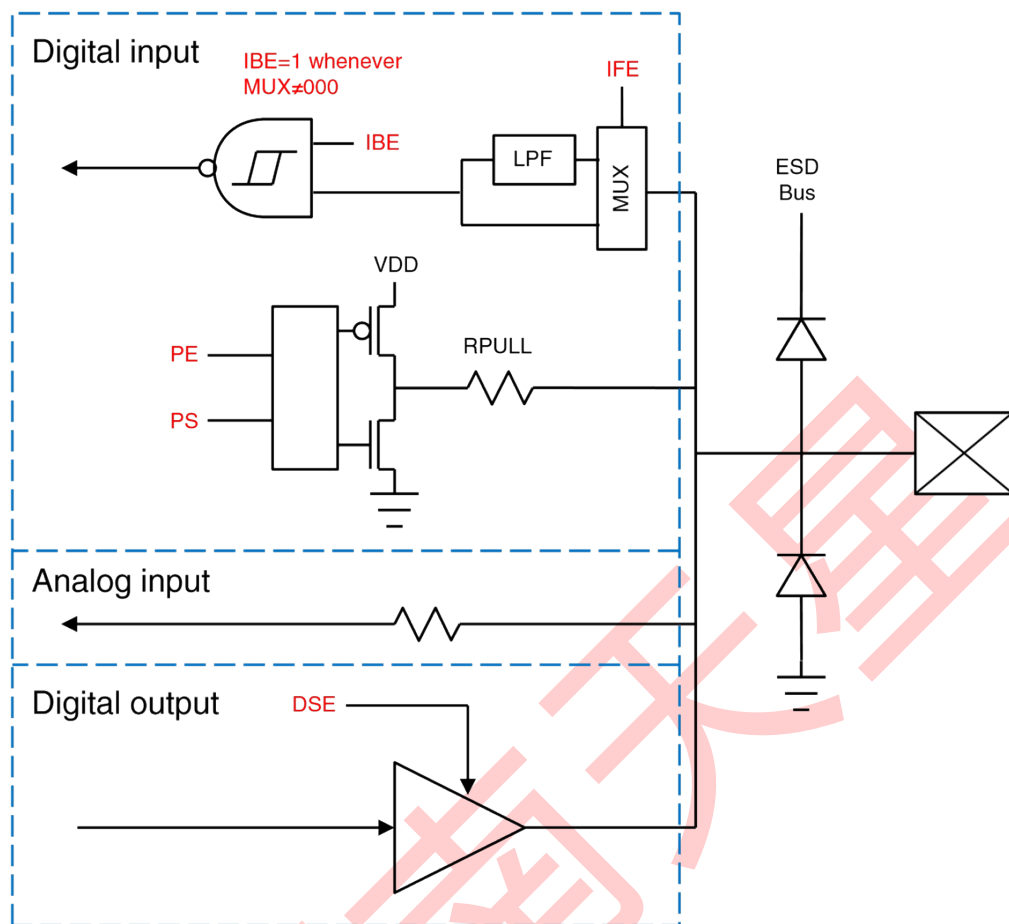


Figure 4. I/O simplified block diagram

PORT 模块具有以下功能：

- 所有 PIN 支持中断启用
- 可配置的边缘（上升、下降或两者兼而有之）或电平敏感中断类型
- 支持 DMA 请求

内存地图

- 低功耗模式下的异步唤醒
- 在选定的引脚上可配置的上拉、下拉和拉禁用
- 在选定引脚上可配置的高和低驱动强度
- 选定引脚上的可配置被动过滤器
- 单个 mux 控制场，支持模拟或引脚禁用、GPIO 和 up tochip 特定数字功能
- 垫子配置字段在所有数字引脚混合模式下都功能正常。

GPIO 模块具有以下功能：

- 端口数据输入寄存器在所有数字引脚多路复用模式下可见
- 具有相应设置/清除/切换寄存器的端口数据输出寄存器
- 端口数据方向寄存器
- GPIO 支持通过快速 GPIO 进行单周期访问。

3 内存地图

该设备包含位于 4 GB 内存空间中的各种内存和内存映射外围设备。有关系统内存和外围位置的更多详细信息，请参阅参考手册中的内存映射一章。

4 个引脚

4.1 KE1xZ64 信号多路复用和引脚分配

下表显示了每个引脚上可用的信号以及这些引脚在本文档支持的设备上的位置。端口控制模块负责选择每个引脚上可用的 ALT 功能。

48 LQFP	44 LQFP	40 QFN	引脚 名称	默认选项	ALT0	ALT1	ALT2	ALT 3	ALT 4	ALT 5	ALT 6	ALT7
—	—	5	PTE5	TSIO_CH0	TSIO_CH0	PTE5	TCLK2					EWM_IN
—	—	6	PTE4	TSIO_CH1	TSIO_CH1	PTE4	BUSOUT					EWM_OUT_b

—	—	32	PTC7	TSI0_CH16	TSI0_CH16	PTC7	LPUART1_TX					
—	—	33	PTC6	TSI0_CH15	TSI0_CH15	PTC6	LPUART1_RX					
1	1	1	PTD1	TSI0_CH5	TSI0_CH5	PTD1	FTM0_CH3					TRGMUX_OUT2
2	2	2	PTD0	TSI0_CH4	TSI0_CH4	PTD0	FTM0_CH2					TRGMUX_OUT1

深圳南天星

Pinouts

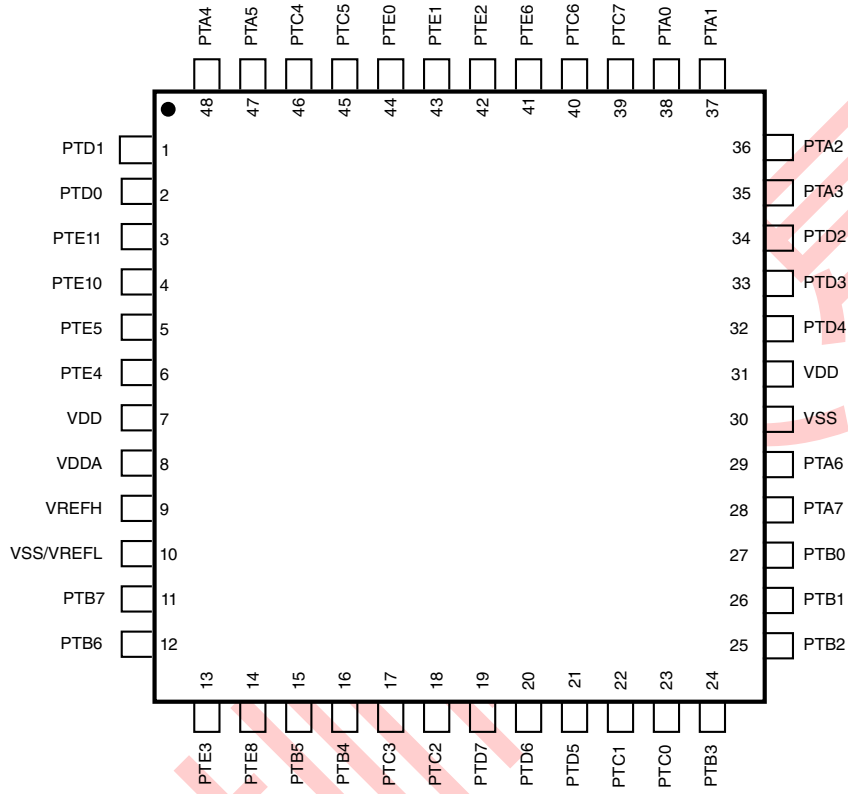


Figure 5. 48 LQFP Pinout Diagram

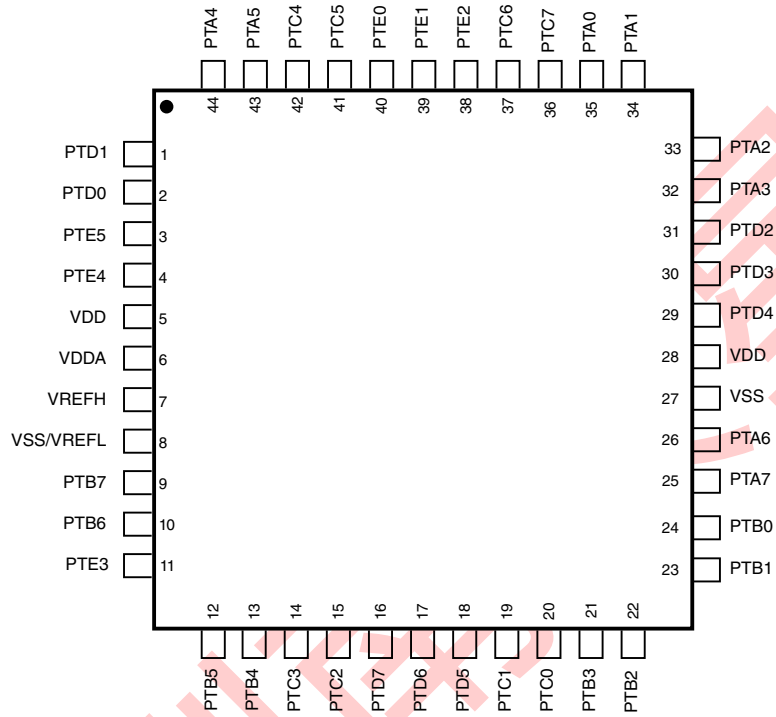


Figure 6. 44 LQFP Pinout Diagram

Pinouts

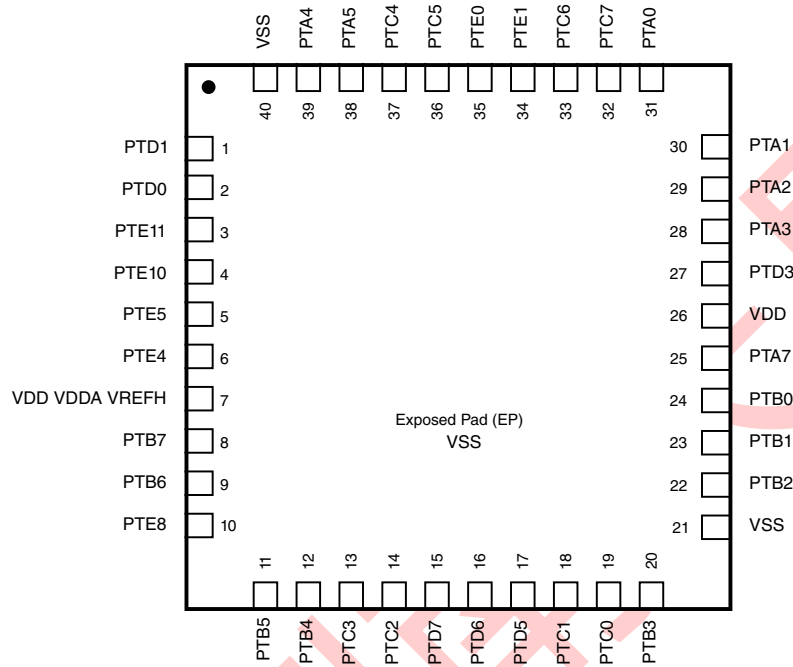


Figure 7. 40 QFN Pinout Diagram

4.5 Package dimensions

The following hyperlinks (package drawings) show the dimensions of the package options for the devices supported by this document.

- 48-LQFP: [98ASH00962A](#)
- 44-LQFP: [98ASS23225W](#)
- 40-QFN: [98ASA01371D](#)