

Kinetis KE1xF, 高达 512 KB 闪光灯

基于 ARM® Cortex®-M4 的微控制器高达 168 MHz

MKE1xF512VLL16

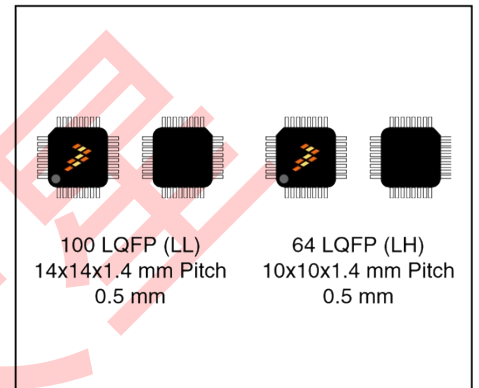
MKE1xF512VLH16

MKE1xF256VLL16

MKE1xF256VLH16

KE1xF 微控制器建立在 ARM 上®皮层®-M4 处理器在多个封装中具有更强的性能和更高的内存密度。该设备通过集成的单精度浮点单元 (FPU) 和数字信号处理器 (DSP) 提供高达 168 MHz 的性能。嵌入式闪光灯内存大小从 256 KB 到 512 KB 不等。

- 64 KB FlexNVM, 带 ECC, 用于数据闪存和 EEPROM 仿真
- 用于 EEPROM 仿真的 4 KB FlexRAM
- 8 KB I/D 缓存, 以尽量减少内存访问延迟的性能影响
- 内置引导加载程序的引导 ROM



核心处理器和系统

- 手臂®皮层®-M4 核心, 支持高达 168 MHz 的频率, 每 MHz 1.25 Dhrystone MIPS
- 基于 ARMv7 架构和 Thumb 的 ARM Core®-2 ISA
- 集成数字信号处理器 (DSP)
- 可配置的嵌套矢量中断控制器 (NVIC)
- 单精度浮点单元 (FPU)
- 16 通道 DMA 控制器使用 DMAMUX 扩展到 64 个通道

可靠性、安全性和安全性

- Flash 和 SRAM memories 上的错误更正代码 (ECC)
- 系统内存保护单元 (MPU) 模块
- 闪存访问控制 (FAC)
- 循环冗余检查 (CRC) 生成器模块
- 128 位唯一标识 (ID) 号码
- 具有独立时钟源的内部监督机构 (WDOG)
- 外部看门狗监视器 (EWM) 模块
- ADC 自校准功能
- 片上时钟损耗监控

人机界面 (HMI)

- 支持多达 92 个中断请求 (IRQ) 源
- 多达 89 个具有中断功能的 GPIO 引脚
- 8 个高驱动引脚
- 数字过滤器

内存和内存接口

- 带有 ECC 的高达 512 KB 的程序闪存
- 带有 ECC 的高达 64 KB 的 SRAM

混合信号模拟

- 3×12 位模数转换器 (ADC), 每个模块最多 16 个通道模拟输入, 最高 1M sps
- 3×高速模拟比较器 (CMP) 内部 8 位数字到模拟转换器 (DAC) • 1×12 位数字到模拟转换器 (DAC)

时机和控制

- 用于 PWM 生成的 4×柔性定时器 (FTM), 提供高达 32 个标准通道
- 1×低功耗计时器 (LPTMR) 在停止模式下工作, 具有灵活的唤醒控制
- 3×具有灵活触发系统的可编程延迟块 (PDB), 为模块间同步提供准确的延迟和触发生成
- 1×低功耗周期中断计时器 (LPIT), 具有 4 个独立通道, 用于一般用途
- 脉冲宽度计时器 (PWT)

- 实时计时器时钟 (RTC)

时钟接口

- 4-40 MHz 快速外部振荡器 (OSC)
- 32 千赫慢速外部振荡器 (OSC32)
- 用于高速运行的 48 MHz 高精度 (高达±1%) 快速内部参考

NXP 保留根据需要更改生产细节规格的权利, 以允许改进其产品的设计。

时钟 (FIRC)

- 8 MHz/2 MHz 高精度 (高达±3%) 慢速内部参考时钟 (SIRC) 用于低速运行
- 128 kHz 低功耗振荡器 (LPO)
- 相锁环 (PLL)
- 高达 50 MHz 直流外部方波输入时钟
- 系统时钟发生器 (SCG)
- 实时计数器 (RTC)

电源管理

- 低功耗 ARM Cortex-M4 核心, 具有出色的能效
- 具有多种电源模式的电源管理控制器 (PMC) : HSRUN、Run、Wait、Stop、VLPR、VLPW 和 VLPS
- 支持未使用模块的时钟门控, 特定外围设备在低功耗模式下保持工作?POR, LVD/LVR

操作特性

- 电压范围 : 2.7 至 5.5V
- 环境温度范围 : -40 至 105°C

连接和通信接口

- TriggerMUX : 用于模块互连
- 3×低功耗通用异步接收器/发射器 (LPUART) 模块, 支



持 DMA, 在停止模式下工作

- 2 个低功耗串行外设接口 (LPSPI) 模块, 支持 DMA, 在停止模式下工作
- 2×低功耗集成电路 (LPI2C) 模块, 支持 DMA, 在停止模式下工作
- 多达 2 个×FlexCAN 模块, 带有灵活的消息缓冲器和邮箱
- FlexIO 模块, 用于灵活和高性能的串行接口仿真

调试功能

- 串行线 JTAG 调试端口 (SWJ-DP) 组合
- 调试监视点和跟踪 (DWT)
- 仪器跟踪宏细胞 (ITM)
- 测试端口接口单元 (TPIU)
- 闪存补丁和断点 (FPB)

相关资源

类型	描述	资源
产品简介	产品简介包含简洁的概述/摘要信息, 以便快速评估设备的设计适用性。	KE1xF512PB ¹
参考手册	参考手册包含对设备结构和功能 (操作) 的全面描述。	KE1xFP100M168SF
数据表	数据表包括电气特性和信号连接。	本文件 : KE1xFP100M168SF
芯片勘误	芯片掩码集 Errata 为特定设备掩码集提供了额外的或纠正信息。	Kinetis_E_0N79P ¹ Kinetis_E_1N79P ¹
包装图纸	包装图纸中提供了包装尺寸。	100-LQFP : 98ASS 64-LQFP : 98ASS2

1.要查找相关资源, 请转到 [Http://www.nxp.com](http://www.nxp.com) 并使用这个术语进行搜索。

Kinetis KE1xF 子家族

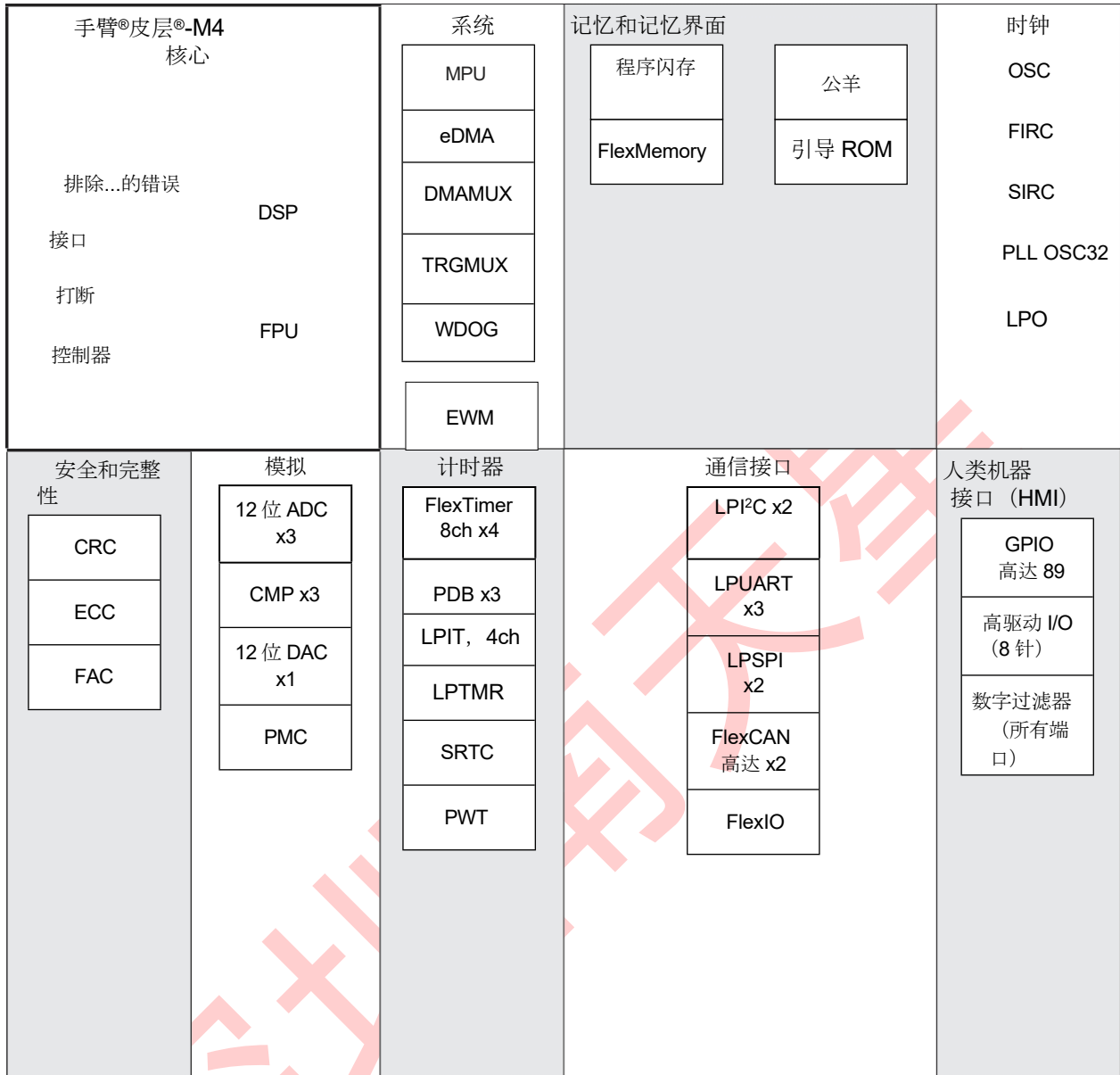


图 1。功能框图

目录

1 订购信息.....	5
2 概述.....	5
2.1 系统功能.....	6

2.1.1	ARM Cortex-M4 核心	6		
2.1.2	NVIC	7		
2.1.3	AWIC	7		
2.1.4	内存	8		
2.1.5	重置和启动	8		
2.1.6	时钟选项	10		
2.1.7	安全	11		
2.1.8	电源管理	12		
2.1.9	调试控制器	13		
2.2	外围功能	14		
2.2.1	eDMA 和 DMAMUX	14		
2.2.2	FTM	14		
2.2.3	ADC	15		
2.2.4	DAC	15		
2.2.5	CMP	16		
2.2.6	RTC	16		
2.2.7	LPIT	17		
2.2.8	PDB	17		
2.2.9	LPTMR	18		
2.2.10	CRC	18		
2.2.11	LPUART	18		
2.2.12	LPSPi	19		
2.2.13	FlexCAN	19		
2.2.14	LPI2C	21	要求	43
2.2.15	FlexIO	21	5.1.5 评级和运营指南	
2.2.16	端口控制和 GPIO	22	要求	44
	2.3 内存映射	24		
4	Pinouts	26	5.2 评级	44
4.1	KE1xF 信号多路复用和引脚分配	26	5.2.1 热处理额定值	44
4.2	端口控制和中断摘要	29	5.2.2 水分处理评级	45
	4.3 模块信号描述表	30	5.2.3 ESD 处理评级	45
	4.4 引脚图	35	5.2.4 电压和电流工作额定值	45
4.5	包装尺寸	37	5.3 一般	46
5	电气特性	42	5.3.1 非开关电气规格	46
5.1	术语和指南	42	5.3.2 切换规格	57
5.1.1	定义	42	5.3.3 热规格	60
5.1.2	示例	42	5.4 外围操作要求和行为	63
5.1.3	典型值条件	43	5.4.1 系统模块	63
5.1.4	评级与运营之间的关系			

5.4.2	时钟接口模块.....	64	6.1.4	数字设计.....	92
5.4.3	内存和内存接口.....	71	6.1.5	水晶振荡器.....	95
5.4.4	安全和完整性模块.....	74	6.2	软件考虑.....	96
5.4.5	模拟.....	74	7	零件识别.....	97
5.4.6	通信接口.....	82	7.1	描述.....	97
5.4.7	调试模块.....	86	7.2	格	
6	设计注意事项.....	90		式.....	97 7.3
6.1	硬件设计注意事项.....	90		字段.....	97
6.1.1	印刷电路板推荐.....	90	7.4	示例.....	97
6.1.2	供电系统.....	91	8	修订历史.....	98
6.1.3	模拟设计.....	91			

订购信息

1 订购信息

以下芯片可供订购。

表 1。订购信息

产品	记忆			包裹		IO 和 ADC 通道			沟通
	部件号	闪存 (KB)	斯拉姆 (KB)	FlexNVM/ FlexRAM (KB)	针数	包装 e	GPIOs	GPIOs (INT/HD) ¹	ADC 频道 s
MKE18F512VLL16	512	64	64/4	100	LQFP	89	89/8	16	2
MKE18F512VLH16	512	64	64/4	64	LQFP	58	58/8	16	2
MKE18F256VLL16	256	32	64/4	100	LQFP	89	89/8	16	2
MKE18F256VLH16	256	32	64/4	64	LQFP	58	58/8	16	2
MKE16F512VLL16	512	64	64/4	100	LQFP	89	89/8	16	1
MKE16F512VLH16	512	64	64/4	64	LQFP	58	58/8	16	1
MKE16F256VLL16	256	32	64/4	100	LQFP	89	89/8	16	1
MKE16F256VLH16	256	32	64/4	64	LQFP	58	58/8	16	1
MKE14F512VLL16	512	64	64/4	100	LQFP	89	89/8	16	0
MKE14F512VLH16	512	64	64/4	64	LQFP	58	58/8	16	0
MKE14F256VLL16	256	32	64/4	100	LQFP	89	89/8	16	0
MKE14F256VLH16	256	32	64/4	64	LQFP	58	58/8	16	0

1.INT : 中断引脚号 ; HD : 高驱动器引脚号

2 概述

下图显示了该设备的系统图。



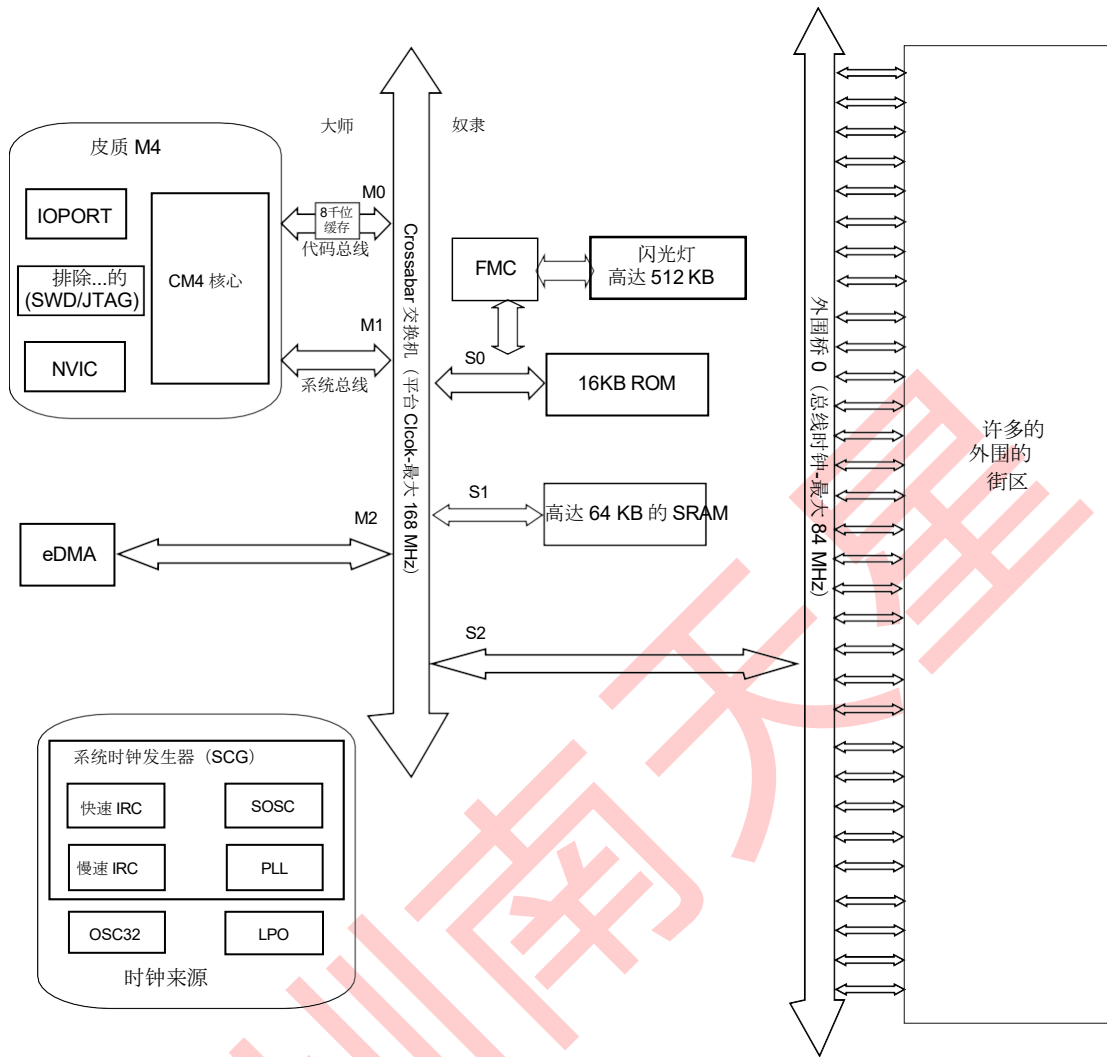


图 2。系统图

横杆开关使用横杆开关结构连接总线主站和从站。这种结构允许最多四个总线主同时访问不同的总线从站，同时在总线主访问同一从站时提供仲裁。

2.1 系统功能

以下各节描述了高级系统功能。

2.1.1 ARM Cortex-M4 核心

ARM Cortex-M4 是 Cortex M 系列处理器的成员，该处理器针对微控制器核心，专注于成本非常敏感、确定性、中断驱动的环境。Cortex M4 处理器基于 ARMv7 架构和 Thumb®-2 ISA，向上兼容 Cortex M3、Cortex M1 和

Cortex M0 架构。Cortex M4 的改进包括 ARMv7 Thumb-2 DSP

(从 ARMv7-A/R 配置文件架构移植) 提供带有 SIMD (单指令多数据) DSP 风格的乘法累积和饱和算术的 32 位指令。

2.1.2 NVIC

嵌套矢量中断控制器支持嵌套中断和 16 个中断优先级。在 NVIC 中，知识产权寄存器中的每个源都包含 4 位。它还具有不同的中断源数量，并支持 240 个中断向量。

Cortex-M 系列使用多种方法来改善中断延迟。它还可用于从等待和 VLPW 模式中唤醒 MCU 核心。

2.1.3 AWIC

异步唤醒中断控制器 (AWIC) 用于在停止模式下检测异步唤醒事件，并向时钟控制逻辑发出信号以恢复系统时钟。时钟重新启动后，NVIC 会观察挂起的中断，并执行正常的中断或事件处理。AWIC 可用于从部分停止、停止和 VLPS 模式中唤醒 MCU 核心。

此 SoC 的唤醒源如下：

表 2。AWIC 停止和 VLPS 唤醒源

唤醒源	描述
可用的系统重置	重置引脚, WDOG, JTAG, 时钟丢失 (LOC) 重置和锁定丢失 (LOL) 重置
引脚中断	端口控制模块-任何启用的引脚中断都能够唤醒系统
ADCx	ADCx 是可选功能, 具有来自 SIRC 或 OSC 的时钟源
CMPx	使用 SIRC 或 OSC 的时钟源在停止/MLPS 模式下运行
LPI2C	使用 SIRC 或 OSC 的时钟源在停止/MLPS 模式下运行
LPUART	使用 SIRC 或 OSC 的时钟源在停止/MLPS 模式下运行
LPSPi	使用 SIRC 或 OSC 的时钟源在停止/MLPS 模式下运行

表在下一页继续...

表 2。AWIC 停止和 VLPS 唤醒源 (续)

唤醒源	描述
LPIT	使用 SIRC 或 OSC 的时钟源在停止/MLPS 模式下运行
FlexIO	使用 SIRC 或 OSC 的时钟源在停止/MLPS 模式下运行

LPTMR	在停止/VLPS 模式下功能
RTC	在停止/VLPS 模式下功能
SCG	停止模式下的功能 (仅限 SIRC)
装罐量	可以停止醒来
NMI	不可掩码的中断

2.1.4 记忆

此设备具有以下功能：

- 高达 512 KB 的嵌入式程序闪存。
- 在 0wait 状态的 CPU 时钟速度下，高达 64 KB 的嵌入式 SRAM 可访问（读/写）。
- 非易失性存储器分为几个阵列：
- 64 KB 的嵌入式数据闪存
- 4 KB 模拟 EEPROM
- 16 KB ROM（内置引导加载程序，支持 UART、I2C 和 SPI 接口）

程序闪存包含一个 16 字节的闪存配置字段，存储默认保护设置和安全信息。程序闪存的页面大小为 4 KB。

保护设置可以保护程序闪存的 32 个区域免受意外擦除或程序操作。

安全电路可防止从调试端口未经授权访问 RAM 或闪存内容。

2.1.5 重置并启动

下表列出了此设备支持的所有重置源。

笔记

在下表中，Y 表示特定模块，除了脚注中提到的寄存器、位或条件外，由相应的重置源重置。N 表示特定模块没有被相应的重置源重置。

表 3. 重置来源

重置来源	描述	模块									
		PMC	SIM 卡	SMC	RCM	重置引脚 被否定	WDO G	SCG	RTC	LPTM R	其他 s

Overview

POR 重置	开机重置 (POR)	第 25 个字母	第 25 个字母	第 25 个字母	第 25 个字母	第 25 个字母	第 25 个字母	第 25 个字母	第 25 个字母	第 25 个字母	第 25 个字母
系统重置	低压检测 (LVD)	第 25 个字母 1	第 25 个字母	第 25 个字母	第 25 个字母	第 25 个字母	第 25 个字母	第 25 个字母	第十四个英文字母	第 25 个字母	第 25 个字母
	外部引脚重置 (重置)	第 25 个字母 1	第 25 个字母 2	第 25 个字母 3	第 25 个字母 4	第 25 个字母	第 25 个字母 5	第 25 个字母 6	第十四个英文字母	第十四个英文字母	第 25 个字母
	看门狗 (WDOG) 调整	第 25 个字母 1	第 25 个字母 2	第 25 个字母 3	第 25 个字母 4	第 25 个字母	第 25 个字母 5	第 25 个字母 6	第十四个英文字母	第十四个英文字母	第 25 个字母
	多用途时钟发生器时钟丢失 (LOC) 重置	第 25 个字母 1	第 25 个字母 2	第 25 个字母 3	第 25 个字母 4	第 25 个字母	第 25 个字母 5	第 25 个字母 6	第十四个英文字母	第十四个英文字母	第 25 个字母
	多用途时钟发生器锁丢失 (LOL) 重置	第 25 个字母 1	第 25 个字母 2	第 25 个字母 3	第 25 个字母 4	第 25 个字母	第 25 个字母 5	第 25 个字母 6	第十四个英文字母	第十四个英文字母	第 25 个字母
	停止模式确认错误 (SACKERR)	第 25 个字母 1	第 25 个字母 2	第 25 个字母 3	第 25 个字母 4	第 25 个字母	第 25 个字母 5	第 25 个字母 6	第十四个英文字母	第十四个英文字母	第 25 个字母

									文 字 母		
	软件重置 (SW)	第 25 个字 母 1	第 25 个字 母 2	第 25 个字 母 3	第 25 个字 母 4	第 25 个 字母	第 25 个字 母 5	第 25 个字 母 6	第 十 四 个 英 文 字 母	第 十 四 个 英 文 字 母	第 25 个字母
	锁定重置 (LOCKUP)	第 25 个字 母 1	第 25 个字 母 2	第 25 个字 母 3	第 25 个字 母 4	第 25 个 字母	第 25 个字 母 5	第 25 个字 母 6	第 十 四 个 英 文 字 母	第 十 四 个 英 文 字 母	第 25 个字母
	MDM DAP 系统重置	第 25 个字 母 1	第 25 个字 母 2	第 25 个字 母 3	第 25 个字 母 4	第 25 个 字母	第 25 个字 母 5	第 25 个字 母 6	第 十 四 个 英 文 字 母	第 十 四 个 英 文 字 母	第 25 个字母
调试重置	调试重置	第 25 个字 母 1	第 25 个字 母 2	第 25 个字 母 3	第 25 个字 母 4	第 25 个 字母	第 25 个字 母 5	第 25 个字 母 6	第 十 四 个 英 文 字 母	第 十 四 个 英 文 字 母	第 25 个字母

1. 除了 PMC_LVDSC1[LVDV]和 PMC_LVDSC2[LVVW]
2. 除了 SIM_SOPT1
3. 除了 SMC_PMPROT, SMC_PMCTRL_RUM, SMC_PMCTRL_STOPM, SMC_STOPCTRL, SMC_PMSTAT
4. 除了 RCM_RPC、RCM_MR、RCM_FM、RCM_SRIE、RCM_SRS、RCM_SRS
5. 除了 WDOG_CS[TST]
6. SCG_CSR 和 SCG_FIRCSTAT 除外

此设备支持从以下设备启动：

- 内部闪光灯
- 启动 ROM

Overview

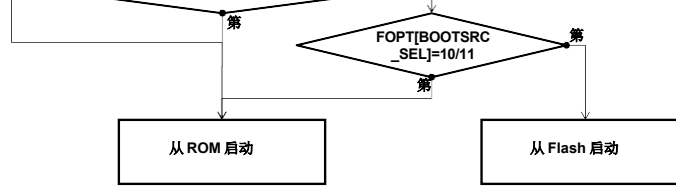


图 3。引导流程图

空白芯片默认从 ROM 启动，并将矢量表重新映射到 ROM 基地址，否则，它将重新映射到闪存地址。

2.1.6 时钟选项

SCG 模块控制使用哪个时钟源来导出系统时钟。时钟生成逻辑将选定的时钟源划分为各种时钟域，包括系统总线主服务器、系统总线从和闪存的时钟。时钟生成逻辑还实现了特定于模块的时钟门控，以允许模块的粒度关闭。

下图是时钟生成的高级方框图。有关时钟操作和配置的更多详细信息，请参阅参考手册中的时钟一章。

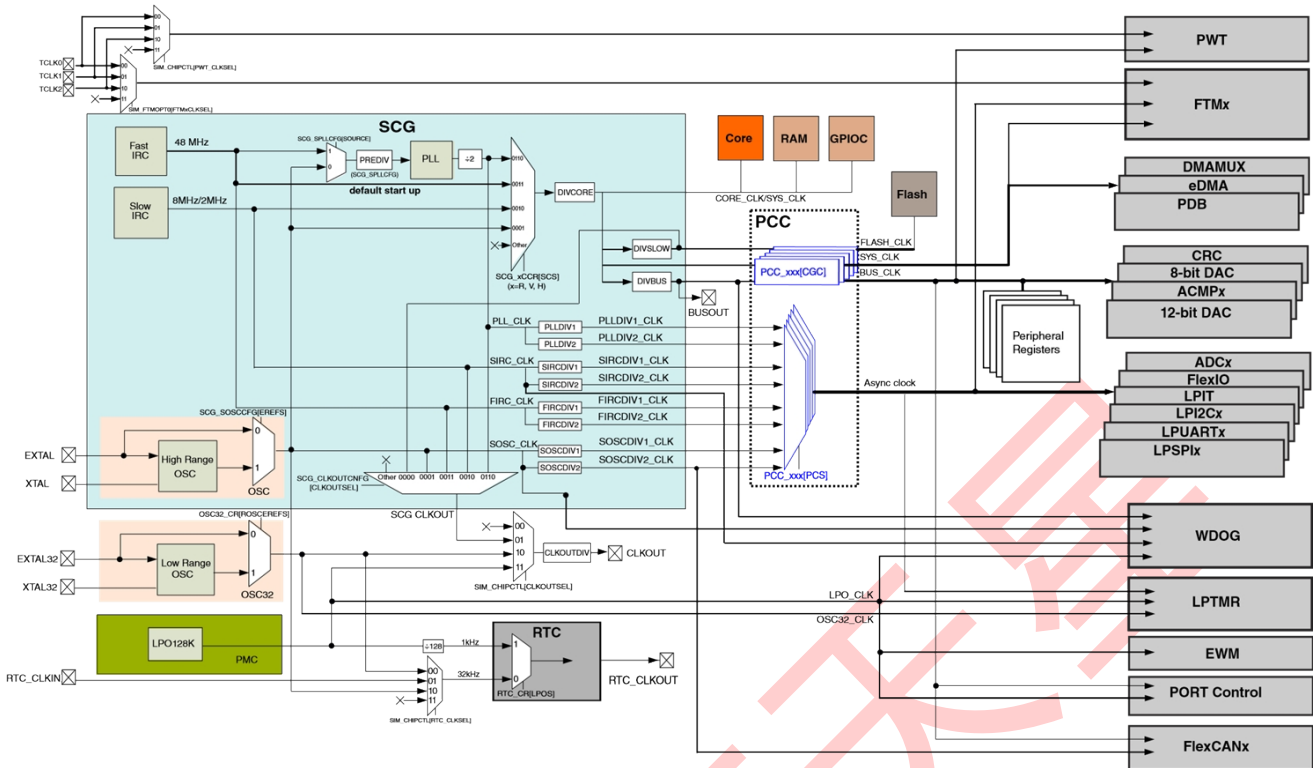


图 4。时钟框图

2.1.7 安全

安全状态可以通过编程闪存配置字段 (0x40e) 启用。启用设备安全后, SWD/JTAG 端口无法访问 MCU 的内存资源。

外部接口	安全	不安全
SWD/JTAG 端口	无法通过 SWD/JTAG 接口访问内存源	调试器可以写入 MDM-AP 控制寄存器的 Flash Mass Erase in Progress 字段, 以触发大规模擦除 (擦除所有块) 指挥权

2.1.7.1 闪存访问控制 (FAC)

FAC 是一种原生或第三方可配置的内存保护方案, 经过优化, 允许最终用户利用软件库, 同时为这些库提供可编程限制。闪存分为大小相等的段, 为专有软件库提供保护。这些段的保护受到控制, 因为 FAC 对路由到片上闪存的每个事务的访问权限进行逐周期评估。可配置性允许 increasing 受保护段的数量, 同时支持两个级别的供应商将其专有软件添加到设备中。

2.1.7.2 纠错代码 (ECC)

闪存和 SRAM 存储器也支持 ECC 检测。它支持自动更正一个位错误并报告多个位错误。

2.1.8 电源管理

电源管理控制器 (PMC) 扩展了 ARM 的运行、睡眠和深度睡眠操作模式，以提供多种可配置模式。这些模式可用于优化各种应用的电流消耗。WFI 或 WFE 指令调用等待或停止模式，具体取决于当前配置。有关 ARM 操作模式的更多信息，请参阅 ARM® 皮层® 用户指南。

PMC 在 ARM 的运行模式下提供高速运行 (HSRUN)、正常运行 (RUN) 和甚低功耗运行 (VLPR) 配置。在这些模式下，MCU 核心处于活动状态，可以访问所有外围设备。模式之间的区别是系统的最大时钟频率，因此也是功耗。可以选择与应用程序的功率与性能要求相匹配的配置。

PMC 在 ARM 的睡眠操作模式下提供等待 (等待) 和甚低功耗等待 (VLPW) 配置。在这些模式下，即使 MCU 核心处于非活动状态，所有外围设备都可以启用并按编程方式运行。模式之间的区别是系统的最大时钟频率，因此也是功耗。

PMC 在 ARM 的深度睡眠操作模式下提供停止 (停止)、极低功耗停止 (VLPS) 配置。在这些模式下，MCU 核心和大多数外围设备被禁用。根据应用程序的要求，可以保留或禁用模拟、逻辑和内存的不同部分，以节省电力。

嵌套矢量中断控制器 (NVIC)，异步唤醒中断控制器 (AWIC) 用于从低功耗状态唤醒 MCU。NVIC 用于从 WAIT 和 VLPW 模式唤醒 MCU 核心。AWIC 用于从 STOP 和 VLPS 模式唤醒 MCU 核心。

有关操作模式、电源管理、NVIC、AWIC 的更多信息，请参阅参考手册。

下表提供了有关各种操作模式下外围设备的状态以及可以从低功耗模式唤醒 MCU 的模块的信息。

表 5。不同操作模式下的外围设备状态

核心模式	设备模式	描述
运行模式	高速运行	在 HSRun 模式下，MCU 能够以更快的频率运行，并且所有设备模块都可以运行。
	跑步	在运行模式下，所有设备模块都可以运行。

	非常低的功率运行	在 VLPR 模式下，除了禁用的低压检测 (LVD) 监视器外，所有设备模块都以较低的频率运行。
休眠模式	等待	在等待模式下，所有外围模块都可以运行。MCU 核心被置于睡眠模式。
	非常低的功率等待	在 VLPW 模式下，除了禁用的低压检测 (LVD) 监视器外，所有外围模块都以较低的频率运行。 MCU 核心被置于睡眠模式。
深度睡眠	阻止	在停止模式下，大多数外围时钟被禁用并置于静态状态。停止模式保留所有寄存器和 SRAM，同时保持低电压检测保护。在停止模式下，ADC、DAC、CMP、LPTMR、RTC 和引脚中断处于运行状态。NVIC 被禁用，但 AWIC 可用于从中断中唤醒。
	非常低的功率停止	在 VLPS 模式下，SRAM 的内容被保留。CMP (低速)、ADC、OSC、RTC、LPTMR、LPIT、FlexIO、LPUART、LPI2C、LPSPI 和 DMA 可操作，LVD 和 NVIC 被禁用，AWIC 用于从中断中唤醒。

笔记

当 MCU 处于 HSRUN 或 VLP 模式时，用户无法写入 FlexRAM (EEPROM)，也无法启动 FTFE 命令，包括闪存编程/擦除。

2.1.9 调试控制器

该设备具有广泛的调试功能，包括运行控制和跟踪功能。标准 ARM 调试端口支持 SWD/JTAG 接口。

2.2 外围特征

以下部分描述了芯片每个外围设备的功能。

2.2.1 eDMA 和 DMAMUX

eDMA 是一个高度可编程的数据传输引擎，经过优化，可最大限度地减少主机处理器所需的任何干预。它旨在用于要传输的数据大小是静态已知的，并且未在传输的数据本身中定义的应用程序。该设备中的 DMA 控制器实现了 16 个通道，可以通过 DMA MUX 模块从多达 63 个 DMA 请求源路由。

eDMA 的主要特点如下：

- 通过双地址传输的所有数据移动：从源读取，写入目的地
- 16 个通道的实现，以最小的干预从主机处理器执行复杂的数据传输

- 传输控制描述符 (TCD) 组织支持双深度嵌套传输操作
- 通过三种方法之一激活通道
- 固定优先级和循环信道仲裁
- 通过可编程中断请求报告的通道完成
- 对散射/收集 DMA 处理的可编程支持
- 支持复杂的数据结构

2.2.2 FTM

该设备包含四个 FlexTimer 模块。

FlexTimer 模块 (FTM) 是一个两到八通道的计时器，支持输入捕获、输出比较和生成 PWM 信号来控制电动机和电源管理应用程序。FTM 时间引用是一个 16 位计数器，可以用作无签名或签名计数器。

本模块有几个关键的增强功能：

- 注册的柜台
- 死时插入硬件
- 故障控制输入
- 增强的触发功能
- 初始化和极性控制

2.2.3 ADC

该设备包含三个 12 位 SAR ADC 模块。ADC 模块支持来自 FTM、LPTMR、PIT、RTC、外部触发引脚和 CMP 输出的硬件触发器。当使用内部时钟源或外部晶体时钟时，它支持在低功耗模式下唤醒 MCU。

ADC 模块具有以下功能：

- 分辨率高达 12 位的线性连续近似算法
- 多达 16 个单端外部模拟输入
- 支持 12 位、10 位和 8 位单端输出模式
- 单次或连续转换
- 可配置的采样时间和转换速度/功率

- 最多可从四个源中选择输入时钟
- 在低功耗模式下运行，降低噪音
- 可选的硬件转换触发器
- 自动比较小于、大于或等于、范围内或范围外、可编程值的中断
- 温度传感器
- 硬件平均功能
- 可选电压参考：来自外部或备用
- 自校准模式

2.2.3.1 温度传感器

该设备包含一个内部连接到 AD26 输入通道的温度传感器，请参阅 [ADC 电气特性](#) 有关线性因子的详细信息。

传感器必须校准以获得良好的精度，以便提供良好的线性度，另请参阅 [AN3031](#) 有关温度传感器的更详细的应用信息。

2.2.4 DAC

12 位数模转换器 (DAC) 是一种低功耗通用 DAC。DAC 的输出可以放在外部引脚上，也可以设置为模拟比较器或 ADC 的输入之一。

DAC 模块具有以下功能：

- 片上可编程参考发生器输出。电压输出范围从 $1/4096 V_{in}$ 到 V_{ref} ，并且步骤是 $1/4096 V_{ref}$ ，其中 V_{ref} 是输入电压。
- V_{ref} 可以从两个参考来源中选择
- 正常停止模式下的静态操作
- 支持多种操作模式的 16 字数据缓冲区
- DMA 支持

2.2.5 CMP

这个设备上有三个模拟比较器。

- 每个 CMP 都有自己独立的 8 位 DAC。
- 每个 CMP 最多支持来自外部引脚的 7 个模拟输入。

Overview

- 每个 CMP 都能够从带隙转换内部引用。
- 每个 CMP 都支持来自片上 12 位 DAC 的内部引用。
- 每个 CMP 都支持循环采样方案。总之，这允许 CMP 在 VLPS 和停止模式下独立运行，同时定期触发以采样多达 8 个输入。只有当输入更改状态是生成完整的唤醒时。

CMP 具有以下特点：

- 输入可能从轨道到轨道不等
- 可编程滞后控制
- 比较器输出的上升边缘、下降边缘或上升边缘和下降边缘的可选中断
- 比较器输出上的可选反转
- 能够产生广泛的输出，如采样、⑤口或数字过滤
- 外部滞后可以在输出滤波器用于内部函数的同时使用
- 两个软件可选的性能级别：以更高的功率为代价的传播延迟更短，以及传播延迟更长的低功率
- DMA 转移支持
- 适用于此 MCU 上可用的所有电源模式
- ⑤口和过滤器功能在 STOP 模式下不可用
- 集成的 8 位 DAC 具有可选的电源参考源，可以停电以节省电力

2.2.6 RTC

RTC 是一个始终通电的块，在所有低功耗模式下保持活动状态。RTC 内的时间计数器由使用振荡器来自外部晶体的 32.768 kHz 时钟计时，或直接从 RTC_CLKIN 引脚计时。

RTC 在开机重置时重置，RTC 中的软件重置位也可以初始化所有 RTC 寄存器。

RTC 模块具有以下功能

- 带有翻转保护和 32 位警报的 32 位秒计数器
- 具有补偿的 16 位预标器，可以纠正 0.12 ppm 和 3906 ppm 之间的误差
- 使用寄存器锁定机制的寄存器写入保护
- 1 赫兹方波或第二脉冲输出，可选中断

2.2.7 LPIT

低功耗周期性中断计时器（LPIT）是一个多通道计时器模块，生成独立的预触发和触发输出。这些计时器通道可以单独操作，也可以链接在一起。如果配置为，LPIT 可以在低功耗模式下运行。预触发和触发输出可用于触发设备上的其他模块。

该设备包含一个具有四个通道的 LPIT 模块。LPIT 为 DMAMUX 生成周期性触发事件。

2.2.8 PDB

可编程延迟块（PDB）提供从内部或外部触发器或可编程间隔刻度到 ADC 的硬件触发输入和/或向 DAC 生成间隔触发器的可控延迟，以便实现 ADC 转换和/或 DAC 更新之间的精确定时。PDB 可以选择提供脉冲输出（脉冲输出），用作 CMP 块中的样本⑤口。

PDB 模块具有以下功能：

- 触发输入源和一个软件触发源
- 1 个 DAC 刷新触发输出，适用于此设备
- 用于 ADC 硬件触发器的可配置 PDB 通道
- 1 个脉冲输出，用于此设备

2.2.9 LPTMR

低功耗计时器（LPTMR）可以配置为作为带有可选预刻度器的时间计数器，或作为带有可选故障滤波器的脉冲计数器，横跨所有功率模式，包括低泄漏模式。它还可以在大多数系统重置事件中继续运行，允许将其用作一天中的时间计数器。

LPTMR 模块具有以下功能：

- 比较 16 位时间计数器或脉冲计数器
- 可选中断可以从任何低功耗模式生成异步唤醒
- 硬件触发输出
- 计数器支持自由运行模式或在比较时重置
- Prescaler/glitch 过滤器的可配置时钟源
- 脉冲计数器的可配置输入源

2.2.10 CRC

该设备包含一个循环冗余检查（CRC）模块，该模块可以生成 16/32 位 CRC 代码进行错误检测。

CRC 模块提供了实现 16 位或 32 位 CRC 标准所需的可编程多项式、WAS 和其他参数。

CRC 模块具有以下功能：

- 使用 16 位或 32 位可编程移位寄存器的硬件 CRC 发生器电路
- 可编程初始种子值和多项式
- 按位或按字节转置输入数据或输出数据（CRC 结果）的选项。
- 最终 CRC 结果反转的选项
- 32 位 CPU 寄存器编程接口

2.2.11 LPUART

该产品包含三个低功耗 UART 模块，可以在停止和 VLPS 模式下工作。该模块还支持 4×至 32×的数据过采样率，以满足不同的应用程序。

LPUART 模块具有以下功能：

- 可编程波特率（13 位模分频器），可配置的过采样比从 4×到 32×
- 传输和接收波特率可以与总线时钟异步运行，并且可以独立于总线时钟频率进行配置，支持在停止模式下运行
- 中断、DMA 或轮询操作
- 硬件奇偶校验生成和检查
- 可编程 8 位、9 位或 10 位字符长度
- 可编程 1 位或 2 位停止位
- 三种接收器唤醒方法
- 闲置线唤醒
- 地址标记唤醒
- 接收数据匹配
- 自动地址匹配以减少 ISR 开销：
- 地址标记匹配
- 空闲线路地址匹配

- 地址匹配开始，地址匹配结束
- 可选的 13 位中断字符生成/11 位中断字符检测
- 可配置的空闲长度检测，支持 1、2、4、8、16、32、64 或 128 个空闲字符
- 可选的发射机输出和接收器输入极性

2.2.12 LPSPI

此设备包含两个 LPSPI 模块。LPSPI 是一个低功耗串行外设接口 (SPI) 模块，支持作为主和/或从站与 SPI 总线的高效接口。只要有适当的时钟，LPSPI 可以继续以停止模式运行，并设计用于低 CPU 开销，DMA 卸载 FIFO 寄存器访问。

LPSPI 模块具有以下功能：

- 命令/传输 4 个单词的 FIFO
- 收到 4 个单词的 FIFO
- 主机请求输入可用于控制 SPI 总线传输的开始时间

2.2.13 FlexCAN

此设备包含两个 FlexCAN 模块。FlexCAN 模块是根据 ISO 11898-1 标准和 CAN 2.0 B 协议规范实现 CAN 协议的通信控制器。

每个 FlexCAN 模块包含 16 个消息缓冲区。每个消息缓冲区为 16 字节。

FlexCAN 模块具有以下功能：

- 数据长度为 0 到 8 字节的灵活邮箱
- 每个邮箱都可以配置为接收或传输，所有支持标准和扩展消息
- 每个邮箱的单个 Rx 面具寄存器
- 全功能 Rx FIFO，存储容量高达六帧，并支持 DMA 的自动内部指针处理
- 传输中止能力
- CAN 协议接口的可编程时钟源，外围时钟或振荡器时钟
- 接收或传输结构不使用的 RAM 可以用作通用 RAM 空间
- 仅收听模式功能
- 支持自测操作的可编程回环模式
- 可编程传输优先级方案：最低 ID、最低缓冲区数或最高优先级
- 基于 16 位自由运行计时器的时间戳
- 全局网络时间，由特定消息同步

Overview

- 可屏蔽的中断
- 独立于传输介质（假设外部收发器）
- 由于高优先级消息的仲裁方案，延迟时间短
- 低功耗模式，可编程在公交车活动中唤醒
- 远程请求帧可以自动处理，也可以由软件处理
- CAN 位时间设置和配置位只能在冻结模式下写入
- Tx 邮箱状态（最低优先级缓冲区或空缓冲区）
- 接收帧的标识符接受过滤器命中指示器（IDHIT）寄存器
- 状态 1 寄存器中的错误中可用的 SYNCH 位，以通知该模块与 CAN 总线同步
- 传输消息的 CRC 状态
- Rx FIFO 全球口罩注册

- 在匹配过程中，邮箱和 Rx FIFO 之间可以选择优先级
- 强大的 Rx FIFO ID 过滤，能够将传入的 ID 与 128 个扩展、256 个标准或 512 个部分（8 位）ID 匹配，具有多达 32 个单独的屏蔽功能

2.2.14 LPI2C

该设备包含两个 LPI2C 模块。LPI2C 是一个低功耗集成电路（I2C）模块，支持作为主和/或从属的 I2C 总线的有效接口。LPI2C 可以在停止模式下继续运行，前提是有适当的时钟，并且专为低 CPU 开销而设计，DMA 卸载 FIFO 寄存器访问。LPI2C 实现了对标准模式、快速模式、快速模式加和超快操作模式的逻辑支持。LPI2C 模块也符合 *系统管理总线 (SMBus) 规范，版本 2*。

LPI2C 模块具有以下功能：

- 支持标准、快速、快速+和超快模式
- 在从属模式下支持 HS 模式
- 多主支持，包括同步和仲裁
- 时钟伸展
- 一般通话、7 位和 10 位寻址
- 软件重置、START 字节和设备 ID 需要软件支持
- 对于主模式：
- 命令/传输 4 个单词的 FIFO
- 接收 4 个单词的 FIFO
- 对于从属模式：
- 单独的 I2C 从属寄存器，以尽量减少主/从开关导致的软件开销
- 支持 7 位或 10 位寻址、地址范围、中小企业警报和一般呼叫地址
- 传输/接收支持中断或 DMA 请求的数据寄存器

2.2.15 FlexIO

FlexIO 是一个高度可配置的模块，提供广泛的协议，包括但不限于 UART、I2C、SPI、Camera IF、LCD RGB、PWM/波形生成。该模块支持独立于总线时钟频率的可编程波特率，并具有自动启动/停止位生成。

FlexIO 模块具有以下功能：

- 在 VLPR/VLPW/Stop/VLPS 模式下运行，前提是它使用的时钟仍然启用
- 四个 32 位双缓冲移位寄存器，具有传输、接收和数据匹配模式以及连续数据传输
- 移位器的移位、加载和存储事件的时间由分配给移位器的高度灵活的 16 位计时器控制
- 两个或多个变速器可以串联，以支持大数据传输大小
- 每个 16 位计时器独立运行，支持重置，启用和禁用具有可编程触发极性的各种内部或外部触发条件
- 支持输出禁用、开放排水、双向输出数据和输出模式的灵活引脚配置
- 支持中断、DMA 或轮询传输/接收操作

2.2.16 端口控制和 GPIO

端口控制和中断（PORT）模块支持端口控制、数字过滤和外部中断功能。当引脚配置为 GPIO 函数时，GPIO 数据方向和输出数据寄存器控制每个引脚的方向和输出数据。当引脚配置为任何数字函数时，GPIO 输入数据寄存器在每个引脚上显示逻辑值，前提是启用了该引脚的相应端口控制和中断模块。

下图显示了基本的 I/O 垫结构。伪开引脚在配置为开引流操作时禁用了 p 通道输出驱动程序。任何 I/O 引脚，包括开放排水和伪开放排水引脚，都不允许超过 VDD。

笔记

RESET_b 引脚也是带有伪开漏的普通 I/O 垫。

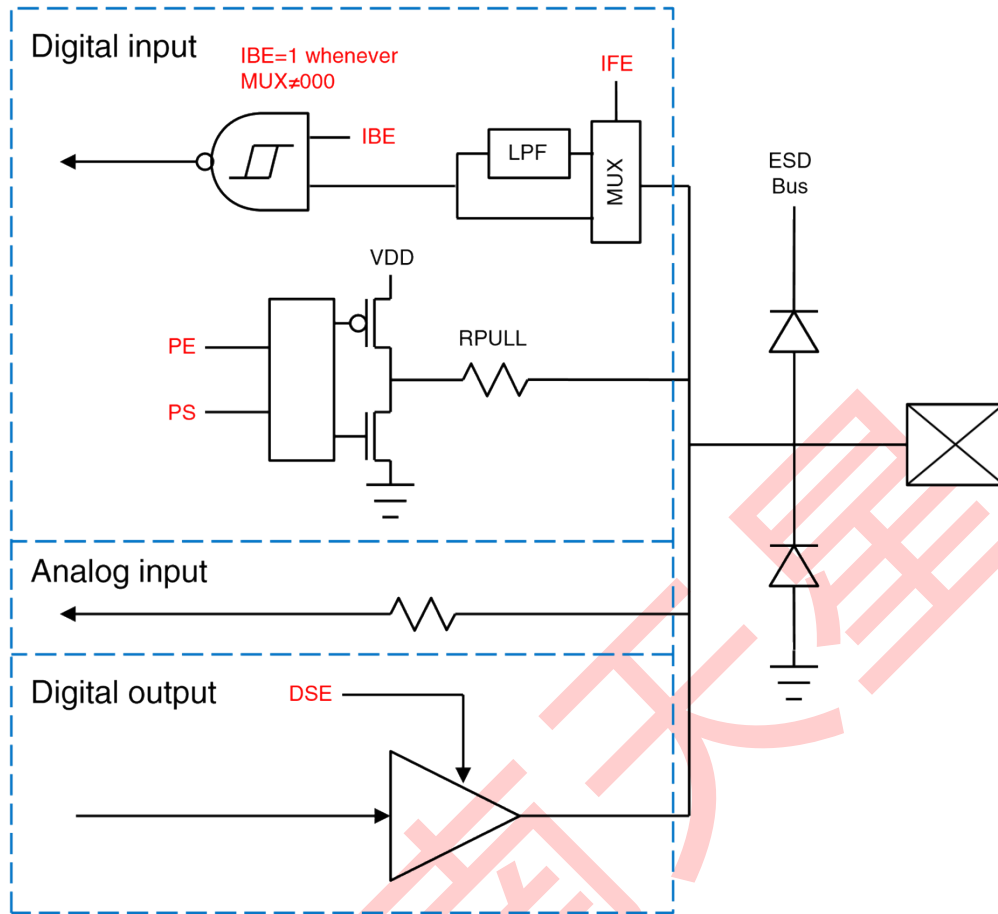


Figure 5. I/O simplified block diagram

PORT 模块具有以下功能：

- 所有 PIN 支持中断启用
- 可配置的边缘（上升、下降或两者兼而有之）或电平敏感中断类型
- 支持 DMA 请求
- 低功耗模式下的异步唤醒
- 在选定的引脚上可配置的上拉、下拉和拉禁用
- 在选定的引脚上可配置的高驱动器和低驱动器强度
- 所选引脚上的可配置被动滤波器
- 单个 mux 控制字段支持模拟或引脚禁用、GPIO 和高达芯片的数字功能
- 垫配置字段在所有数字引脚静音模式下都具有功能。

GPIO 模块具有以下功能：

- 端口数据输入寄存器在所有数字引脚复用模式下可见
- 带有相应集/清除/切换寄存器的端口数据输出寄存器
- 端口数据方向寄存器

- GPIO 支持通过快速 GPIO 进行单周期访问。

内存地图

3 内存地图

该设备包含位于 4 GB 内存空间的各种内存和内存映射外围设备。有关系统内存和外围位置的更多详细信息，请参阅参考手册中的内存地图一章。



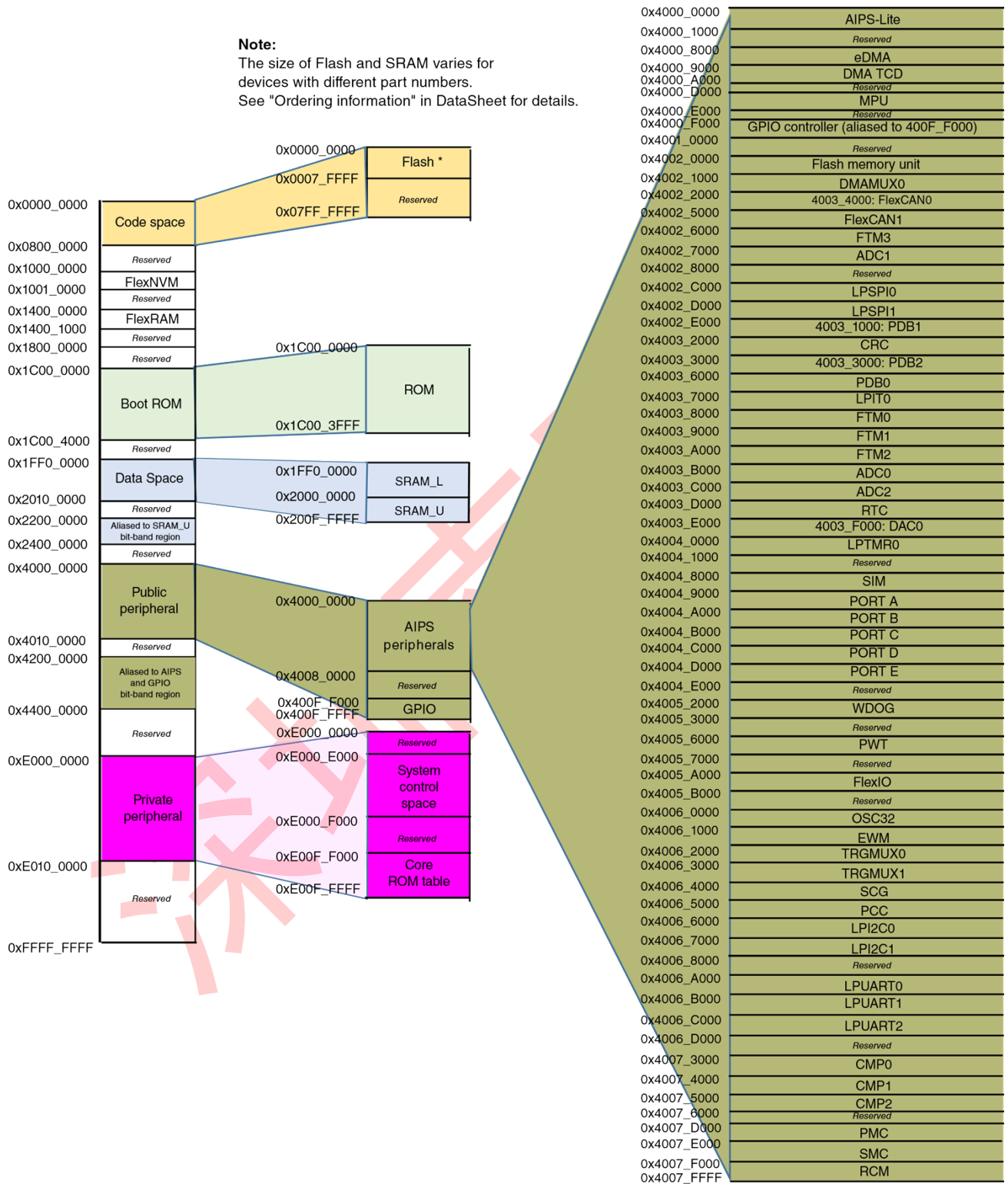


图 6。内存地图

Pinouts

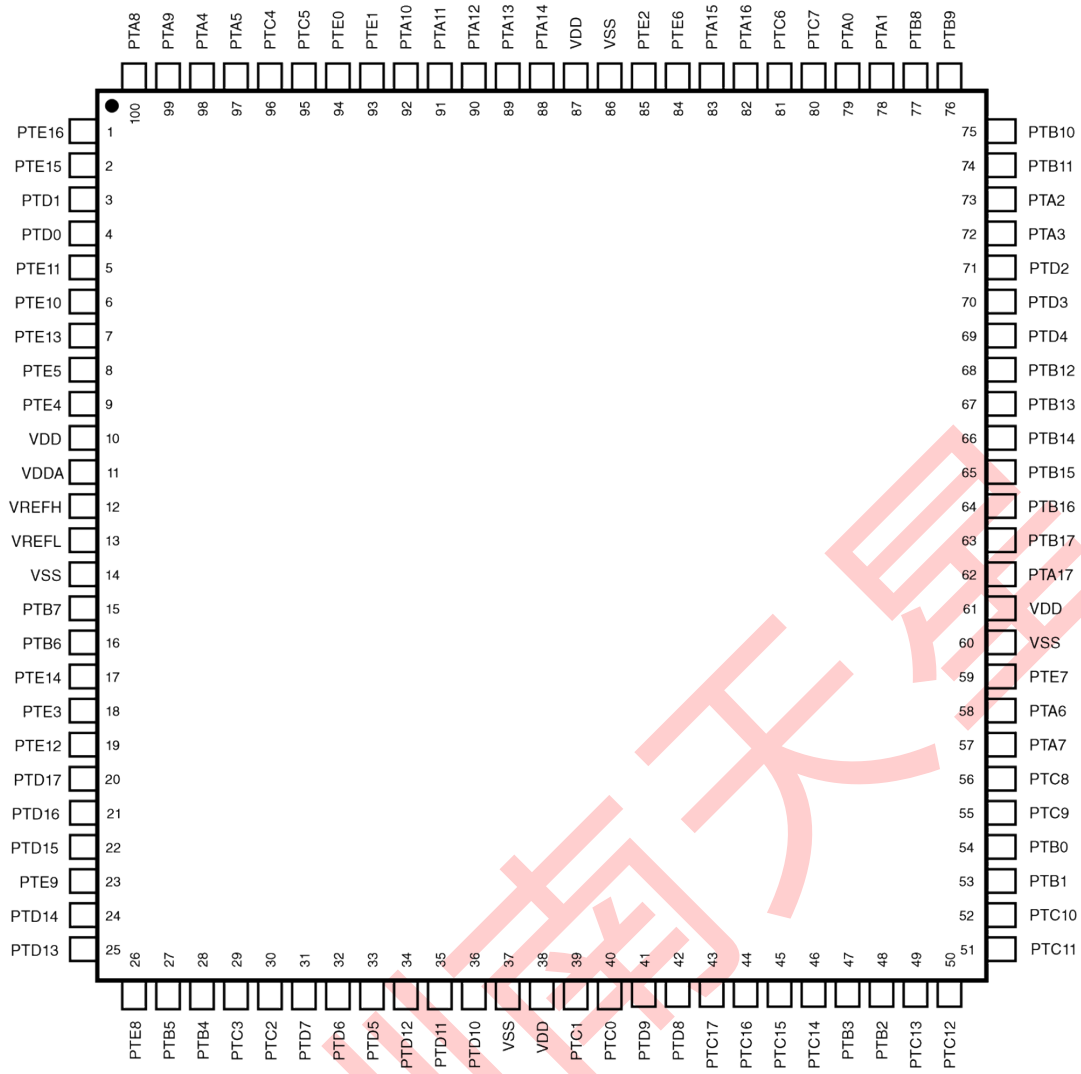


图 7。100 LQFP 引脚图

引脚

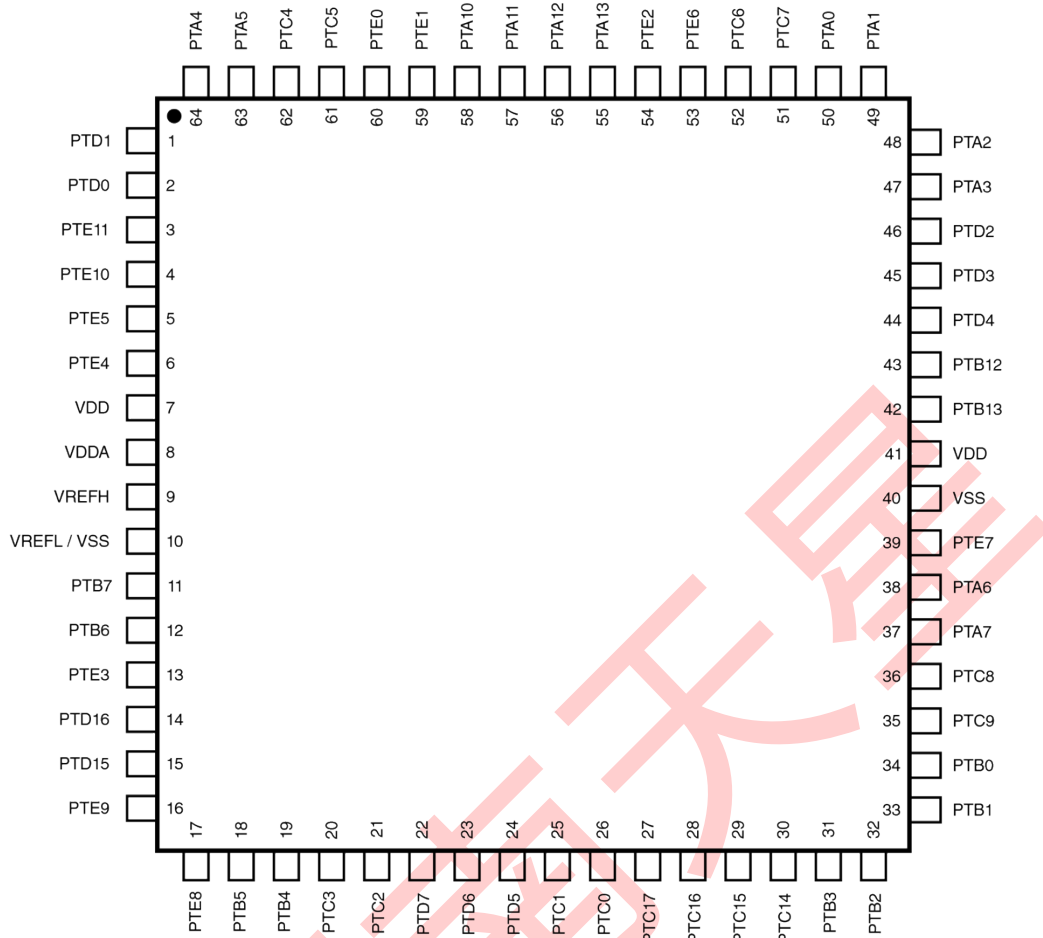


图 8。64 LQFP 引脚图

4.5 包装尺寸

以下数字显示了本文支持的设备的软件包选项的尺寸。

Pinouts

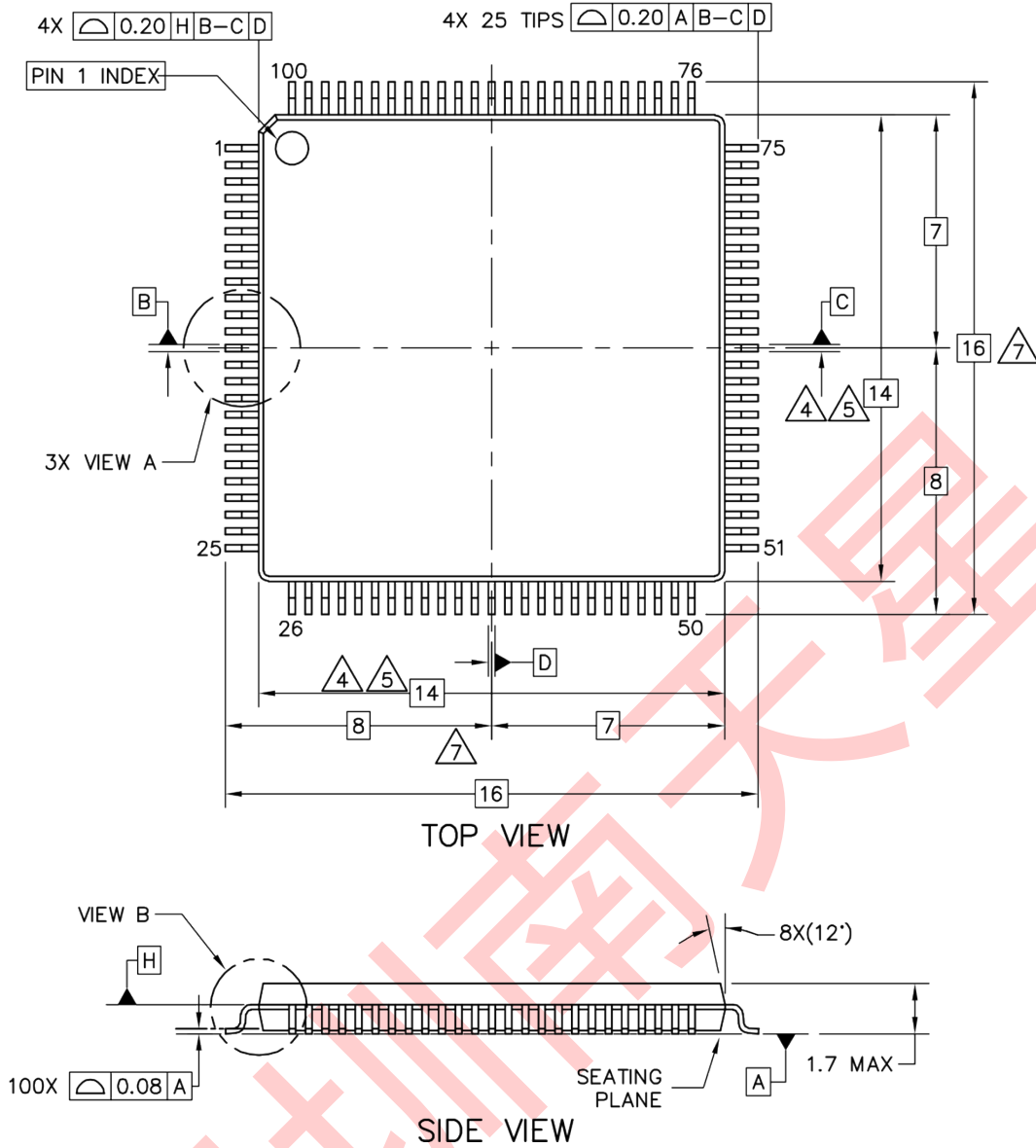
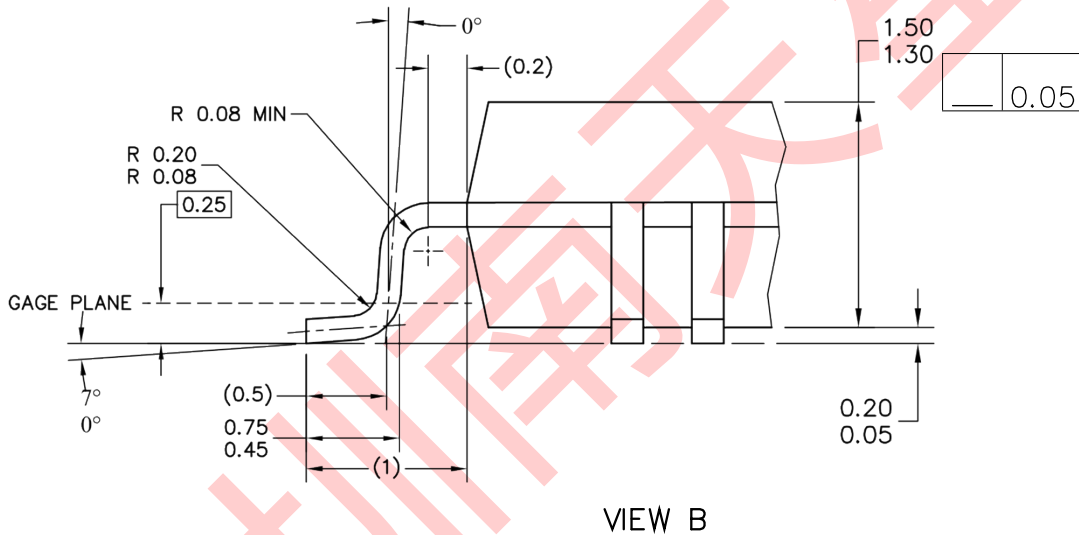
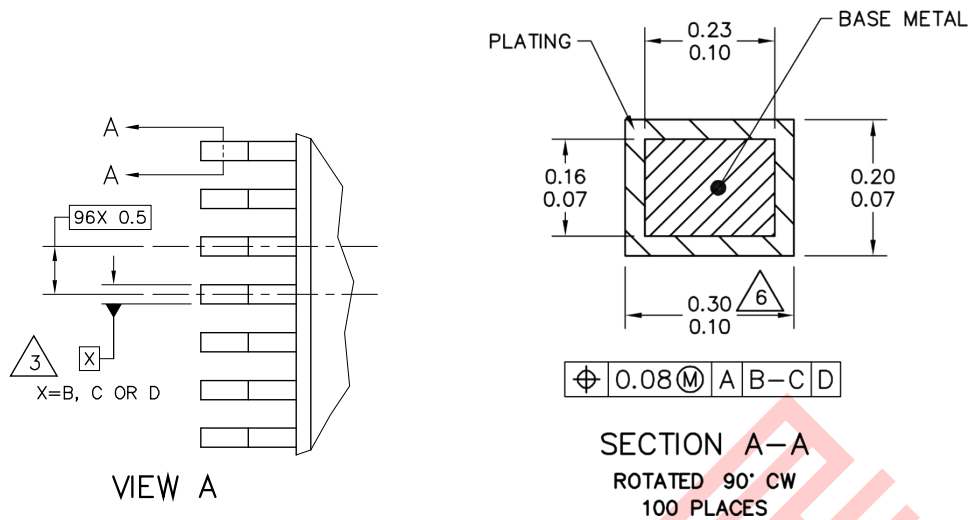


图 9. 100 针 LQFP 封装尺寸 1

引脚



NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. INTERPRET DIMENSIONS AND TOLERANCES PER ASME Y14.5M-1994.
3. DATUMS B, C AND D TO BE DETERMINED AT DATUM PLANE H.
4. THE TOP PACKAGE BODY SIZE MAY BE SMALLER THAN THE BOTTOM PACKAGE SIZE BY A MAXIMUM OF 0.1 MM.
5. DIMENSIONS DO NOT INCLUDE MOLD PROTRUSIONS. THE MAXIMUM ALLOWABLE PROTRUSION IS 0.25 mm PER SIDE. THE DIMENSIONS ARE MAXIMUM BODY SIZE DIMENSIONS INCLUDING MOLD MISMATCH.
6. DIMENSION DOES NOT INCLUDE DAM BAR PROTRUSION. PROTRUSIONS SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED 0.35. MINIMUM SPACE BETWEEN PROTRUSION AND AN ADJACENT LEAD SHALL BE 0.07 MM.
7. DIMENSIONS ARE DETERMINED AT THE SEATING PLANE, DATUM A.

图 10. 100 针 LQFP 封装尺寸 2

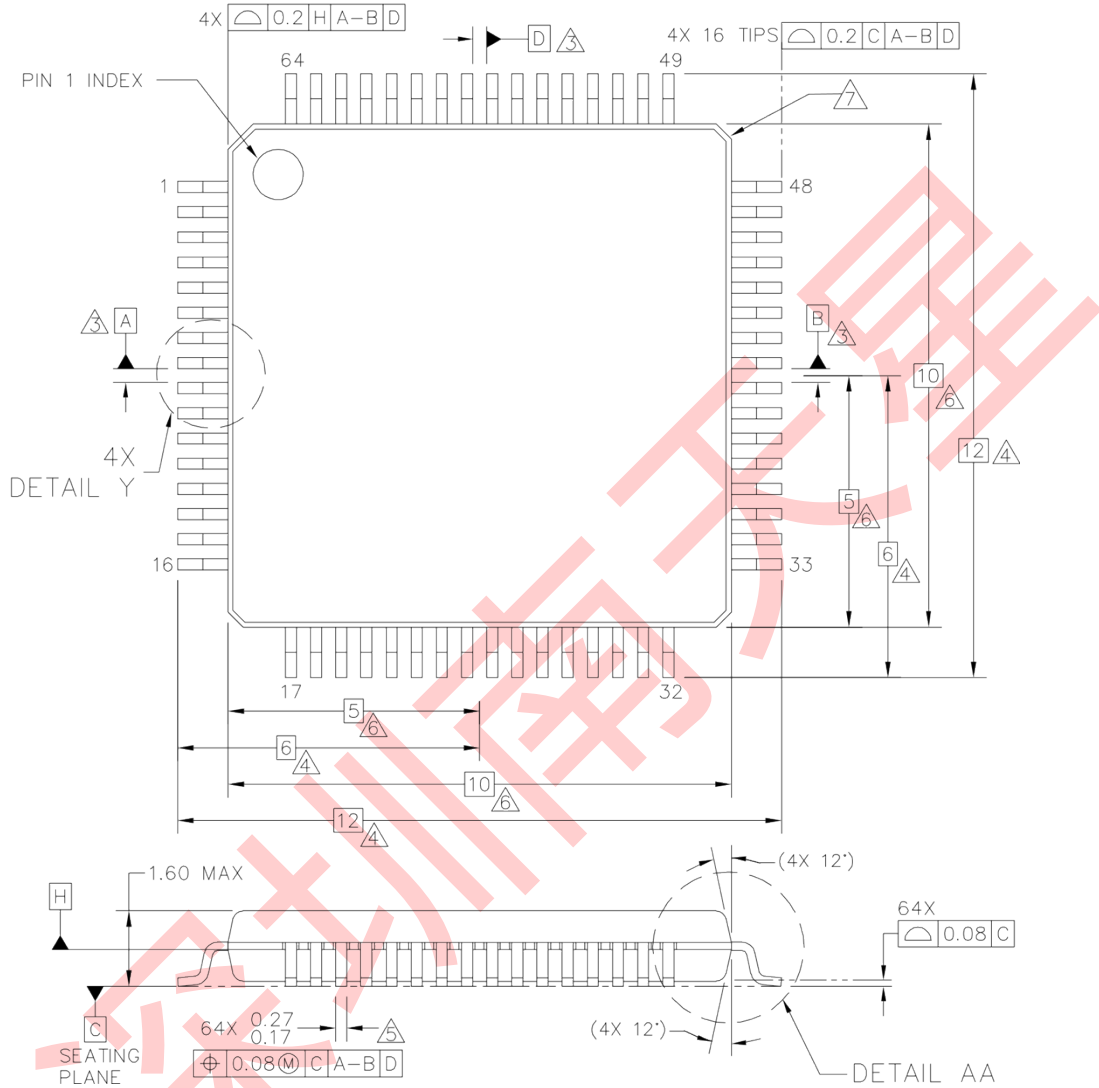


图 11. 64 针 LQFP 封装尺寸 1