

MC 9s 08 dz
60 MC 9s 08
dz 48 MC 9s
08 dz 32 MC
9s 08 dz 16

记录表

HCS08
微控制器

MC9S08DZ60
2008年6月修
订版4

MC9S08DZ60 系列功能

8-位 HCS08 中央处理器单元 (CPU)

- 40 MHz HCS 08 CPU (20 MHz 总线)
- 添加了 BGND 指令的 HC08 指令集
- 支持多达 32 个中断/复位源

片上存储器

- 全工作电压和温度下的闪存读取/编程/擦除
 - MC9S08DZ60 = 60K
 - MC9S08DZ48 = 48K
 - MC9S08DZ32 = 32K
 - MC9S08DZ16 = 16K
- 高达 2K EEPROM 在线可编程存储器；8 字节单页或 4 字节双页擦除扇区；在执行闪存的同时进行编程和擦除；擦除中止
- 高达 4K 随机存取存储器 (RAM)

省电模式

- 两种极低功耗停止模式
- 省电等待模式
- 用于运行、等待和停止的超低功耗实时中断

时钟源选项

- 振荡器 (XOSC) — 环路控制皮尔斯振荡器；晶体或陶瓷谐振器范围为 31.25 kHz 至 38.4 kHz 或 1 MHz 至 16 MHz
- 多用途时钟发生器 (MCG) — PLL 和 FLL 模式 (使用内部温度补偿，FLL 能够实现 1.5% 的偏差)；具有调整功能的内部参考时钟 (在工厂进行调整，调整值存储在闪存中)；带振荡器/谐振器选项的外部基准电压源

系统保护

- 看门狗计算机正常运行 (COP) 复位，可选择从备用专用 1 kHz 内部时钟源或总线时钟运行
- 带复位或中断的低电压检测；可选跳闸点
- 重置非法操作码检测
- 重置非法地址检测
- 闪存块保护
- 失锁保护

发展支持

- 单线后台调试接口
- 带实时总线捕捉的片内在线仿真 (ICE)

外围设备

- ADC——24 通道、12 位分辨率、2.5 μ s 转换时间、自动比较功能、温度传感器、内部带隙基准电压通道
- ACMPx——两个模拟比较器，可在比较器输出的上升、下降或任一边沿选择中断；比较选项与固定内部带隙基准电压
- MSCAN — CAN 协议—版本 2.0 A、B；标准和扩展数据帧；支持远程框架；具有 FIFO 存储方案的五个接收缓冲器；灵活的标识符接受滤波器可编程为：2 x 32 位、4 x 16 位或 8 x 8 位
- SCIx — 两个支持 LIN 2.0 协议和 SAE J2602 协议的 sci；全双工不归零制 (NRZ)；主扩展中断生成；从属扩展中断检测；在有效边沿唤醒
- SPI — 全双工或单线双向；双缓冲发送和接收；主机或从机模式；MSB 优先或 LSB 优先移位
- IIC — 最高 100 kbps，最大总线负载；多主操作；可编程从机地址；通用呼叫地址；中断驱动的逐字节数据传输
- TPMx — 一个 6 通道 (TPM1) 和一个 2 通道 (TPM2)；每个通道上的可选输入捕捉、输出比较或缓冲边沿对齐 PWM
- RTC — (实时计数器) 8 位模数计数器，带有基于二进制或十进制的预分频器；使用外部晶体和 RTC 的实时时钟功能，用于精确的时基、时间、日历或任务调度功能；自由运行片内低功耗振荡器 (1 kHz) 用于无外部元件的循环唤醒

输入/输出

- 53 个通用输入/输出 (I/O) 引脚和 1 个专用输入引脚
- 24 个中断引脚，每个引脚具有可选极性
- 所有输入引脚上都有迟滞和可配置的下拉器件。
- 所有输出引脚的压摆率和驱动强度均可配置。

包装选项

- 64 引脚薄型四方扁平封装 (LQFP) — 10x10 mm
- 48 引脚薄型四方扁平封装 (LQFP) — 7x7 mm
- 32 引脚薄型四方扁平封装 (LQFP) — 7x7 mm

MC9S08DZ60 数据手册

涵盖 MC9S08DZ60

MC9S08DZ48

MC9S08DZ32

MC9S08DZ16

MC9S08DZ60
2008
年 6 月
修订版
4

飞思卡尔和飞思卡尔标志是飞思卡尔半导体公司的商标。

飞思卡尔半导体公司，2007-2008 年。版权所有

Revision

为了提供最新的信息，我们在万维网上的文档版本将是最新的。您的印刷版本可能是较早的版本。要验证您是否有可用的最新信息，请参阅：

<http://freescale.com/>

以下修订历史表总结了本文档中包含的变更。

修订号	修订日期	变更描述
一	6/2006	alpha 样品客户的预先信息
2	9/2007	产品发布会。移除 64 针 QFN 封装。寄存器摘要中的 MSCAN 寄存器从标准模式更改为扩展模式。修正了 SCI 的框图。更新了最新的温度传感器信息。保留 FTSTMOD。更新器件以使用 ADC 12 位模块。修改了 MCG 模块。更新了 CPU 指令集表。已将 TPM 块模块更新至版本 3。添加了 TPM 模块版本 2 作为使用 3M05C (或更早版本) 掩模组的设备的附录。大幅修改了电气附录。
3	10/2007	删除了 MC9S08DZ60 版书中不经意收录的两张表。
四	6/2008	持续更新。纳入 PS 问题# 2765、3177、3236、3292、3311、3312、3326、3335、3345、3382、2795、3382 和 3386 PLL 抖动规格更新。此外，在特性页面中添加了内部参考时钟调整声明。已将 TPM 模块更新至最新版本。表 A-13 中的调整值控制定时行 2 和表 A-6 中的 DC 特性行 24，使其参考 5.0 V 而不是 3.0 V

飞思卡尔半导体公司，2007-2008 年。版权所有
该产品采用了 SST 授权的 SuperFlash 技术。

章节列表

章节标题页

- 第 1 章设备概述 21
- 第 2 章引脚和连接 27
- 第三章经营方式 35
- 第四章记忆 41
- 第 5 章复位、中断和通用系统控制 69
- 第 6 章并行输入输出控制。 85
- 第 7 章中央处理器单元 (S08CPUV3) 115
- 第 8 章多功能时钟发生器 (S08MCGV1) 135
- 第九章模拟比较器 (S08ACMPV3) 167
- 第 10 章模数转换器 (S08ADC12V1) 173
- 第 11 章内部集成电路 (S08IICV2) 199
- 第十二章飞思卡尔控制器局域网 (S08MSCANV1) 219
- 第 13 章串行外设接口 (S08SPIV3) 273
- 第 14 章串行通信接口。 289
- 第十五章实时计数器 (S08RTCV1) 309
- 第 16 章定时器脉宽调制器 (S08TPMV3) 319
- 第十七章发展支持 347
- 附录 A 电气特性 369
- 附录 B 定时器脉宽调制器 (TPMV2) 391
- 附录 C 订购信息和机械图纸 405

内容

章节号标题页

第 1 章设备概述

- 1.1 Devices in the MC9S08DZ60 Series
- 1.2 MCU Block Diagram
- 1.3 System Clock Distribution

Chapter 2 Pins and Connections

- 2.1 Device Pin Assignment
- 2.2 Recommended System Connections
 - 2.2.1 Power..... 31
 - 2.2.2 Oscillator..... 31
 - 2.2.3 $\overline{\text{RESET}}$ 31
 - 2.2.4 Background / Mode Select (BKGD/MS)
 - 2.2.5 ADC 基准引脚 (VREFH、VREFL) 32
 - 2.2.6 General-Purpose I/O and Peripheral Ports

第三章经营方式

- 3.1 Introduction..... 35
- 3.2 Features..... 35
- 3.3 Run Mode
- 3.4 Active Background Mode.
- 3.5 Wait Mode
- 3.6 Stop Modes
 - 3.6.1 Stop3 Mode
 - 3.6.2 Stop2 Mode
 - 3.6.3 On-Chip Peripheral Modules in Stop Modes

Chapter 4 Memory

- 4.1 MC9S08DZ60 Series Memory Map
- 4.2 Reset and Interrupt Vector Assignments
- 4.3 Register Addresses and Bit Assignments
- 4.4 RAM..... 52
- 4.5 Flash and EEPROM
 - 4.5.1 Features..... 52

	4.5.2	Program and Erase Times	
	4.5.3	Program and Erase Command Execution	
Section	4.5.4	Burst Program Execution	Titl
	4.5.5	Sector Erase Abort	Doc
	4.5.6	Access Errors	
	4.5.7	Block Protection	
	4.5.8	Vector Redirection	
	4.5.9	Security.....	59
	4.5.10	EEPROM Mapping	
	4.5.11	Flash and EEPROM Registers and Control Bits	

Chapter 5

Resets, Interrupts, and General System Control

5.1	Introduction.....	69
5.2	Features.....	69
5.3	MCU Reset	
5.4	Computer Operating Properly (COP) Watchdog	
5.5	Interrupts.....	71
	5.5.1	Interrupt Stack Frame
	5.5.2	External Interrupt Request (IRQ) Pin
	5.5.3	Interrupt Vectors, Sources, and Local Masks
5.6	Low-Voltage Detect (LVD) System	
	5.6.1	Power-On Reset Operation
	5.6.2	Low-Voltage Detection (LVD) Reset Operation
	5.6.3	Low-Voltage Warning (LVW) Interrupt Operation
5.7	MCLK Output	
5.8	Reset, Interrupt, and System Control Registers and Control Bits	
	5.8.1	Interrupt Pin Request Status and Control Register (IRQSC)
	5.8.2	System Reset Status Register (SRS)
	5.8.3	System Background Debug Force Reset Register (SBDFR)
	5.8.4	System Options Register 1 (SOPT1)
	5.8.5	System Options Register 2 (SOPT2)
	5.8.6	System Device Identification Register (SDIDH, SDIDL)
	5.8.7	System Power Management Status and Control 1 Register (SPMSC1)
	5.8.8	System Power Management Status and Control 2 Register (SPMSC2)

Chapter 6

Parallel Input/Output Control

6.1	Port Data and Data Direction	
6.2	Pull-up, Slew Rate, and Drive Strength	
6.3	Pin Interrupts	
	6.3.1	Edge Only Sensitivity
	6.3.2	Edge and Level Sensitivity

- 6.3.3 Pull-up/Pull-down Resistors
- 6.3.4 Pin Interrupt Initialization
- 6.4 Pin Behavior in Stop Modes
- 6.5 Parallel I/O and Pin Control Registers
 - 6.5.1 Port A Registers
 - 6.5.2 Port B Registers
 - 6.5.3 Port C Registers
 - 6.5.4 Port D Registers
 - 6.5.5 Port E Registers
 - 6.5.6 端口F 寄存器 108
 - 6.5.7 端口G 寄存器 111

第七章 中央处理器单元 (S08CPUV3)

- 7.1 引言 115
 - 7.1.1 功能 115
- 7.2 程序员模型和 CPU 寄存器 116
 - 7.2.1 蓄能器 (A) 116
 - 7.2.2 索引寄存器 (H:X) 116
 - 7.2.3 堆栈指针 (SP) 117
 - 7.2.4 程序计数器 (PC) 117
 - 7.2.5 条件码寄存器 (CCR) 117
- 7.3 寻址模式 119
 - 7.3.1 固有寻址模式 (INH) 119
 - 7.3.2 相对寻址模式 (REL) 119
 - 7.3.3 立即寻址模式 (IMM) 119
 - 7.3.4 直接寻址模式 (DIR) 119
 - 7.3.5 扩展寻址模式 (EXT) 120
 - 7.3.6 索引寻址模式 120
- 7.4 特别行动 121
 - 7.4.1 复位序列 121
 - 7.4.2 中断序列 121
 - 7.4.3 等待模式操作 122
 - 7.4.4 停止模式操作 122
 - 7.4.5 BGND 指令 123
- 7.5 HCS08 指令集摘要 124

第八章 多用途时钟发生器 (S08MCGV1)

- 8.1 引言 135
 - 8.1.1 功能 137
 - 8.1.2 操作模式 139
- 8.2 外部信号描述 139

- 8.3 寄存器定义 140
 - 8.3.1 MCG 控制寄存器 1 (MCGC1) 140
 - 8.3.2 MCG 控制寄存器 2 (MCGC2) 141
 - 8.3.3 MCG 调整寄存器 (MCGTRM) 142
 - 8.3.4 MCG 状态和控制寄存器 (MCGSC) 143
 - 8.3.5 MCG 控制寄存器 3 (MCGC3) 144
- 8.4 功能描述 146
 - 8.4.1 操作模式 146
 - 8.4.2 模式切换 150
 - 8.4.3 总线分频器 151
 - 8.4.4 低功率位使用 151
 - 8.4.5 内部参考时钟 151
 - 8.4.6 外部参考时钟 151
 - 8.4.7 固定频率时钟 152
- 8.5 初始化/应用程序信息 152
 - 8.5.1 MCG 模块初始化序列 152
 - 8.5.2 MCG 模式切换 153
 - 8.5.3 校准内部参考时钟 (IRC) 164

第九章 模拟比较器 (S08ACMPV3)

- 9.1 引言 167
 - 9.1.1 ACMP 配置信息 167
 - 9.1.2 功能 169
 - 9.1.3 操作模式 169
 - 9.1.4 框图 170
- 9.2 外部信号描述 170
- 9.3 存储器映射/寄存器定义 171
 - 9.3.1 ACMP_x 状态和控制寄存器 (ACMP_xSC) 171
- 9.4 功能描述 172

第十章 模数转换器 (S08ADC12V1)

- 10.1 引言 173
 - 10.1.1 模拟电源和接地信号名称 173
 - 10.1.2 频道分配 173
 - 10.1.3 备用时钟 174
 - 10.1.4 硬件触发器 174
 - 10.1.5 温度传感器 175
 - 10.1.6 功能 177
 - 10.1.7 ADC 模块框图 177
- 10.2 外部信号描述 178
 - 10.2.1 模拟电源 (VDDAD) 179

- 10.2.2 模拟地 (VSSAD) 179
- 10.2.3 参考电压高电平 (VREFH) 179
- 10.2.4 低电平参考电压 (VREFL) 179
- 10.2.5 模拟通道输入 (ADx) 179
- 10.3 寄存器定义 179
 - 10.3.1 状态和控制寄存器 1 (ADCSC1) 179
 - 10.3.2 状态和控制寄存器 2 (ADCSC2) 181
 - 10.3.3 数据结果高电平寄存器 (ADCRH) 181
 - 10.3.4 数据结果低位寄存器 (ADCRL) 182
 - 10.3.5 比较值高电平寄存器 (ADCCVH) 182
 - 10.3.6 比较值低位寄存器 (ADCCVL) 183
 - 10.3.7 配置寄存器 (ADCCFG) 183
 - 10.3.8 引脚控制 1 寄存器 (APCTL1) 184
 - 10.3.9 引脚控制 2 寄存器 (APCTL2) 185
 - 10.3.10 引脚控制 3 寄存器 (APCTL3) 186
- 10.4 功能描述 187
 - 10.4.1 时钟选择和分频控制 188
 - 10.4.2 输入选择和引脚控制 188
 - 10.4.3 硬件触发器 188
 - 10.4.4 转换控制 188
 - 10.4.5 自动比较功能 191
 - 10.4.6 MCU 等待模式操作 191
 - 10.4.7 MCU Stop3 模式操作 192
 - 10.4.8 MCU Stop2 模式操作 192
- 10.5 初始化信息 193
 - 10.5.1 ADC 模块初始化示例 193
- 10.6 申请信息 195
 - 10.6.1 外部引脚和布线 195
 - 10.6.2 错误来源 196
- 11.1 导言 199
 - 11.1.1 功能 201
 - 11.1.2 操作模式 201
 - 11.1.3 框图 202
- 11.2 外部信号描述 202
 - 11.2.1 SCL 一 串行时钟线 202
 - 11.2.2 SDA 一 串行数据线 202
- 11.3 寄存器定义 202
 - 11.3.1 IIC 地址登记簿 (IICA) 203
 - 11.3.2 IIC 分频器寄存器 (IICF) 203
 - 11.3.3 IIC 控制寄存器 (IICC1) 206

破产重组保护
内部集成电路

11.3.4	IIC 身份注册 (IICS)	207
11.3.5	IIC 数据输入/输出寄存器 (IICD)	208
11.3.6	IIC 控制寄存器 2 (IICC2)	208
11.4	功能描述	209
11.4.1	IIC 议定书	209
11.4.2	10 位地址	213
11.4.3	广播地址	214
11.5	重置	214
11.6	中断	214
11.6.1	字节传输中断	214
11.6.2	地址检测中断	214
11.6.3	仲裁失败中断	214
11.7	初始化/应用程序信息	216

第十二章 飞思卡尔控制器局域网 (S08MSCANV1)

12.1	导言	219
12.1.1	特征	221
12.1.2	操作模式	221
12.1.3	框图	222
12.2	外部信号描述	222
12.2.1	RXCAN — CAN 接收器输入引脚	222
12.2.2	TXCAN — CAN 变送器输出引脚	222
12.2.3	CAN 系统	222
12.3	寄存器定义	223
12.3.1	MSCAN 控制寄存器 0 (CANCTL0)	223
12.3.2	MSCAN 控制寄存器 1 (CANCTL1)	226
12.3.3	MSCAN 总线时序寄存器 0 (CANBTRO)	227
12.3.4	MSCAN 总线时序寄存器 1 (CANBTR1)	228
12.3.5	MSCAN 接收器中断使能寄存器 (CANRIER)	231
12.3.6	MSCAN 发送器标志寄存器 (CANTFLG)	232
12.3.7	MSCAN 发送器中断使能寄存器 (CANTIER)	233
12.3.8	MSCAN 发送器消息中止请求寄存器 (CANTARQ)	234
12.3.9	MSCAN 发送器消息中止应答寄存器 (can tak)	235
12.3.10	MSCAN 发送缓冲器选择寄存器 (CANTBSEL)	235
12.3.11	MSCAN 标识符接受控制寄存器 (CANIDAC)	236
12.3.12	MSCAN 杂项寄存器 (CANMISC)	237
12.3.13	MSCAN 接收错误计数器 (can rxer)	238
12.3.14	MSCAN 发送错误计数器 (CANTXERR)	239
12.3.15	MSCAN 标识符接受寄存器 (CANIDAR0-7)	239
12.3.16	MSCAN 标识符屏蔽寄存器 (canidmr 0 - canidmr 7)	240
12.4	程序员的消息存储模型	241
12.4.1	标识符寄存器 (id r0 - IDR 3)	244

- 12.4.2 标准标识符映射 246 的 id r0 - IDR 3
- 12.4.3 数据段寄存器 (DSR0-7) 247
- 12.4.4 数据长度寄存器 (DLR) 248
- 12.4.5 发送缓冲器优先级寄存器 (TBPR) 249
- 12.4.6 时间戳寄存器 (TSRH - TSRL) 249
- 12.5 功能描述 250
 - 12.5.1 常规 250
 - 12.5.2 消息存储 251
 - 12.5.3 标识符接受过滤器 254
 - 12.5.4 操作模式 261
 - 12.5.5 低功耗选项 262
 - 12.5.6 重置初始化 268
 - 12.5.7 中断 268
- 12.6 初始化/应用程序信息 270
 - 12.6.1 MSCAN 初始化 270
 - 12.6.2 总线关闭恢复 271

第十三章 串行外设接口 (S08SPIV3)

- 13.1 导言 273
 - 13.1.1 功能 275
 - 13.1.2 框图 275
 - 13.1.3 SPI 波特率发生器 277
- 13.2 外部信号描述 278
 - 13.2.1 SPCK — SPI 串行时钟 278
 - 13.2.2 MOSI — 主数据输出, 从数据输入 278
 - 13.2.3 MISO — 主机数据输入, 从机数据输出 278
 - 13.2.4 \overline{SS} — 从机选择 278
- 13.3 操作模式 279
 - 13.3.1 停止模式下的 SPI 279
- 13.4 寄存器定义 279
 - 13.4.1 SPI 控制寄存器 1 (SPIC1) 279
 - 13.4.2 SPI 控制寄存器 2 (SPIC2) 280
 - 13.4.3 SPI 波特率寄存器 (SPIBR) 281
 - 13.4.4 SPI 状态寄存器 (SPIS) 282
 - 13.4.5 SPI 数据寄存器 (SPID) 283
- 13.5 功能描述 284
 - 13.5.1 SPI 时钟格式 284
 - 13.5.2 SPI 中断 287
 - 13.5.3 模式故障检测 287

第十四章 串行通信接口 (S08SCIV4)

14.1	14.1.1	14.1.2	14.1.3	14.1.4	14.2	14.2.1	14.2.2	14.2.3	14.2.4	14.2.5	14.2.6	14.2.7	14.3	14.3.1	14.3.2	14.3.3	14.3.4	14.3.5	
14.1	14.1.1	14.1.2	14.1.3	14.1.4	14.2	14.2.1	14.2.2	14.2.3	14.2.4	14.2.5	14.2.6	14.2.7	14.3	14.3.1	14.3.2	14.3.3	14.3.4	14.3.5	

第十五章 实时计数器 (S08RTCV1)

15.1	15.1.1	15.1.2	15.1.3	15.1.4	15.2	15.3	15.3.1	15.3.2	15.3.3	15.4	15.4.1	15.5
15.1	15.1.1	15.1.2	15.1.3	15.1.4	15.2	15.3	15.3.1	15.3.2	15.3.3	15.4	15.4.1	15.5

第十六章 定时器脉宽调制器 (S08TPMV3)

16.1	16.1.1	16.1.2	16.1.3	16.2	16.2.1
16.1	16.1.1	16.1.2	16.1.3	16.2	16.2.1

- 16.3 寄存器定义 328
 - 16.3.1 TPM 状态和控制寄存器 (TPMxSC) 328
 - 16.3.2 TPM 计数器寄存器 (TPMxCNTH:TPMxCNTL) 329
 - 16.3.3 TPM 计数器模寄存器 (TPMxMODH:TPMxMODL) 330
 - 16.3.4 TPM 通道 n 状态和控制寄存器 (TPMxCnSC) 331
 - 16.3.5 TPM 通道值寄存器 (TPMxCnVH:TPMxCnVL) 333
- 16.4 功能描述 334
 - 16.4.1 335 号柜台
 - 16.4.2 频道模式选择 337
- 16.5 重置概述 340
 - 16.5.1 概述 340
 - 16.5.2 复位操作 340 的描述
- 16.6 中断 340
 - 16.6.1 概述 340
 - 16.6.2 中断操作描述 341
- 16.7 TPM v2 与 TPM v3 的区别 342

第 17 章发展支持

- 17.1 引言 347
 - 17.1.1 强制活动背景 347
 - 17.1.2 功能 348
- 17.2 后台调试控制器 (BDC) 348
 - 17.2.1 BKGD 引脚描述 349
 - 17.2.2 通信详细信息 350
 - 17.2.3 BDC 命令 354
 - 17.2.4 BDC 硬件断点 356
- 17.3 片上调试系统 (DBG) 357
 - 17.3.1 比较器 A 和 B 357
 - 17.3.2 总线捕获信息和 FIFO 操作 357
 - 17.3.3 流变化信息 358
 - 17.3.4 标签与强制断点和触发器 358
 - 17.3.5 触发模式 359
 - 17.3.6 硬件断点 361
- 17.4 寄存器定义 361
 - 17.4.1 BDC 寄存器和控制位 361
 - 17.4.2 系统后台调试强制复位寄存器 (SBDFR) 363
 - 17.4.3 DBG 寄存器和控制位 364

附录 A 电气特性

- A.1 引言 369
- A.2 参数分类 369
- A.3 绝对最大额定值 369
- A.4 热特性 370

- A.5 ESD保护和抗闩锁能力 372
- A.6 DC 特色 373
- A.7 电源电流特性 375
- A.8 模拟比较器 (ACMP) 电气 376
- A.9 ADC 特性 376
- A.10 外部振荡器 (XOSC) 特性 380
- A.11 MCG 规格 381
- A.12 交流特性 383
 - A.12.1 控制定时 383
 - A.12.2 定时器/PWM 384
 - A.12.3 MSCAN 385
 - A.12.4 SPI 386
- A.13 闪存和EEPROM 389
- A.14 EMC 性能 390
 - A.14.1 辐射发射 390

Titl

Doc

附录 B 定时器脉宽调制器 (TPMV2)

- B.0.1 功能 391
- B.0.2 框图 391
- B.1 外部信号描述 393
 - B.1.1 外部 TPM 时钟源 393
 - B.1.2 TPMxCHn — TPMx 通道 n I/O 引脚 393
- B.2 寄存器定义 393
 - B.2.1 定时器状态和控制寄存器 (TPMxSC) 394
 - B.2.2 定时器计数器寄存器 (TPMxCNTH:TPMxCNTL) 395
 - B.2.3 定时器计数器模寄存器 (TPMxMODH:TPMxMODL) 396
 - B.2.4 定时器通道 n 状态和控制寄存器 (TPMxCnSC) 397
 - B.2.5 定时器通道值寄存器 (TPMxCnVH:TPMxCnVL) 398
- B.3 功能描述 399
 - B.3.1 399 号柜台
 - B.3.2 频道模式选择 400
 - B.3.3 中心对齐 PWM 模式 402
- B.4 TPM 中断 403
 - B.4.1 清除定时器中断标志 403
 - B.4.2 定时器溢出中断描述 403
 - B.4.3 通道事件中断描述 404
 - B.4.4 PWM 占空比结束事件 404

附录 C 订购信息和机械图纸

- C.1 订购信息 405
 - C.1.1 MC9S08DZ60 系列设备 405

第 1 章 设备概述

MC9S08DZ60 系列器件为希望在应用中结合控制器局域网 (CAN) 和嵌入式 EEPROM 的客户提供了重要价值。这种结合将提供更低成本、增强性能和更高的质量。

1.1 MC9S08DZ60 系列中的设备

本数据表涵盖 MC9S08DZ60 系列 MCU 的成员：

- MC9S08DZ60
- MC9S08DZ48
- MC9S08DZ32
- MC9S08DZ16

表 1-1 总结了 MC9S08DZ60 系列中可用的功能集。

深圳市南天星

表 1-1. MC9S08DZ60 系列功能(按 MCU 和引脚数)

特征	MC9S08DZ60			MC9S08DZ48			MC9S08DZ32			MC9S08DZ16	
闪存大小 (字节)	60032			49152			33792			16896	
RAM 大小(字节)	4096			3072			2048			1024	
EEPROM 大小 (字节)	2048			1536			1024			512	
引脚数量	64	48	32	64	48	32	64	48	32	48	32
ACMP1	是										
ACMP2	是	是 1	不	是	是 1	不	是	是 1	不	是 1	不
ADC 通道	24	16	10	24	16	10	24	16	10	16	10
DBG	是										
IIC	是										
伊拉克	是										
微克	是										
MSCAN	是										
雷达跟踪中心 (Radar Tracking Centre 的缩写)	是										
SCI1	是										
SCI2	是										
精力	是										
TPM1 通道	6	6	四	6	6	四	6	6	四	6	四
TPM2 通道	2										
XOSC	是										
警察看门狗	是										

1 ACMP20 不可用。

1.2 MCU 框图

图 1-1 是 MC9S08DZ60 系列系统级框图。

表 1-2 提供了片内模块的功能版本。

表 1-2。模块版本

组件	版本
中央处理器单元 (CPU)	3
多用途时钟发生器 (MCG)	—
模拟比较器 (ACMP)	3
模数转换器 (模数转换器)	—
内部集成电路 (IIC)	2
飞思卡尔罐 (MSCAN)	—
串行外设接口 (SPI)	3
串行通信接口 (SCI)	四
实时计数器 (RTC)	—
定时器脉宽调制器 (TPM)	31
调试模块 (DBG)	2

1 3M05C 和更早版本的面罩具有 TPM 版本 2。

1.3 系统时钟分布

图 1-2 显示了一个简化的时钟连接图。如图所示，MCU 中的一些模块具有可选的时钟输入。模块的时钟输入表示用于驱动模块功能的时钟。

以下是该 MCU 中使用的时钟：

- BUSCLK —总线的频率始终是 MCGOUT 的一半。
- LPO —独立的 1 kHz 时钟，可选择作为 COP 和 RTC 模块的时钟源。
- MCG out—MCG 的主要输出，是总线频率的两倍。
- mcg clk—开发工具可以选择此时钟源来加速系统中的 BDC 通信，在这些系统中，BUSCLK 被配置为以非常低的频率运行。
- MCGERCLK —可以选择外部参考时钟作为 RTC 时钟源。它也可以用作 ADC 和 MSCAN 的备用时钟。
- MCGIRCLK —可以选择内部参考时钟作为 RTC 时钟源。
- MCGFFCLK —可以选择固定频率时钟作为 TPM1 和 TPM2 的时钟源。
- TPM 1 clk—TPM 1 的外部输入时钟源。
- TPM 2 clk—TPM 2 的外部输入时钟源。

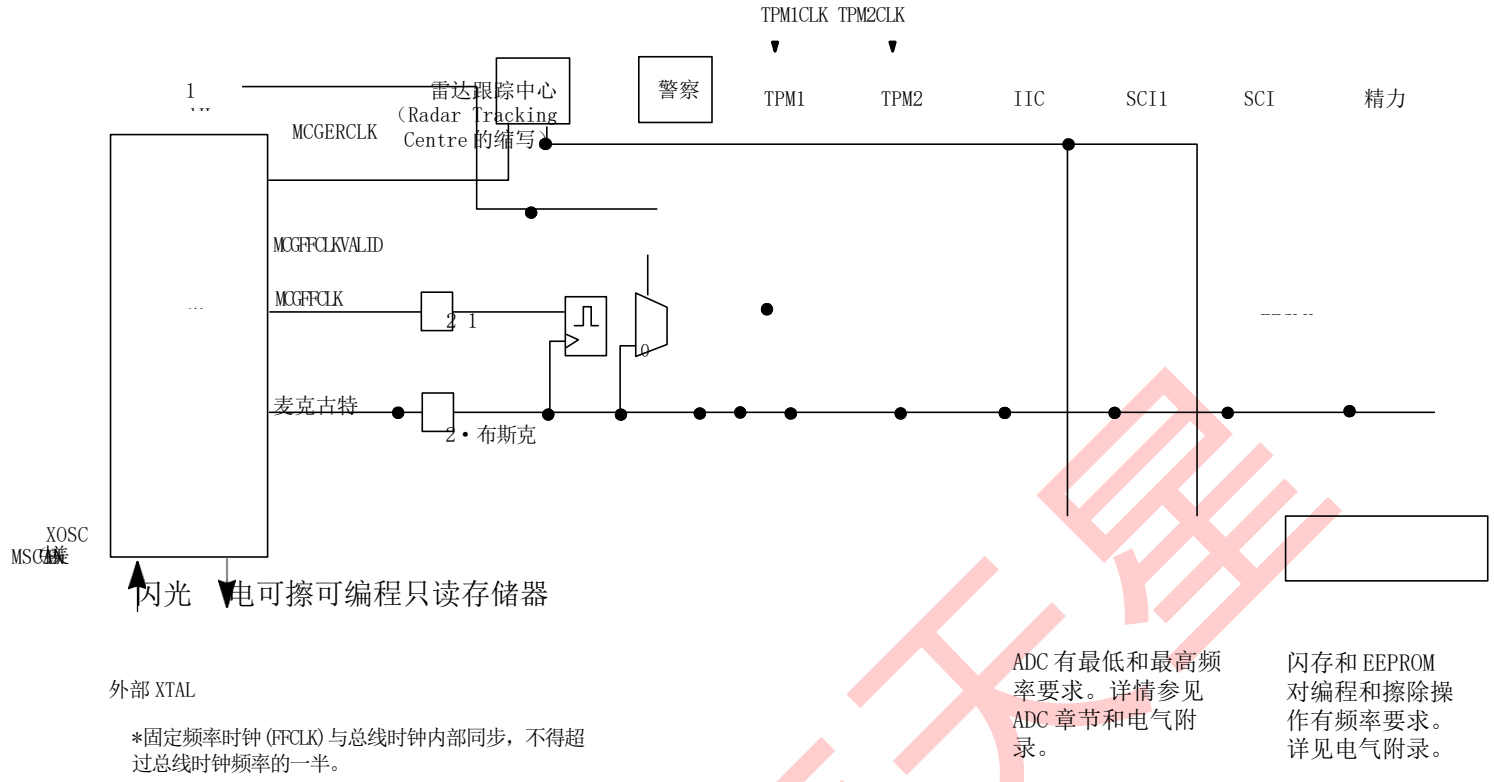
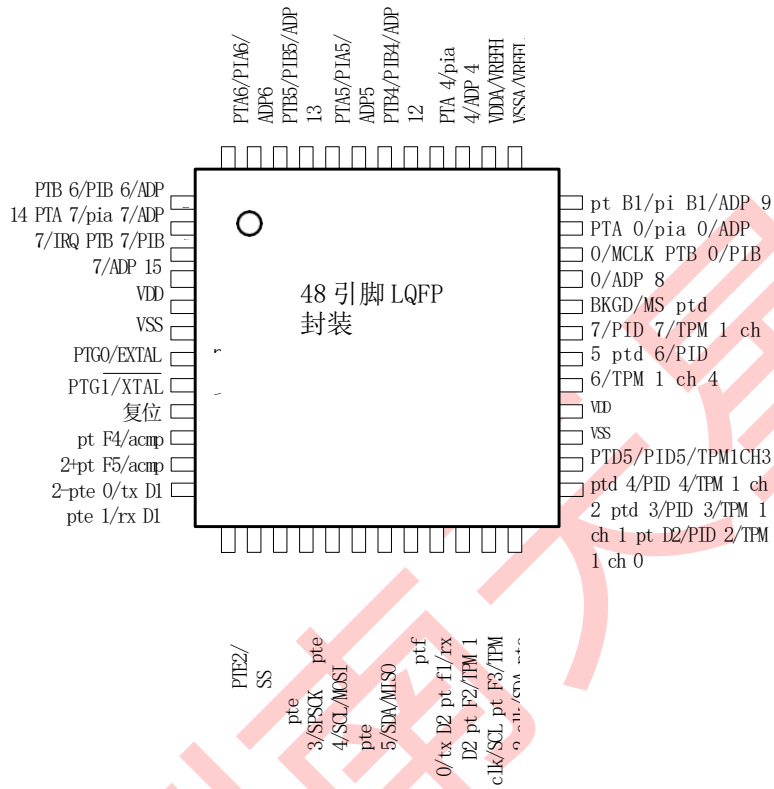
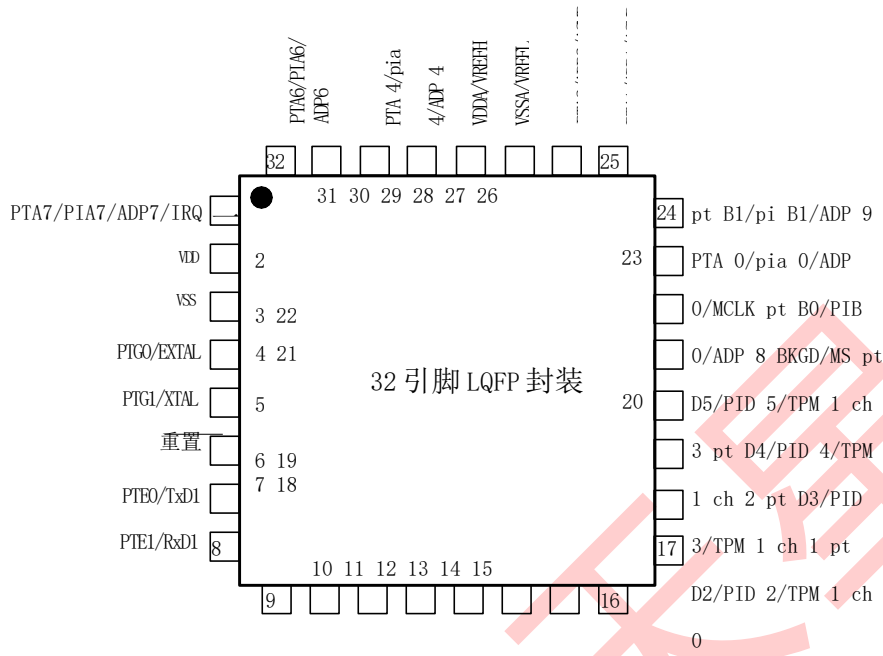


图 1-2。MC9S08DZ60 系统时钟分配图



VREFH 和 VREFL 分别内部连接到 VDDA 和 VSSA。

图 2-2。48 引脚 LQFP 封装



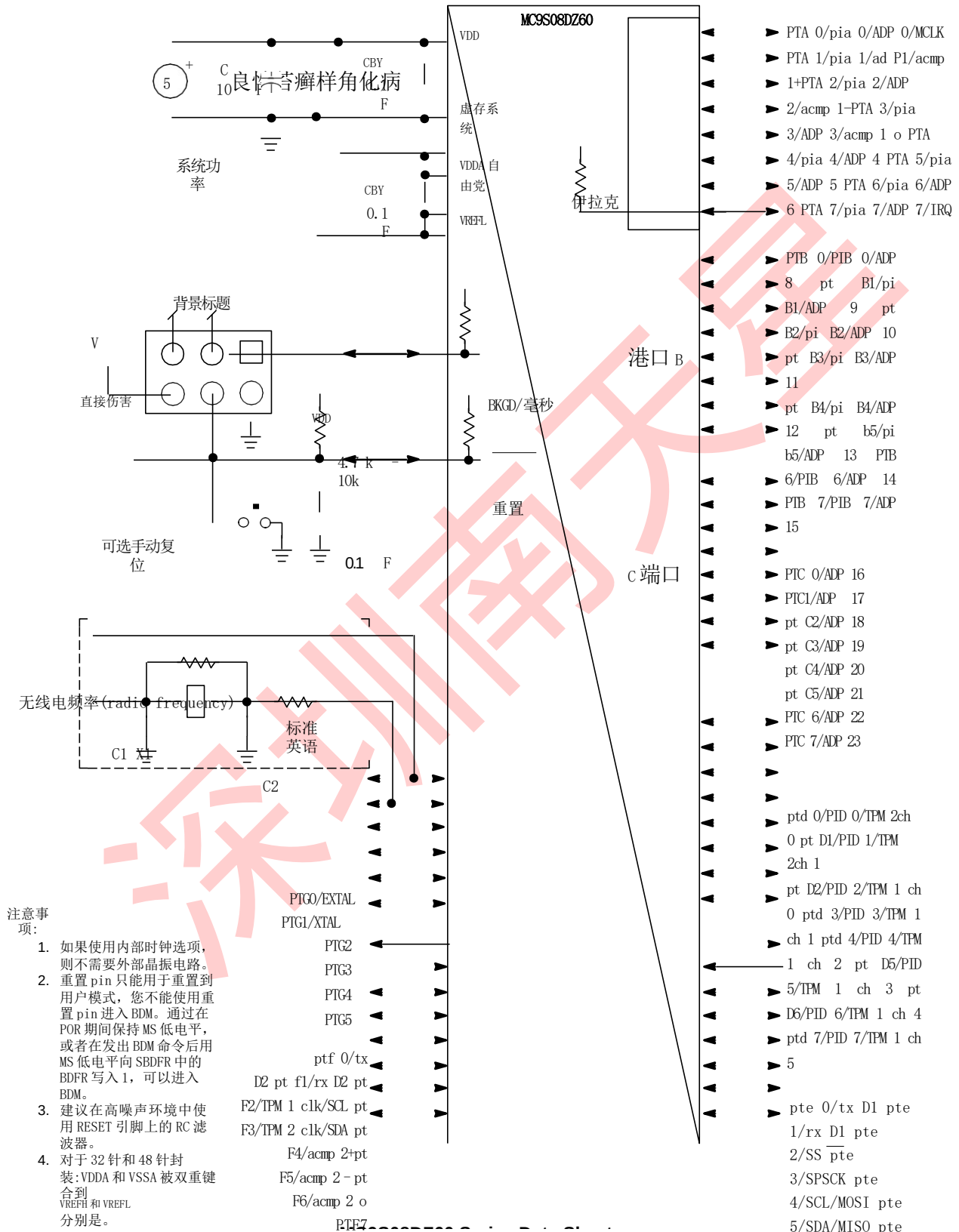
VREFH 和 VREFL 分别内部连接到 VDDA 和 VSSA。

图 2-3。32 引脚 LQFP 封装

PTE3/SPSCK
PTE4/SCL/MOSI

2.2 推荐的系统连接

图 2-4 显示了 MC9S08DZ60 系列应用系统常见的引脚连接。



2.2.1 力量

VDD 和 VSS 是 MCU 的主要电源引脚。该电压源为所有 I/O 缓冲电路和内部稳压器供电。内部电压调节器为 CPU 和 MCU 的其他内部电路提供稳定的低压电源。

通常，应用系统的电源引脚上有两个独立的电容。这种情况下，应使用一个大容量电解电容，如 10- F 钽电容，为整个系统提供大容量电荷存储，并使用一个 0.1- F 陶瓷旁路电容，尽可能靠近 MCU 电源引脚，以抑制高频噪声。除 32 针封装外，MC9S08DZ60 系列有两个 VDD 引脚。每个引脚必须有一个旁路电容，以实现最佳噪声抑制。

VDDA 和 VSSA 是 MCU 的模拟电源引脚。该电压源为 ADC 模块供电。0.1- F 陶瓷旁路电容应尽可能靠近 MCU 电源引脚，以抑制高频噪声。

2.2.2 振荡器

复位后，MCU 立即使用多功能时钟发生器 (MCG) 模块提供的内部时钟。有关 MCG 的更多信息，请参见第 8 章“多用途时钟发生器 (S08MCGV1)”

该 MCU 中的振荡器 (XOSC) 是一个 Pierce 振荡器，可以容纳晶体或陶瓷谐振器。外部振荡器可以连接到 EXTAL 输入引脚，而不是晶体或陶瓷谐振器。

以下讨论参考图 2-4。RS (使用时) 和 RF 应该是低电感电阻，如碳成分电阻。线绕电阻器和某些金属薄膜电阻器的电感过大。C1 和 C2 通常应该是高质量的陶瓷电容，专为高频应用而设计。

RF 用于提供偏置路径，以在晶体启动期间将 EXTAL 输入保持在其线性范围内；它的价值通常并不重要。典型的系统使用 1 M 对 10 M 。较高的值对湿度很敏感，较低的值会降低增益，并且 (在极端情况下) 会阻止启动。

C1 和 C2 通常在 5 pF 至 25 pF 范围内，根据特定晶体或谐振器的要求进行选择。选择 C1 和 C2 时，务必考虑印刷电路板 (PCB) 电容和 MCU 引脚电容。晶体制造商通常指定一个负载电容，该电容是 C1 和 C2 (通常大小相同) 的串联组合。作为一阶近似，使用 10 pF 作为每个振荡器引脚 (EXTAL 和 XTAL) 的引脚和 PCB 组合电容的估计值。

2.2.3 重置

RESET 是一个内置上拉器件的专用引脚。它具有输入迟滞、高电流输出驱动器，并且没有输出压摆率控制。内部上电复位和低压复位电路通常不需要外部复位电路。此引脚通常连接到标准 6 引脚后台调试连接器，因此开发系统可以直接复位 MCU 系统。如果需要，可以通过将一个简单的开关接地 (拉低 reset 引脚以强制复位) 来增加手动外部复位。

无论何时启动任何复位(无论是来自外部信号还是内部系统), reset 引脚都会在大约 34 个总线周期内被拉低。复位电路解码复位原因, 并通过设置系统复位状态寄存器 (SRS) 中的相应位来记录复位原因。

2.2.4 背景/模式选择 (BKGD/MS)

复位时, BKGD/MS 引脚用作模式选择引脚。reset 上升后, 该引脚立即用作后台引脚, 可用于后台调试通信。当用作背景或模式选择引脚时, 该引脚包括一个内部上拉器件、输入迟滞、标准输出驱动器和无输出压摆率控制。

如果没有任何东西连接到此引脚, MCU 将在 reset 的上升沿进入正常工作模式。如果调试系统连接到 6 引脚标准后台调试接头, 它可以在 reset 上升沿期间保持 BKGD 低电平, 从而强制 MCU 进入后台活动模式。

BKGD/MS 引脚主要用于使用自定义协议的后台调试控制器 (BDC) 通信, 该协议使用 16 个时钟周期的目标 MCU BDC 时钟/位时间。目标 MCU 的 BDC 时钟可能与总线时钟速率一样快, 因此 BKGD/MS 引脚上不应连接任何可能干扰后台串行通信的大电容。

虽然 BKGD/MS 引脚是一个伪开漏引脚, 但后台调试通信协议提供短暂、主动驱动的高加速脉冲, 以确保快速上升时间。电缆的小电容和内部上拉器件的绝对值在决定 BKGD/MS 引脚的上升和下降时间时几乎不起作用。

2.2.5 ADC 基准引脚 (VREFH、VREFL)

VREFH 和 VREFL 引脚分别是 ADC 模块的基准电压高电平输入和基准电压低电平输入。

2.2.6 通用 I/O 和外设端口

MC9S08DZ60 系列 MCU 支持多达 53 个通用 I/O 引脚和 1 个仅输入引脚, 这些引脚与片内外设功能(定时器、串行 I/O、ADC、MSCAN 等)共享。).

当端口引脚配置为通用输出或外设将端口引脚用作输出时, 软件可以选择两种驱动强度之一, 并使能或禁用压摆率控制。当端口引脚配置为通用输入或外设将端口引脚用作输入时, 软件可以使能上拉器件。复位后, 所有这些引脚立即配置为高阻抗通用输入, 内部上拉器件禁用。

当片内外设系统控制一个引脚时, 即使外设模块通过控制引脚输出缓冲器的使能来控制引脚方向, 数据方向控制位仍然决定从端口数据寄存器读取的内容。有关将这些引脚作为通用 I/O 引脚进行控制的信息, 请参阅第 6 章“并行输入/输出控制”

注意

为了避免浮动输入引脚的额外电流消耗，应用程序中的复位初始化例程应该使能片内上拉器件，或者将未使用或未连接的引脚的方向改为输出，使其不会浮动。

深圳市南天星

表 2-1。按封装引脚数列出的引脚可用性

插脚数			<-最低优先级->最高			
64	48	32	端口引脚/中断		备选 1	Alt 2
—	—	—	PTB6	PIB6	ADP14	
2	—	—	PTC5		ADP21	
3	2	—	PTA7	PIA7	ADP7	伊拉克
四	—	—	PTC6		ADP22	
5	3	—	PTB7	PIB7	ADP15	
6	—	—	PTC7		ADP23	
七	四	2				VDD
8	5	3				虚存系统
9	6	四	PTG0		EXTAL	
10	七	5	PTG1		晶体	
11	8	6				重置
12	9	—	PTF4			ACMP2+
13	10	—	PTF5			ACMP2-
14	—	—	PTF6			ACMP20
15	11	七	PTE0		TxD1	
16	12	8	PTE12		RxD12	
17	13	9	PTE2			圣人
18	14	10	PTE3			SPSCK
19	15	11	PTE4		SCL3	MOSI
20	16	12	PTE5		SDA3	军事情报部门组织 (Military Intelligence Service Organization)
21	—	—	PTG2			
22	—	—	PTG3			
23	17	—	PTF0			TxD24
24	18	—	PTF1			RxD24
25	19	—	PTF2		TPM1CLK	SCL3
26	20	—	PTF3		TPM2CLK	SDA3
27	—	—	PTG4			
28	—	—	PTG5			
29	21	13	PTE6		TxD24	TXCAN
30	22	14	PTE7		RxD24	RxCAN
31	23	15	PTD0	PID0		TPM2CHO
32	24	16	PTD1	PID1		TPM2CH1

插脚数			<-最低优先级->最高			
64	48	32	端口引脚/中断		备选 1	Alt 2
33	25	17	PTD2	PID2		TPM1CHO
34	26	18	PTD3	PID3		TPM1CH1
35	27	19	PTD4	PID4		TPM1CH2
36	28	20	PTD5	PID5		TPM1CH3
37	—	—	PTF7			
38	29	—				虚存系统
39	30	—				VDD
40	31	—	PTD6	PID6		TPM1CH4
41	32	—	PTD7	PID7		TPM1CH5
42	33	21			BKGD	多发性硬化症
43	—	—	PTC0		ADP16	
44	34	22	PTB0	PIB0	ADP8	
45	—	—	PTC1		ADP17	
46	35	23	PTA0	PIA0	ADP0	MCLK
47	—	—	PTC2		ADP18	
48	36	24	PTB1	PIB1	ADP9	
49	37	25	PTA1	PIA1	ADP11	ACMP1+1
50	38	—	PTB2	PIB2	ADP10	
51	39	26	PTA2	PIA2	ADP21	ACMP1-1
52	—	—	PTC3		ADP19	
53	40	—	PTB3	PIB3	ADP11	
54	41	27	PTA3	PIA3	ADP3	ACMP10
55	—	—				VSSA
56	42	28				VREFL
57	—	—				VREFH
58	43	29				VDDA
59	44	30	PTA4	PIA4	ADP4	
60	45	—	PTB4	PIB4	ADP12	
61	—	—	PTC4		ADP20	
62	46	31	PTA5	PIA5	ADP5	
63	47	—	PTB5	PIB5	ADP13	
64	48	32	PTA6	PIA6	ADP6	

1. 如果这两个模拟模块都使能，它们都可以访问引脚。
2. 引脚不包含 VDD 箝位二极管，不应驱动至 VDD 以上。内部上拉使能时，在此引脚上测得的电压可能低至 VDD - 0.7v，连接到此引脚的内部栅极被拉至 VDD。
3. 使用 SOPT1 寄存器中的 IICPS 位可以重新定位 IIC 模块引脚。默认复位位置在 PTF2 和 PTF3 上。
4. 使用 SOPT1 寄存器中的 SCI2PS 位可以重新定位 SCI2 模块引脚。默认复位位置在 PTF0 和 PTF1 上。

第三章 操作模式

3.1 介绍

本章介绍了 MC9S08DZ60 系列的操作模式。描述了进入每种模式、退出每种模式以及在每种模式下的功能。

3.2 特征

- 代码开发的活动后台模式
- 等待模式— CPU 关闭以节省电能；系统时钟正在运行，并保持完全调节
- 停止模式—系统时钟停止，电压调节器处于待机状态
 - Stop3 —所有内部电路均通电，以实现快速恢复
 - Stop2 —内部电路部分断电；RAM 内容被保留

3.3 运行方式

这是 MC9S08DZ60 系列的正常工作模式。当 BKGD/MS 引脚在 reset 上升沿为高电平时，选择此模式。在这种模式下，复位后，CPU 从从 0x fffe - 0x ffff 的存储器读取的地址开始执行内部存储器中的代码。

3.4 活动背景模式

主动后台模式功能通过 HCS08 内核中的后台调试控制器 (BDC) 进行管理。BDC 与片内调试模块 (DBG) 一起提供了在软件开发期间分析 MCU 操作的手段。

可以通过以下五种方式进入活动背景模式：

- 当 BKGD/MS 引脚在 reset 上升沿为低电平时
- 当通过 BKGD/MS 引脚接收到后台命令时
- 当 BGND 指令被执行时
- 当遇到 BDC 断点时
- 当遇到 DBG 断点时

进入活动后台模式后，CPU 处于暂停状态，等待串行后台命令，而不是执行来自用户应用程序的指令。

后台命令有两种类型：

- 非侵入式命令，定义为可以在用户程序运行时发出的命令。当MCU处于运行模式时，可以通过BKGD/MS引脚发出非侵入式命令；当MCU处于活动后台模式时，也可以执行非侵入式命令。非侵入式命令包括：
 - 存储器访问命令
 - 带状态的存储器访问命令
 - BDC寄存器访问命令
 - 后台命令
- 主动后台命令，只能在MCU处于主动后台模式时执行。活动后台命令包括以下命令：
 - 读取或写入CPU寄存器
 - 一次跟踪一条用户程序指令
 - 离开活动后台模式，返回用户应用程序(GO)

活动后台模式用于在MCU首次以运行模式运行之前，将引导加载程序或用户应用程序编程到闪存程序存储器中。当MC9S08DZ60系列从Freescale半导体工厂发货时，除非特别注明，否则默认情况下闪存程序存储器被擦除，因此在闪存初始编程之前，没有可在运行模式下执行的程序。主动后台模式也可用于擦除和重新编程之前已编程的闪存。

有关活动后台模式的更多信息，请参考开发支持章节。

3.5 等待模式

通过执行等待指令进入等待模式。在执行等待指令时，CPU进入低功率状态，在该状态下它不被计时。当CPU进入等待模式时，CCR中的I位清0，使能中断。当中断请求发生时，CPU退出等待模式并继续处理，从导致中断服务程序的堆栈操作开始。

当MCU处于等待模式时，可以使用的后台调试命令有一些限制。当MCU处于等待模式时，只有后台命令和带状态的存储器访问命令可用。带状态的存储器访问命令不允许存储器访问，但它们会报告一个错误，指示MCU处于停止或等待模式。BACKGROUND命令可用于将MCU从等待模式唤醒，并进入主动后台模式。

3.6 停止模式

当 SOPT1 寄存器中的 sof 0 位置位时，在执行 stop 指令时会进入两种 STOP 模式之一。在两种停止模式下，所有内部时钟都会暂停。MCG 模块可以配置为保持参考时钟运行。更多信息参见第 8 章，“多用途时钟发生器 (S08MCGV1)”。

表 3-1 显示了影响停止模式选择的所有控制位以及在各种条件下选择的模式。执行停止指令后，进入所选模式。

表 3-1. 停止模式选择

采矿场	ENBDM 1	吕德	LVDSE	PPDC	停止模式
0	x	x		x	停止模式禁用；如果执行停止指令，则非法操作码复位
—	—	x		x	BDM 使能时的停止 3 2
—	0	两位必须为 1		x	电压调节器激活时的 Stop3
—	0	要么位为 0		0	停止 3
—	0	要么位为 0		—	停止 2

¹ ENBDM 位于 BDCSCR 中，只能通过 BDC 命令访问，参见 17.4.1.1 章节“BDC 状态和控制寄存器 (BDCSCR)”。

² 当处于 Stop3 模式且 BDM 使能时，由于内部时钟使能，SIDD 将接近 RIDD 电平。

3.6.1 Stop3 模式

在表 3-1 所示的条件下，通过执行 Stop 指令进入 Stop3 模式。所有内部寄存器和逻辑的状态、RAM 内容和 I/O 引脚状态都保持不变。

通过置位 RESET 或异步中断引脚来退出 stop3。异步中断引脚为 IRQ、pia 0 - pia 7、PIB 0 - PIB 7 和 PID 0 - PID 7。从 stop3 退出也可以通过
 低压检测 (LVD) 复位、低压警告 (LVW) 中断、ADC 转换完成中断、实时时钟 (RTC) 中断、MSCAN 唤醒中断或 SCI 接收器中断。

如果通过 RESET 引脚退出 stop3，MCU 将复位，并在获取复位向量后恢复运行。通过中断退出将导致 MCU 获取适当的中断向量。

3.6.1.1 Stop3 模式下 LVD 使能

当电源电压降至 LVD 电压以下时，LVD 系统能够产生中断或复位。如果在 CPU 执行 stop 指令时，LVD 在 stop 中使能 (SPMSC1 中的吕德和 LVDSE 位都置位)，则电压调节器在 STOP 模式下保持活动。

为使 ADC 工作，进入 stop3 时，LVD 必须保持使能状态。

3.6.1.2 在 Stop3 模式下使能活动 BDM

如果 BDCSCR 中的 ENBDM 置位，则允许从运行模式进入活动后台模式。该寄存器在第 17 章“开发支持”中描述。如果当 CPU 执行 stop 指令时 ENBDM 置位，则当 MCU 进入 STOP 模式时，后台调试逻辑的系统时钟保持有效。因此，后台调试通信仍然是可能的。此外，电压调节器不会进入低功耗待机状态，而是保持完全的内部调节。

大多数后台命令在停止模式下不可用。带状态的存储器访问命令不允许存储器访问，但它们会报告一个错误，指示 MCU 处于停止或等待模式。如果 ENBDM 位置 1，可以使用后台命令将 MCU 从停止状态唤醒，并进入后台活动模式。进入后台调试模式后，所有后台命令都可用。

3.6.2 Stop2 模式

在表 3-1 所示的条件下，通过执行 Stop 指令进入 Stop2 模式。在 stop2 中，除了 RAM 之外，MCU 的大部分内部电路都关断。进入 stop2 后，所有 I/O 引脚控制信号均被锁存，以便引脚在 stop2 期间保持其状态。

通过置位 RESET 来退出 stop2。仅在 3M05C 或更早的屏蔽集上，也可以通过置位 PTA7/ADP7/IRQ 来退出 stop2。

注意

仅在 3M05C 或更早的 masksets 上，PTA7/ADP7/IRQ 是低电平有效唤醒，必须在执行 STOP 指令之前配置为输入，以避免立即从 stop2 退出。如果 PTA7/ADP7/IRQ 配置为高驱动输出，则可以将其禁用为唤醒模式。为了降低 stop2 的功耗，此引脚在配置为输入时不应保持开路(使能内部上拉电阻；或者连接外部上拉/下拉器件；或将引脚设置为输出)。

此外，如果使能，实时计数器(RTC)可以从 stop2 唤醒 MCU。从 stop2 模式唤醒后，MCU 从上电复位(POR)状态启动：

- 所有模块控制和状态寄存器被复位
- 如果 VDD 低于 LVD 跳变点(由于 POR 而选择低跳变点)，则 LVD 复位功能使能，MCU 保持复位状态
- CPU 采用复位向量

除此之外，从 stop2 唤醒后，SPMSC2 中的 PPDF 位置 1。该标志用于指示用户代码转到 stop2 恢复例程。PPDF 保持置位，I/O 引脚状态保持锁存，直到向 SPMSC2 中的 PPDACK 写入 1。

为了保持在进入 stop2 之前配置为通用 I/O 的引脚的 I/O 状态，用户必须在写入 PPDACK 位之前，将保存在 RAM 中的 I/O 端口寄存器的内容恢复到端口寄存器中。如果在写入 PPDACK 之前端口寄存器没有从 RAM 中恢复，那么当写入 PPDACK 时，引脚将切换到复位状态。

对于配置为外设 I/O 的引脚，在写入 PPDACK 位之前，用户必须重新配置与引脚接口的外设模块。如果在写入 PPDACK 之前外设模块未使能，当 I/O 锁存器打开时，这些引脚将由相关的端口控制寄存器控制。

3.6.3 停止模式下的片内外设模块

当 MCU 进入任何停止模式时，内部外设模块的系统时钟停止。即使在例外情况下 (ENBDM = 1)，后台调试逻辑的时钟继续运行，外设系统的时钟也会暂停，以降低功耗。有关停止模式下系统行为的具体信息，请参考第 3.6.2 节“停止 2 模式”和第 3.6.1 节“停止 3 模式”。

表 3-2. 停止模式行为

外围的	方式	
	停止 2	停止 3
中央处理器	离开	备用的
随机存取存储	备用的	备用的
闪存/EEPROM	离开	备用的
并行端口寄存器	离开	备用的
ACMP	离开	离开
物理输出核心	离开	可选 0n1
IIC	离开	备用的
微克	离开	可选 0n2
MSCAN	离开	备用的
雷达跟踪中心 (Radar Tracking Centre 的缩写)	可选 3	可选 3
(同 science) 科学	离开	备用的
精力	离开	备用的
全面生产维护 (Total Productive Maintenance 的缩写)	离开	备用的
稳压器	离开	可选 0n4
XOSC	离开	可选版本 5
I/O 引脚	持有的国家	持有的国家
业务拓展经理	Off6	可选开启
LVD/LVW	Off7	可选开启

- 1 要求异步 ADC 时钟和 LVD 使能，否则处于待机状态。
- 2 在 MCG1 中设置 IRCLKEN 和 IREFSTEN，否则处于待机状态。
- 3 需要启用 RTC，否则处于待机状态。
- 4 需要使能 LVD 或 BDC。

- ⁵ MCGC2 中的 ERCLKEN 和 EREFSTEN 置位，否则处于待机状态。对于高频范围 (MCGC2 设置的范围)，要求在 stop3 中也使能 LVD。
- ⁶ 如果在进入 stop2 时 ENBDM 置位，MCU 将实际进入 stop3。
- ⁷ 如果在进入 stop2 时设置了 LVDSE，MCU 将实际进入 stop3。

深圳南天星

第 4 章 记 忆

4.1 MC9S08DZ60 系列存储器映射

MC9S08DZ60 系列的片内存储器包括 RAM、EEPROM 和用于非易失性数据存储的 Flash 程序存储器，以及 I/O 和控制/状态寄存器。寄存器分为三组：

- 直接页面寄存器 (0x0000 至 0x007F)
- 高页寄存器 (0x1800 至 0x18FF)
- 非易失性寄存器 (0xFFB0 至 0xFFBF)

0x0000	直接页面寄存器
0x007F	128 字节
0x0080	随机存取存储
	2048 字节
0x087F	
0x0880	未执行的
	3456 字节
0x15FF	
0x1600	EEPROM
	2 x 512 字节
0x17FF	2 x 1024 字节
0x1800	寄存器
	256 字节
0x18FF	
0x1900	未执行的
	25, 344 字节
0x7BFF	
0x7C00	闪存
	38784 字节
0xFFFF	
0xFFFF	

深圳南天星

0x0000	直接页面寄存器 0x007F 128 字节
0x0080	随机存取存储
0x047F 1024 字节	
0x0480	未执行的 4736 字节
0x16FF	
0x1700 EEPROM1	
0x17FF 2 x 256 字节	
0x1800	高页寄存器 256 字节
0x18FF	
0x1900	未执行的 42, 240 字节
0xBDFE	
0xBEE0	闪光 16896 字节

MC9S08DZ60

MC9S08DZ48

MC9S08DZ32

MC9S08DZ16

1 EEPROM 地址范围显示整个 EEPROM 的一半。详情参见第 4.5.10 节“EEPROM 映射”。

图 4-1. MC9S08DZ60 存储器映射

4.2 复位和中断向量分配

表 4-1 显示了复位和中断向量的地址分配。此表中显示的矢量名称是 Freescale Semiconductor 提供的 MC9S08DZ60 系列 equate 文件中使用的标签。

表 4-1. 复位和中断向量

地址 (高/低)	矢量	向量名称
0xFFC0:0xFFC1	ACMP2	Vacmp2
0xFFC2:0xFFC3	ACMP1	Vacmp1
0xFFC4:0xFFC5	MSCAN 传输	Vcantx
0xFFC6:0xFFC7	MSCAN 接收	Vcanrx
0xFFC8:0xFFC9	MSCAN 错误	Vcanerr
0xFFCA:0xFFCB	MSCAN 醒来	Vcanwu

表 4-1。复位和中断向量

地址 (高/低)	矢量	向量名称
0xFFCC:0xFFCD	雷达跟踪中心 (Radar Tracking Centre 的缩写)	Vrtc
0xFFCE:0xFFCF	IIC	Viic
0xFFD0:0xFFD1	ADC 转换	Vadc
0xFFD2:0xFFD3	端口 A、端口 B、端口 D	Vport
0xFFD4:0xFFD5	SCI2 传输	Vsci2tx
0xFFD6:0xFFD7	SCI2 接收	Vsci2rx
0xFFD8:0xFFD9	SCI2 误差	Vsci2err
0xFFDA:0xFFDB	SCI1 传输	Vsc1tx
0xFFDC:0xFFDD	SCI1 接收	Vsc1rx
0xFFDE:0xFFDF	SCI1 错误	Vsc1err
0xFFE0:0xFFE1	精力	Vspi
0xFFE2:0xFFE3	TPM2 溢出	Vtpm2ovf
0xFFE4:0xFFE5	TPM2 通道 1	Vtpm2ch1
0xFFE6:0xFFE7	TPM2 通道 0	Vtpm2ch0
0xFFE8:0xFFE9	TPM1 溢出	Vtpm1ovf
0xFFEA:0xFFEB	TPM1 通道 5	Vtpm1ch5
0xFFEC:0xFFED	TPM1 通道 4	Vtpm1ch4
0xFFEE:0xFFEF	TPM1 通道 3	Vtpm1ch3
0xFFFF0:0xFFFF1	TPM1 通道 2	Vtpm1ch2
0xFFFF2:0xFFFF3	TPM1 通道 1	Vtpm1ch1
0xFFFF4:0xFFFF5	TPM1 通道 0	Vtpm1ch0
0xFFFF6:0xFFFF7	MCG 失锁	Vl0l
0xFFFF8:0xFFFF9	低电压检测	Vlvd
0xFFFFA:0xFFFFB	伊拉克	Virq
0xFFFFC:0xFFFFD	SWI	Vswi
0xFFFFE:0xFFFFF	重置	Vreset

4.3 寄存器地址和位分配

MC9S08DZ60 系列中的寄存器分为以下几组：

- 直接页面寄存器位于存储器映射中的前 128 个位置；这些可以通过有效的直接寻址模式指令来访问。
- 高页寄存器的使用频率要低得多，因此它们在存储器映射中位于 0x1800 之上。这在直接页面中为更频繁使用的寄存器和 RAM 留出了更多空间。
- 非易失性寄存器区由 Flash 存储器中 0x FFB 0 - 0x ffbf 的 16 个位置组成。
非易失性寄存器位置包括：
 - NVPROT 和 NVOPT 在复位时载入工作寄存器
 - 一个 8 字节的后门比较密钥，可以选择允许用户获得对安全内存的受控访问

因为非易失性寄存器位置是闪存，所以它们必须像其他闪存位置一样被擦除和编程。

可以使用高效的直接寻址模式指令来访问直接页寄存器。位操作指令可以用来访问任何直接页寄存器中的任何位。表 4-2 是所有这些的总结
用户可访问的直接页面寄存器和控制位。

表 4-2 中的直接页寄存器可以使用更有效的直接寻址模式，它只需要地址的低位字节。因此，第一列中地址的低位字节以粗体显示。在表 4-3 和表 4-5 中，第一列中的完整地址以粗体显示。在表 4-2、表 4-3 和表 4-5 中，第二列中的寄存器名称以粗体显示，以区别于右侧的位名称。不与命名位相关联的单元格被加上阴影。带有 0 的阴影单元表示该未使用的位总是读取为 0。带破折号的阴影单元表示未使用或保留的位位置，可以读作 1 或 0。