

# PCF8545

通用液晶驱动器，多路复用率高达 1:8

2021 年 10 月 2 日至 4 日

产品数据表

## 1 一般描述

PCF8545 是一种外围设备，几乎可以连接到任何液晶

显示器（LCD）<sup>1</sup>具有低多路复用率。它为任何包含多达八个背板和多达 320 个元素的多路复用液晶显示器生成驱动信号。PCF8545 与大多数微控制器兼容，并通过双线双向 I 进行通信<sup>2</sup>C 总线（PCF8545A）或三线单向 SPI 总线（PCF8545B）。使用带有自动增量寻址的显示 RAM 将通信开销降至最低。

有关 NXP LCD 段驱动程序的选择，请参阅[表 39](#)。

## 2 特点和好处

- 单芯片 320 元件 LCD 控制器和驱动器
- 数字电源范围广：从 1.8V 到 5.5V
- 液晶屏供电范围从 2.5V 到 5.5V
- 液晶显示器和逻辑电源可以分开
- 低功耗
- 可选背板驱动配置：4、6 或 8 背板多路复用
- 可选的显示偏置配置
- 用于显示数据存储的 320 位 RAM
- 400 千赫 I<sup>2</sup>C 总线接口（PCF8545A）
- 5 MHz SPI 总线接口（PCF8545B）
- 可编程帧频率在 60 赫兹至 300 赫兹之间，步骤为 10 赫兹；工厂校准
- 驱动的 320 段允许：
  - 最多 40 个 7 段字母数字字符
  - 多达 20 个 14 段的字母数字字符
  - 任何高达 320 个元素的图形
- 在硅栅 CMOS 工艺中制造

## 3 应用

<sup>1</sup> The definition of the abbreviations and acronyms used in this data sheet can be found in [Section 20](#).

•工业和消费品



## 4 订购信息

表 1. 订购信息

类型编号	接口类型	顶部标记	包裹		
			名字	描述	变种
PCF8545ATT	我 <sup>2</sup> C-bus	PCF8545ATT	TSSOP56	塑料薄收缩小轮廓包装; 56 引线; 机身宽度 6.1 毫米	SOT364-1
PCF8545BTT	SPI 巴士	PCF8545BTT	TSSOP56	塑料薄收缩小轮廓包装; 56 引线; 机身宽度 6.1 毫米	SOT364-1

### 4.1 订购选项

表 2. 订购选项

类型编号	可订购的部件号	包裹	包装方法 <sup>[1]</sup>	最低订单数量	温度
PCF8545ATT/A	PCF8545ATT/AJ <sup>[2]</sup>	TSSOP56	卷轴 13 英寸 q1 非干包	2000	字母 T <sub>安布</sub> = -40°C 至 +85°C
	PCF8545ATT/AY	TSSOP56	卷轴 13 英寸 q1 干包	2000	字母 T <sub>安布</sub> = -40°C 至 +85°C
PCF8545BTT/A	PCF8545BTT/AJ <sup>[3]</sup>	TSSOP56	卷轴 13 英寸 q1 非干包	2000	字母 T <sub>安布</sub> = -40°C 至 +85°C
	PCF8545BTT/AY	TSSOP56	卷轴 13 英寸 q1 干包	2000	字母 T <sub>安布</sub> = -40°C 至 +85°C

[1] 标准包装数量和其他包装数据可在 [www.nxp.com/packages/](http://www.nxp.com/packages/)。

[2] 停止通知 202107021DN-更换是 PCF8545ATT/AY-这记录在 PCN202102010F01 中。

[3] 停止通知 202107021DN-下降替换是 PCF8545BTT/AY-这记录在 PCN202102010F01 中。

NXP 半导体

PCF8545

通用液晶驱动器, 多路复用率高达 1:8

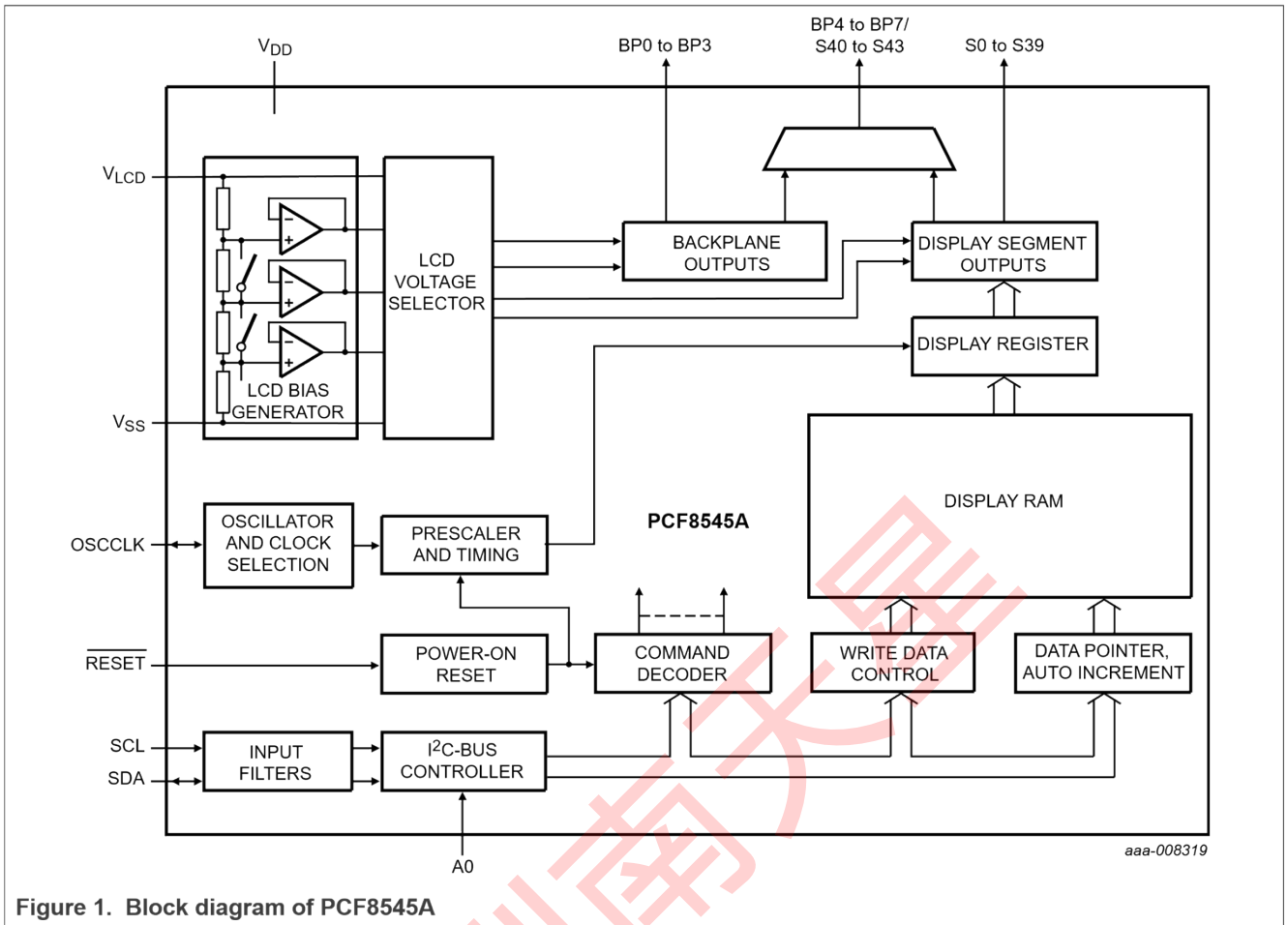


Figure 1. Block diagram of PCF8545A

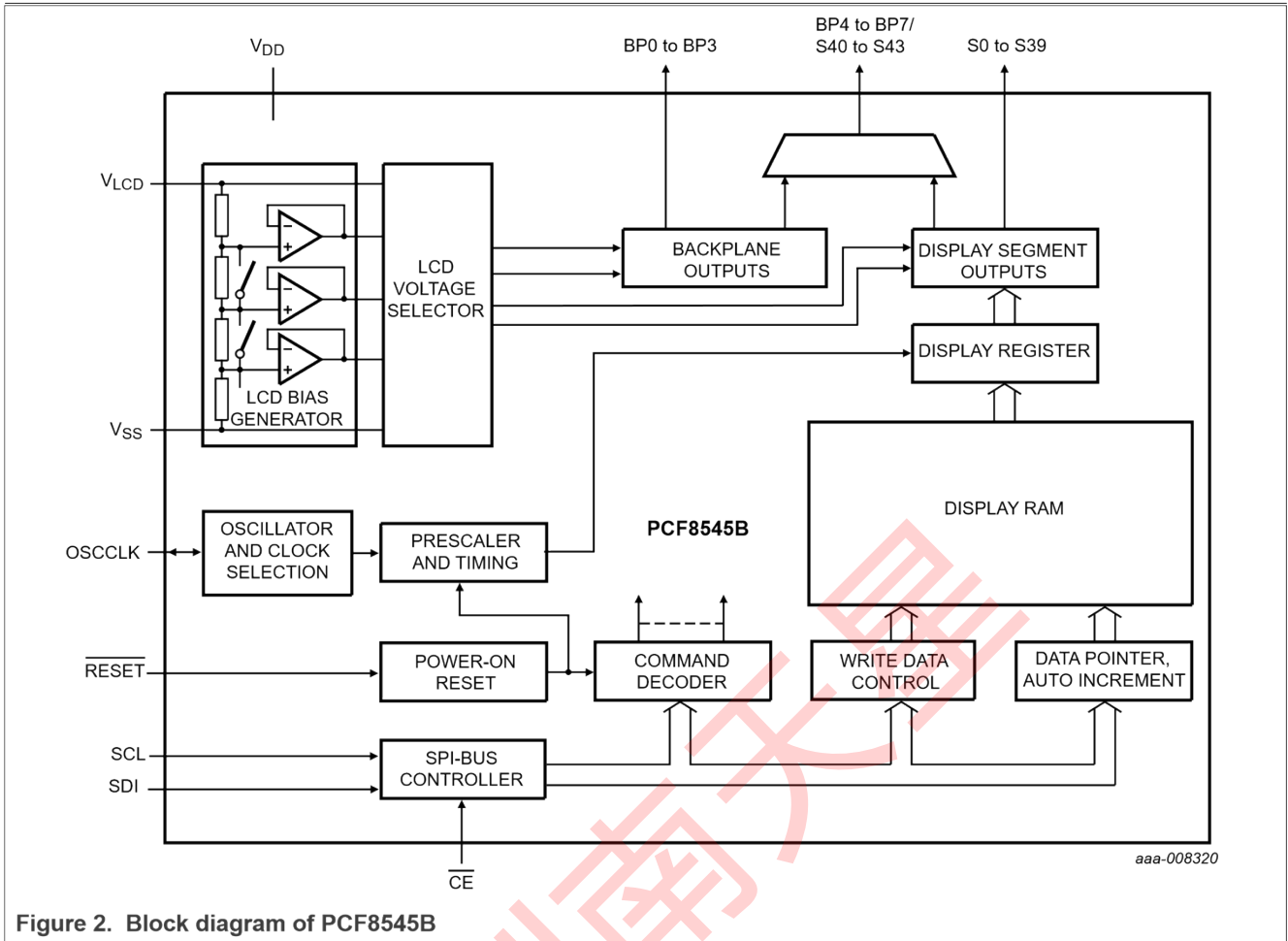
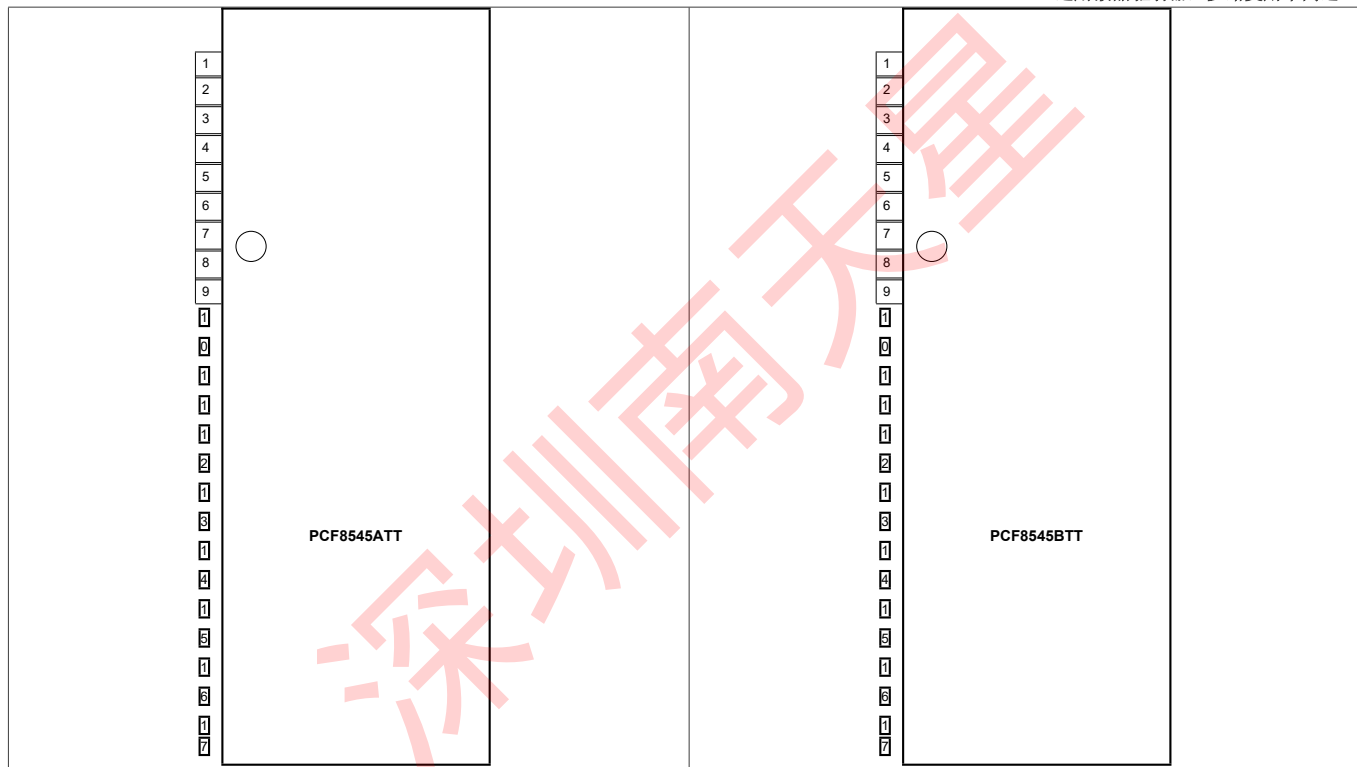
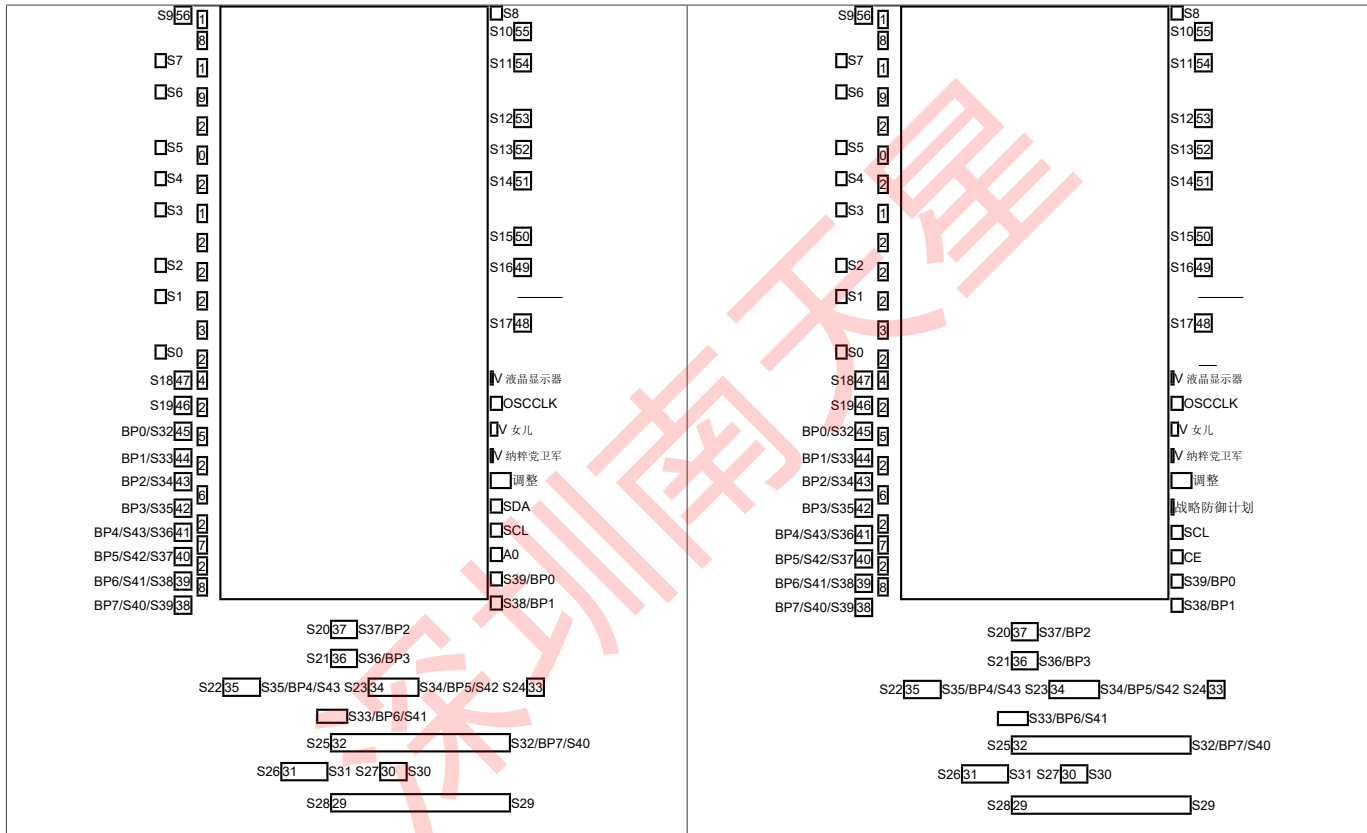


Figure 2. Block diagram of PCF8545B

## 6 固定信息

### 6.1 固定





视图。有关机械细节，请参阅[图 45](#)。

### 图 3. TSSOP56 (PCF8545ATT) 的引脚配置

视图。有关机械细节，请参阅[图 45](#)。

### 图 4. TSSOP56 (PCF8545BTT) 的引脚配置

## 6.2 引脚描述

表 3。PCF8545ATT 和 PCF8545BTT 的引脚描述

输入或输入/输出引脚必须始终处于定义的水平 ( $V_{纳粹党卫军}$  或  $V_{女儿}$ ) 除非另有说明。

别针	标志	类型	描述
1 到 11	S9 到 S19	输出信息	液晶屏段
20 到 31	S20 到 S31	输出信息	液晶屏段
43	调整	输入的信息	活跃的 LOW 重置输入
44	$V_{纳粹党卫军}$	供应	接地电源电压
45	$V_{女儿}$	供应	电源电压
46	OSCCLK	输入/输出	外部时钟输入/内部振荡器输出
47	$V_{液晶显示器[1]}$	供应	液晶电源电压
48 到 56	S0 到 S8	输出信息	液晶屏段
引脚布局取决于背板交换配置 <sup>[2]</sup>			
	<b>BPS = 0<sup>[3]</sup></b>	<b>BPS = 1</b>	
12	BP0	S32	输出信息 LCD 背板/LCD 段
13	BP1	S33	
14	BP2	S34	
15	BP3	S35	
16	BP4/S43	S36	
17	BP5/S42	S37	
18	BP6/S41	S38	
19	BP7/S40	S39	
32	S32	BP7/S40	
33	S33	BP6/S41	
34	S34	BP5/S42	
35	S35	BP4/S43	
36	S36	BP3	
37	S37	BP2	
38	S38	BP1	
39	S39	BP0	



引脚布局取决于产品和总线类型				
	PCF8545AT	PCF8545BTT		
40	A0		输入的信息	我 <sup>2</sup> C 总线目标地址选择
		$\overline{\text{CE}}$	输入的信息	SPI 总线芯片启用-活动 LOW
41	SCL		输入的信息	我 <sup>2</sup> C 总线串行时钟
		SCL	输入的信息	SPI 总线串行时钟

表 3. PCF8545ATT 和 PCF8545BTT 的引脚描述...继续

输入或输入/输出引脚必须始终处于定义的水平 ( $V_{\text{纳粹党卫军}}$  或  $V_{\text{女儿}}$ ) 除非另有说明。

别针	标志	类型	描述
42	SDA	输入/输出	我 <sup>2</sup> C 总线串行数据
		战略防御计划	输入的信息 SPI 总线数据输入

[1]  $V_{\text{液晶显示器}}$  必须等于或大于  $V_{\text{女儿}}$ 。

[2] 背板交换的影响在图 5。

[3] 位 BPS 在第 7.1.3 节。

## 7 功能描述

PCF8545 是一种多功能外围设备，旨在将任何微控制器连接到各种液晶显示器。它可以直接驱动任何包含多达 8 个背板和多达 44 个段的多路复用液晶显示器。

### 7.1 PCF8545 的命令

PCF8545 由 9 个命令控制，这些命令定义在表 4。本文档中未提及的任何其他操作代码位组合可能会导致 PCF8545 的不良操作模式。

表 4. PCF8545 的命令

命令名称	注册选择 RS[1:0] <sup>[1]</sup>		比特								参考
			7	6	5	4	3	2	1	0	
初始化	0	0	0	0	0	1	0	1	1	0	<a href="#">第 7.1.1 节</a>
OTP 刷新	0	0	1	1	1	1	0	0	0	0	<a href="#">第 7.1.2 节</a>
模式设置	0	0	0	1	0	1	位/秒	INV	付讫	E	<a href="#">第 7.1.3 节</a>
振荡器控制	0	0	0	0	0	1	1	EFR	COE	OSC	<a href="#">第 7.1.4 节</a>
设置 MUX 模式	0	0	0	0	0	0	0	0	M[1:0]		<a href="#">第 7.1.5 节</a>

设置偏倚模式	0	0	0	0	0	0	0	1	B[1:0]	<a href="#">第 7.1.6 节</a>
帧频率	0	0	0	0	1	FD[4:0]				<a href="#">第 7.1.7 节</a>
负载数据指针	0	0	1	0	DP[5:0]					<a href="#">第 7.1.8 节</a>
写入 RAM 数据	0	1	D[7:0]						<a href="#">第 7.1.9 节</a>	

[1] 有关控制字节和寄存器选择的信息，请参阅[第 8.1 节](#)。

### 7.1.1 命令：初始化

此命令生成芯片范围的重置。它具有与 RESET 引脚相同的功能。重置需要 1 毫秒才能完成。

表 5. 初始化-初始化命令位描述

比特	标志	价值	描述
7 到 0	—	0001 0110	固定值

### 7.1.2 命令：OTP-refresh

在设备生产过程中，对每个 IC 进行校准，以达到帧频率的指定精度。这种校准是在称为一次性可编程（OTP）单元的 EPROM 单元上进行的。每次发送 OTP-refresh 命令时，设备都会读取这些单元格。OTP-refresh 命令必须在重置后和启用显示之前发送。

此命令将在最多 30 毫秒后完成，并需要内部或外部时钟才能运行。如果不使用内部振荡器，则必须向 OSCCLK 引脚提供时钟。如果发送了 OTP 刷新指令，并且没有时钟存在，然后存储请求，直到有时钟可用。

**备注：**建议在 OTP 刷新周期期间不要进入关机模式。

表 6. OTP-refresh - OTP-refresh 命令位描述

比特	标志	价值	描述
7 到 0	—	1111 0000	固定值

### 7.1.3 命令：模式设置

表 7. 模式设置-模式设置命令位描述

比特	标志	价值	描述
7 到 4	—	0101	固定值
3	位/秒		背板交换
		0[1]	背板配置 0
		1	背板配置 1
2	INV		设置反转模式
		0[1][2]	驾驶方案 A: LCD 线路反转模式



7.1.3.2 线路反转（驾驶方案 A）和车架反转（驾驶方案 B）

横跨 LCD 的电压的直流偏移在一定时期内得到补偿：在线路反转模式下按线（驱动方案 A）或在帧反转模式下按帧（驱动方案 B）。使用 INV 位（见表 7），补偿模式可以切换。

在帧反转模式下，DC 值在两帧上补偿，而不是在一个帧内补偿。将反转模式更改为帧反转会降低功耗；因此，当功耗是应用程序的关键点时，它非常有用。

帧反转可能不适合所有应用。跨段的 RMS 电压定义得更好；但是，由于开关频率降低，可能会发生闪烁。

波形图 14 去图 17 正在显示线路反转模式。图 18 显示了帧反转的示例。

7.1.3.3 关机模式

断电位（PD）允许将 PCF8545 置于最低功率配置。为了避免显示失真，请仅在显示器关闭后，通过将位 E 设置为逻辑 0 来进入关机状态。停电期间，内部振荡器被关闭。

表 8. 断电位（PD）的影响

对功能的影响	模式设置	设置 PD 的效果	
		0	1
背板输出	E = 1	正常功能	V 纳粹党卫军
分段输出	E = 1	正常功能	V 纳粹党卫军
内部振荡器	OSC = 0, COE = 1	在...上	离开
OSCCLK 别针	OSC = 0, COE = 1	内部振荡器频率的输出	V 女儿
OSCCLK 别针	OSC = 1	输入时钟	时钟输入，可以是逻辑 0、逻辑 1 或左漂浮的

通过以下顺序，PCF8545 可以设置为最低功耗状态，称为断电模式。

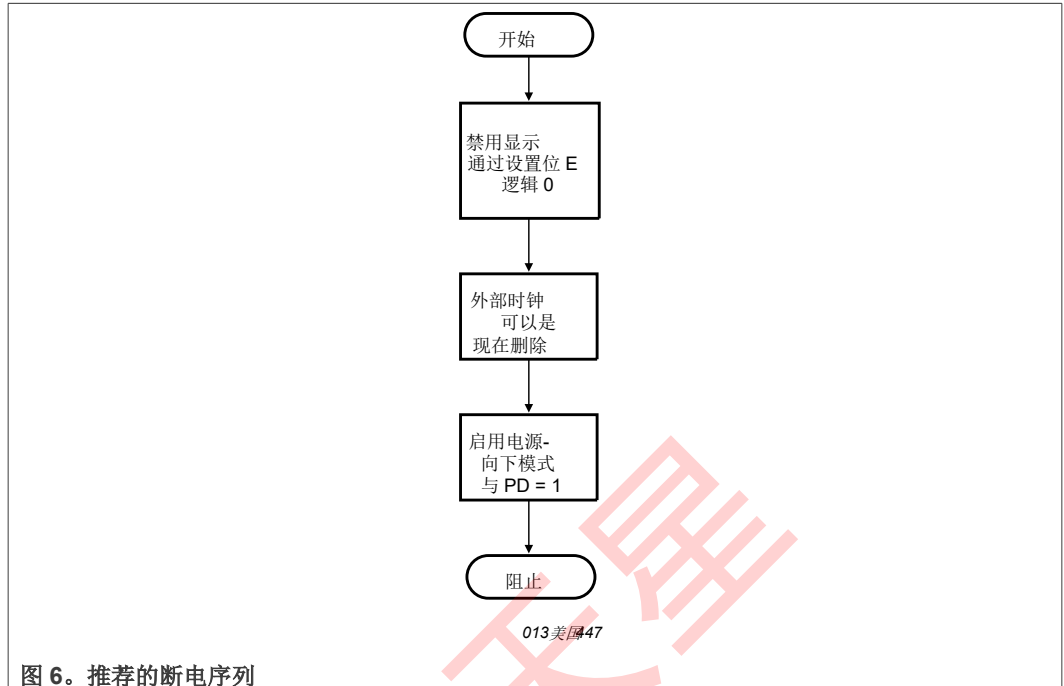


图 6. 推荐的断电序列

**备注:**

- 在移除电源之前，有必要运行断电顺序。根据应用程序的不同，在拆卸电源时，必须注意芯片输入或输出引脚上没有其他信号（见第 9 节）。否则，它可能会导致不需要的显示伪影。如果发生不受控制的供应移除，PCF8545 不会损坏。
- 当外部 LCD 供电电压（V<sub>液晶显示器</sub>）时，液晶显示器上的静态电压可能会积聚（液晶显示器）在 IC 电源电压关闭时处于打开状态，或者相反。这可能会导致不必要的显示伪影。为了避免此类工件，V<sub>液晶显示器</sub>和 V<sub>女儿</sub>必须一起应用或移除。
- 当显示器处于活动状态时，必须始终向设备提供时钟信号。移除时钟可能会使液晶显示器冻结在直流状态下，这不适合液晶。首先禁用显示器，然后移除时钟信号。

7.1.3.4 显示启用

显示启用位 (E) 用于启用和禁用显示。当显示器被禁用时，所有 LCD 输出都转到 V<sub>DD</sub> 纳粹党卫军。实现此功能是为了确保 LCD 输出上不会感应到电压，因为它可能会导致不需要的段显示。

推荐的启动序列位于 [第 7.2.3 节](#)

**备注：**显示启用不同步到 LCD 帧边界。因此，由于显示器上可能会积聚直流电压，因此不建议使用此功能长时间闪烁显示器。

7.1.4 命令：振荡器控制

振荡器控制命令在内部和外部振荡器之间切换，并启用或禁用引脚 OSCCLK。它还定义了外部频率。

表 9. 振荡器控制-振荡器控制命令位描述

比特	标志	价值	描述
7 到 3	—	0001 1	固定值
2	EFR		外部时钟频率应用于别针 OSCCLK
		0[1]	9.6 千赫
		1	230 千赫
1	COE		时钟输出启用引脚 OSCCLK
		0[1]	引脚 OSCCLK 上的时钟信号不可用；引脚 OSCCLK 处于 3 个状态
		1	引脚 OSCCLK 上可用的时钟信号
0	OSC		振荡器源
		0[1]	内部振荡器运行
		1	使用外部振荡器；引脚 OSCCLK 成为输入；与 EFR 结合使用以确定输入频率

[1] 默认值。

位 OSC、COE 和 EFR 控制用于生成 LCD 信号的时钟的源和频率（见 [图 7](#)）。有效的组合显示在 [表 10](#)。

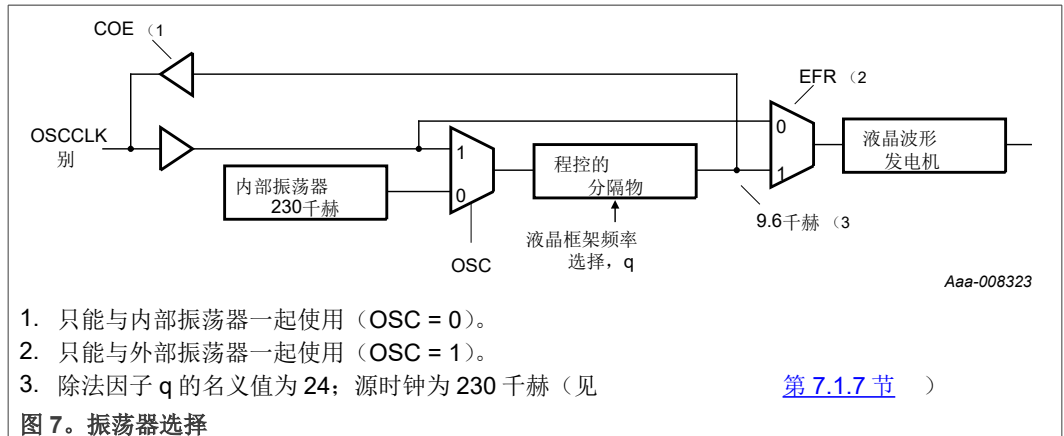


表 10. 位 OSC、EFR 和 COE 的有效组合

OSC	COE	EFR	OSCCLK 别针	时钟源
0	0	未使用	不活跃; 可能会漂浮着	使用的内部振荡器
0	1	未使用	内部振荡器频率的输出 (预缩放器)	使用的内部振荡器
1	未使用	0	9.6 kHz 输入	OSCCLK 别针
1	未使用	1	230 kHz 输入	OSCCLK 别针

表 11. 位 OSC、EFR 和 COE 的典型用途

使用	OSC	COE	EFR
带内部振荡器的液晶显示器	0	0	未使用
带外部振荡器的液晶显示器 (230 kHz)	1	未使用	1
带外部振荡器的液晶显示器 (9.6 kHz)	1	未使用	0

### 7.1.4.1 振荡器

该系统设计为从 9.6 kHz 或 230 kHz 时钟运行。这个时钟可以从内部或外部获得。PCF8545 的内部逻辑和 LCD 驱动信号由内部振荡器或外部提供的时钟计时。

#### 内部时钟

当使用内部振荡器时，所有 LCD 信号都由它生成。振荡器以标称 230 kHz 运行。该频率与 LCD 帧频率之间的关系详见 [第 7.1.7 节](#)。内部振荡器的控制是用 OSC 位进行的 (见 [第 7.1.4 节](#))。

通过使用振荡器控制命令，可以在引脚 OSCCLK 上提供内部振荡器信号 (见表 9) 并配置时钟输出启用 (COE) 位。如果不需要，引脚 OSCCLK 应保持打开状态或连接到 V<sub>纳粹党卫军</sub>。开机时，引脚 OSCCLK 处的信号被禁用，引脚 OSCCLK 处于 3 状态。

时钟输出仅在使用内部振荡器时有效。信号出现在 OSCCLK 引脚上。

中间时钟频率在 OSCCLK 引脚处可用。该时钟的占空比随所选的除法比而变化。

表 12. OSCCLK 引脚状态取决于配置

付讫	OSC	COE	EFR	OSCCLK 别针 <sup>[1]</sup>
关机	N.a.	离开	N.a.	3-状态 <sup>[2]</sup>
关机	N.a.	在...上	N.a.	V <sub>女儿</sub>
开机	内部振荡器	离开	N.a.	3-状态
		在...上	N.a.	9.6 kHz 输出 <sup>[3]</sup>
	外部振荡器	N.a.	9.6 千赫	9.6 kHz 输入
			230 千赫	230 kHz 输入

[1] 当 RESET 处于活动状态时，引脚 OSCCLK 处于 3 状态。

[2] 在这种状态下，可以应用外部时钟，但这不是要求。

[3] 9.6 kHz 是 q = 24 的标称频率，见表 13。

外部时钟

在必须将外部时钟应用于 PCF8545 的应用程序中，位 OSC（见表 9）必须设置逻辑 1。在这种情况下，引脚 OSCCLK 成为输入。

OSCCLK 信号必须在 V<sub>纳粹党卫军</sub> 和 V<sub>女儿</sub> 间切换，并供应给芯片的电压。

EFR 位决定外部时钟频率（230 kHz 或 9.6 kHz）。时钟频率（f<sub>clk(分机)</sub>）依次确定 LCD 帧频率，请参阅表 13。

**备注：**如果使用外部时钟，则当显示器打开时，必须始终向设备提供此时钟信号。移除时钟可能会将液晶显示器冻结在直流状态，从而损坏液晶显示器材料。

7.1.4.2 定时和帧频率

PCF8545 的定时组织了设备的内部数据流。这包括将显示数据从显示 RAM 传输到显示段输出。时序还生成 LCD 帧频率，它以整数除数导出时钟频率的离子（见表 13）。帧频率是内部时钟或使用外部时钟时应用于引脚 OSCCLK 的频率的固定划分。

表 13. 液晶框架频率

帧频率	典型外部频率 (Hz)	名义帧频率 (Hz)	EFR 位	Q 的值 <sup>[1]</sup>
$f_{fr(LCD)} = \frac{f_{clk(ext)}}{48}$	9 600	200	0	—
$f_{fr(LCD)} = \frac{f_{clk(ext)}}{48q}$	230 000	200	1	24

[1] 帧频率预缩放器的其他值见表 17。

当使用内部时钟或 EFR = 1 的外部时钟时，LCD 帧频率可以由软件以大约 10 Hz 的步骤编程，范围为 60 Hz 至 300 Hz（见表 17）。此外，内部振荡器是出厂校准的，请参阅表 33。



7.1.5 命令: set-MUX-mode

多路驱动器模式配置了中描述的位表 14。表 14。Set-MUX-mode - 设置多路驱动器模式命令位描述

比特	标志	价值	描述
7 到 2	—	0000 00	固定值
1 到 0	M[1:0]	00 <sup>[1]</sup> , 01	1:8 多路复用驱动模式; 八个背板
		10	1:6 多路复用驱动模式; 6 个背板
		11	1:4 多路驱动模式; 4 个背板

[1] 默认值。

7.1.6 命令: set-bias-mode

Set-bias-mode 命令允许设置偏置级别。表 15。Set-bias-mode - 设置偏置模式命令位描述

比特	标志	价值	描述
7 到 2	—	0000 01	固定值
1 到 0	B[1:0]	00 <sup>[1]</sup> , 01	1/4 偏见
		11	1/3 偏见
		10	1/2 偏见

[1] 默认值。

7.1.7 命令: 帧频率

使用帧频率命令, 可以配置显示器的帧频率。时钟频率决定了帧频率。

表 16. 帧频率-帧频率和输出时钟频率命令位描述

比特	标志	价值	描述
7 到 5	—	001	固定值
4 到 0	FD[4:0]	看见表 17	频率预缩放器

当使用时外部时钟它可以是 230 kHz 或 9.6 kHz 的时钟信号。EFR 位 (见表 9) 必须根据外部时钟频率进行设置。

当 EFR 设置为 9.6 kHz 时, 则计算 LCD 帧频率方程 1 冒号:  $f_{fr(LCD)} = \frac{f_{clk(ext)}}{48}$  (1)

当 EFR 设置为 230 kHz 时, 则计算 LCD 帧频率方程 2 冒号:

$$f_{fr(LCD)} = \frac{f_{clk(ext)}}{48q} \quad (2)$$

其中 q 是分频系数 (见表 17)。

**备注：**第六个罗马字母  $\text{Clk}_{\text{（分机）}}$  是固定 OSCCLK 的外部输入时钟频率。

当**内部振荡器**使用，中间频率可以在 OSCCLK 引脚上输出。它的频率给出于[表 17](#)。

**表 17. 230 kHz 时钟操作的帧频率预缩放器值**

FD[4:0]	名义液晶帧频率 (Hz) [1]	除数因子, q	中间时钟频率 (Hz)
0 0000	59.9	80	2 875
0 0001	70.5	68	3 382
0 0010	79.9	60	3 833
0 0011	90.4	53	4 340
0 0100	99.8	48	4 792
0 0101	108.9	44	5 227
0 0110	119.8	40	5 750
0 0111	129.5	37	6 216
0 1000	140.9	34	6 765
0 1001	149.7	32	7 188
0 1010	159.7	30	7 667
0 1011	171.1	28	8 214
0 1100	177.5	27	8 519
0 1101	191.7	25	9 200
0 1110 <sup>[2]</sup>	199.7	24	9 583
0 1111	208.3	23	10 000
1 0000	217.8	22	10 455
1 0001	228.3	21	10 952
1 0010	239.6	20	11 500
1 0011	252.2	19	12 105
1 0100	266.2	18	12 778
1 0101	281.9	17	13 529
1 0110	299.5	16	14 375
1 0111 至 1 1111	未使用		

[1] 为 230 千赫的默认时钟频率计算的名义帧频率。

[2] 默认值。

### 7.1.8 命令：load-data-pointer

load-data-pointer 命令定义了显示 RAM 的起始地址。每次 RAM 写入后，数据指针会自动递增。显示 RAM 的大小取决于当前的多路复用驱动器模式设置，请参阅表 18。表 18. 加载数据指针-加载数据指针命令位描述

比特	标志	价值	描述
7 到 6	—	10	固定值
多路驱动模式 1:8			
5 到 0	DP[5:0]	00 0000 <sup>[1]</sup> 去 10 0111	0 到 39 的 6 位二进制值
多路驱动模式 1:6			
5 到 0	DP[5:0]	00 0000 <sup>[1]</sup> 去 10 1001	0 到 41 的 6 位二进制值
多路复用驱动器模式 1:4			
5 到 0	DP[5:0]	00 0000 <sup>[1]</sup> 去 10 1011	0 到 43 的 6 位二进制值

[1] 默认值。

**备注：**在设置有效数据指针值之前，将忽略有效范围之外的数据指针值，并且不会传输 RAM 内容。

显示 RAM 的填充描述在 [第 7.9 节](#)。

### 7.1.9 命令：写入 RAM 数据

此命令启动将数据传输到显示 RAM。数据被写入由 load-data-pointer 命令定义的地址。RAM 填充描述在 [第 7.9 节](#)。

表 19. Write-RAM-data - 写入 RAM 数据命令位描述<sup>[1]</sup>

比特	标志	价值	描述
7 到 0	D[7:0]	0000 0000 至 1111 1111	按字节方式将数据写入 RAM

[1] 要使此命令成为控制字节的有效位 RS[1:0]，必须设置逻辑 01，请参阅 [表 24 第 36 页](#)。

## 7.2 启动和关闭

### 7.2.1 重置和开机重置 (POR)

重置后，开机时，PCF8545 重置为启动条件如下：

1. 显示器已禁用。
2. 所有背板输出都设置为 V<sub>纳粹党卫军</sub>。

3. 所有段输出都设置为  $V_{DD}$  纳粹党卫军。
  4. 选定的驱动模式是：1:8 与  $1/4$  偏见。
  5. 数据指针被清除（设置逻辑 0）。
  6. RAM 数据未初始化。它的内容可以被认为是随机的。
  7. 内部振荡器正在运行；引脚 OSCCLK 上没有时钟信号；引脚 OSCCLK 处于 3 状态。
- 重置状态如图所示表 20。

表 20. 重置状态

为了清晰起见，重置命令表格中显示的可配置位的状态。

相关命令	比特							
	7	6	5	4	3	2	1	0
模式设置	—	—	—	—	BPS = 0	INV = 0	PD = 0	E = 0
振荡器控制	—	—	—	—	—	EFR = 0	COE = 0	OSC = 0
设置 MUX 模式	—	—	—	—	—	—	M[1:0] = 00	
设置偏俗模式	—	—	—	—	—	—	B[1:0] = 00	
帧频率	—	—	—	FD[4:0] = 0 1110				
负载数据指针	—	—	DP[5:0] = 00 0000					

开机事件后发送到设备的第一个命令必须是初始化命令（请参阅第 7.1.1 节）。

开机重置（POR）后，在启用显示之前，应通过编写有意义的内容（例如图形）将 RAM 内容带入定义状态，否则显示器上可能会出现不需要的显示伪影。

### 7.2.2 重置引脚功能

PCF8545 的 RESET 引脚将所有寄存器设置为默认状态。重置状态在表 20。RAM 内容保持不变。删除重置信号后，PCF8545 的行为方式将与开机重置（POR）后相同。看见第 7.2.1 节了解详情。

### 7.2.3 推荐的启动序列

本章介绍如何在不同的应用模式下进行芯片的初始化。

一般来说，序列应该始终是：

1. 打开设备电源，
2. 设置显示和功能模式，3. 填充显示内存，然后
4. 打开显示器。

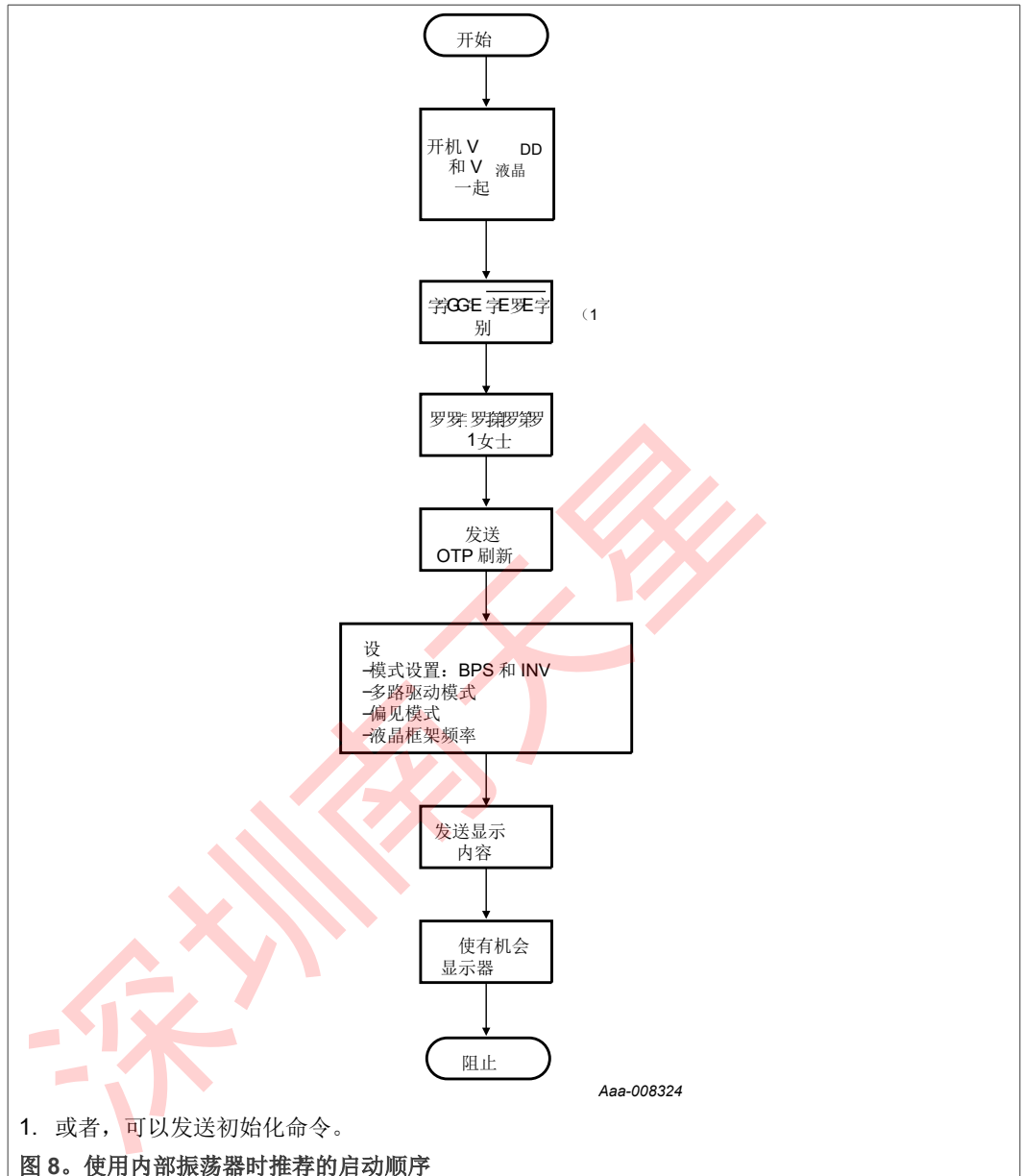
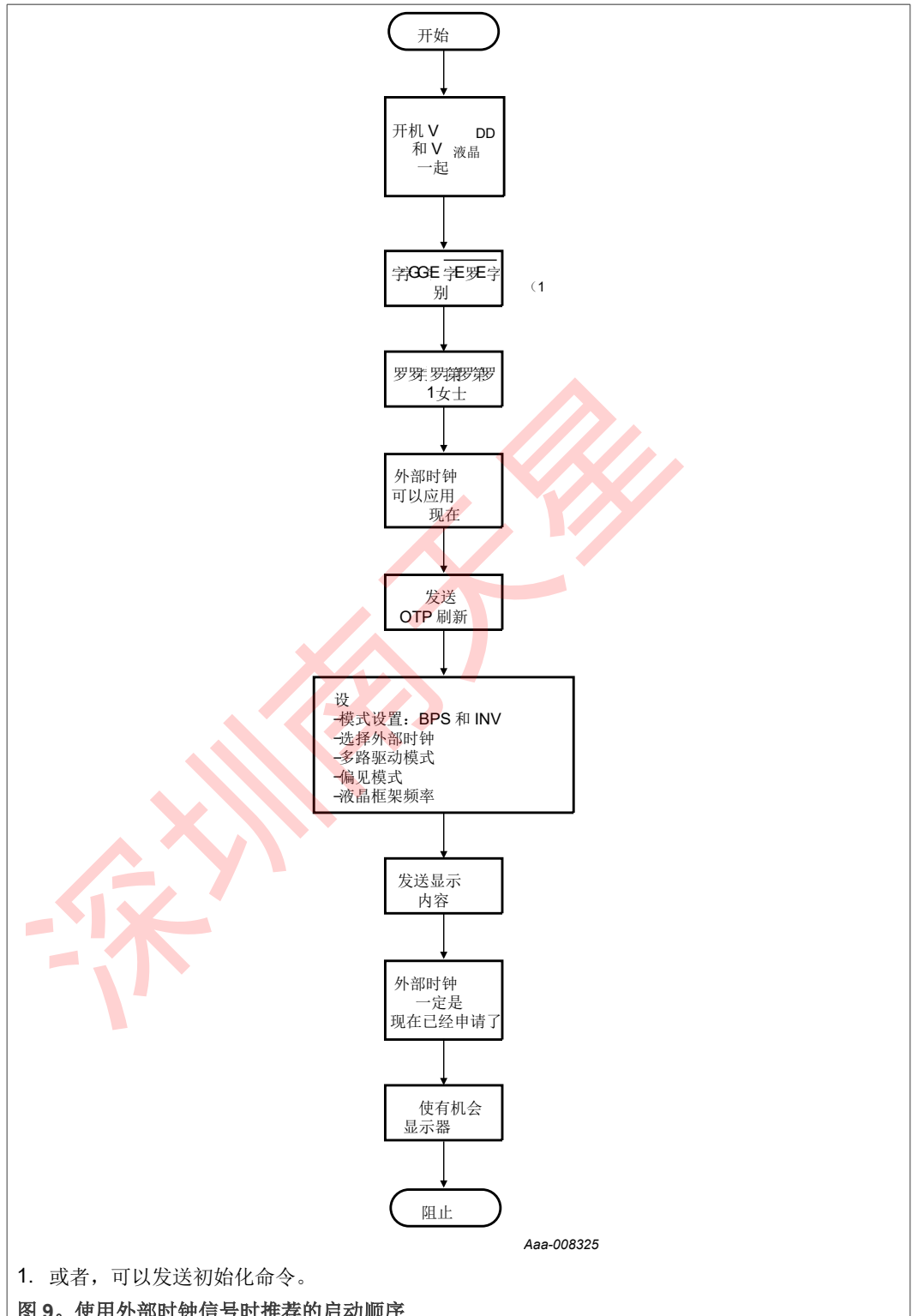


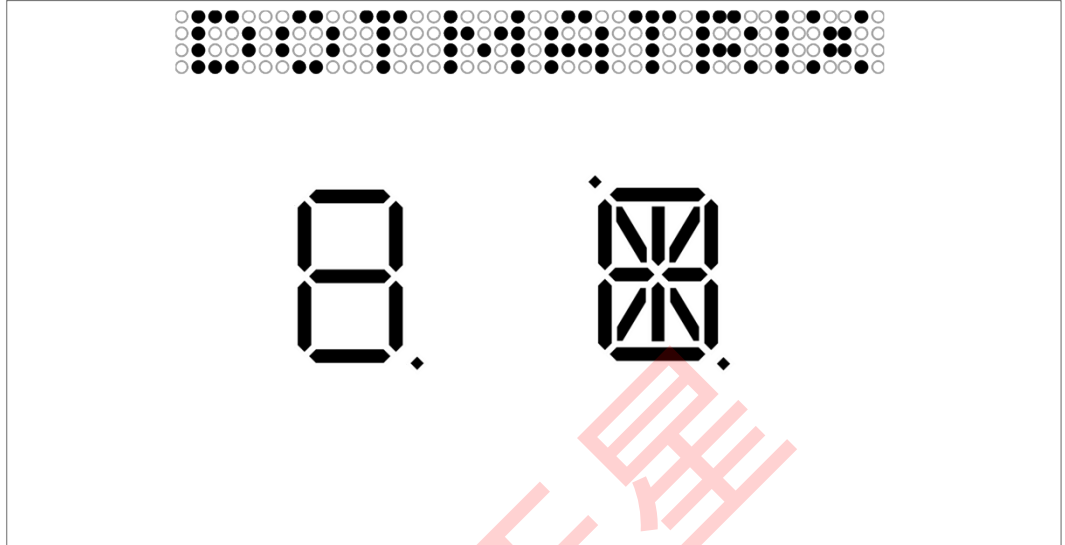
图 8. 使用内部振荡器时推荐的启动顺序



### 7.3 可能的显示配置

PCF8545 是一种多功能外围设备，旨在将任何微控制器与各种 LCD 段或点阵显示器接口（见 [图 10](#)）。它可以驱动具有 4、6 或 8 个背板和多达 44 段的多路复用液晶显示器。

PCF8545 可能的显示配置取决于所需的背板输出数量。选择可能的显示配置在表 21。



点矩阵

带点的 7 段

带有点和口音的 14 段

013aaa312

图 10. 适合 PCF8545 的显示器示例

表 21. 显示配置的选择

数量			数字/字符		点矩阵/ 要素
背板	片段	图标	7 段 <sup>[1]</sup>	14 段 <sup>[2]</sup>	
8	40	320	40	20	320
6	42	252	31	15	252
4	44	176	22	11	176

[1] 7 段显示有 8 个元素，包括小数点。

[2] 14 段显示有 16 个元素，包括小数点和重音点。

所有的显示配置表 21 可以在所示的典型系统中实现图 11 和图 12。

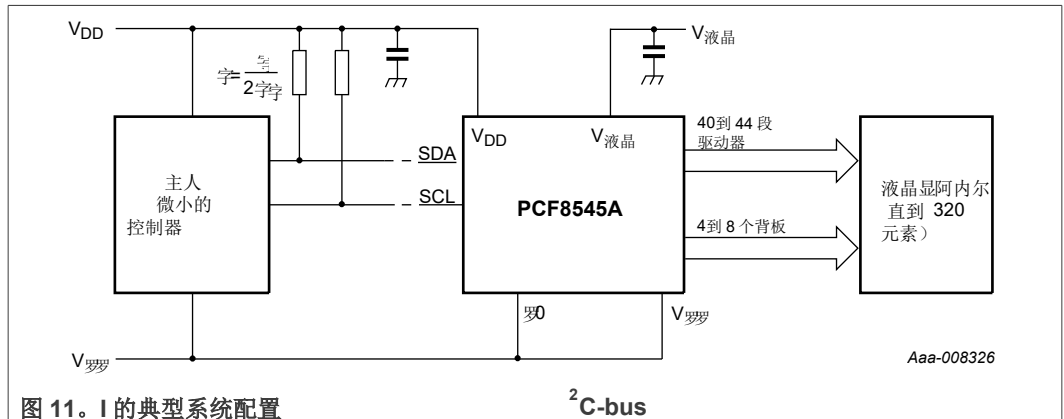


图 11. I<sup>2</sup>C 的典型系统配置

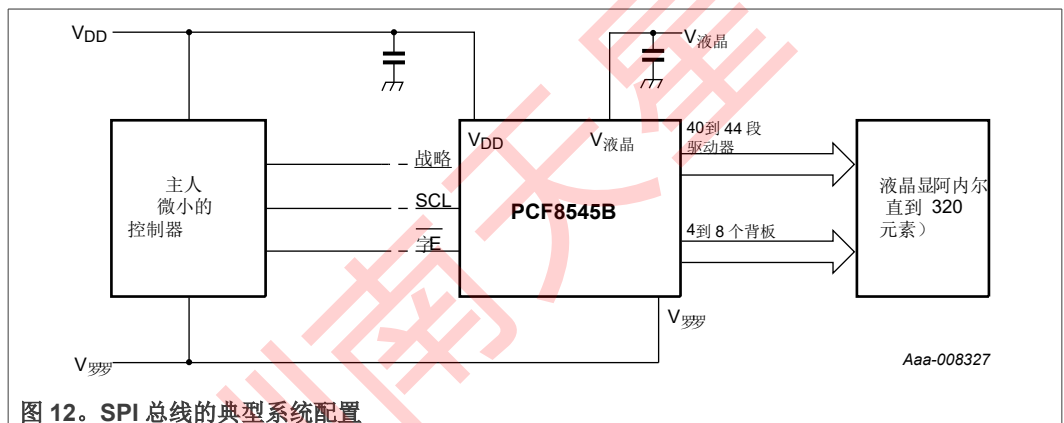


图 12. SPI 总线的典型系统配置

主机微控制器维护两条线 I<sup>2</sup>C 与 PCF8545 的 C 总线或三线 SPI 总线通信通道。多路复用 LCD 波形的适当偏置电压在内部生成。完成系统所需的唯一其他连接是电源 (V<sub>女儿</sub>, V<sub>纳粹党卫军</sub>, V<sub>液晶显示器</sub>) 和为应用程序选择的液晶面板。

V<sub>上</sub>外部电容器的最小推荐值<sub>女儿</sub>和 V<sub>液晶显示器</sub>分别是 100 nF。V<sub>的</sub>解耦<sub>液晶显示器</sub>有助于减少展示工件。解耦电容器应放置在 IC 附近，并短连接到各自的电源引脚和 V<sub>纳粹党卫军</sub>。

### 7.4 LCD 电压选择器

LCD 电压选择器根据所选的 LCD 驱动器配置协调 LCD 的复用。电压选择器的操作由 set-bias-mode 命令控制 (见表 15) 和 set-MUX-mode 命令 (见表 14)。

分数 LCD 偏置电压是从内部分压器获得的。适用于首选操作模式的偏置配置，以及作为 V<sub>功能</sub>的偏置特性<sub>液晶显示器</sub>由此产生的歧视比率 (D)，在表 22。

鉴别是一个术语，被定义为跨段的开和关 RMS 电压的比率。它可以被认为是对比度的衡量标准。

表 22. 首选 LCD 驱动模式：特性摘要

液晶多路复用驱动器模式	数量:		液晶偏置配置	$\frac{V_{off}(RMS)}{V_{LCD}}$	$\frac{V_{on}(RMS)}{V_{LCD}}$	$D = \frac{V_{on}(RMS)}{V_{off}(RMS)}$ [1]	V <sub>液晶显示器</sub> [2]
	背板	级别					



1:4 <sup>[3]</sup>	4	3	1/2	0.433	0.661	1.527	2.309V 关闭 (RMS)
1:4	4	4	1/3	0.333	0.577	1.732	3.0V 关闭 (RMS)
1:4 <sup>[3]</sup>	4	5	1/4	0.331	0.545	1.646	3.024V 关闭 (RMS)
1:6 <sup>[3]</sup>	6	3	1/2	0.456	0.612	1.341	2.191V 关闭 (RMS)
1:6	6	4	1/3	0.333	0.509	1.527	3.0V 关闭 (RMS)
1:6	6	5	1/4	0.306	0.467	1.527	3.266V 关闭 (RMS)
1:8 <sup>[3]</sup>	8	3	1/2	0.467	0.586	1.254	2.138V 关闭 (RMS)
1:8 <sup>[3]</sup>	8	4	1/3	0.333	0.471	1.414	3.0V 关闭 (RMS)
1:8	8	5	1/4	0.293	0.424	1.447	3.411V 关闭 (RMS)

[1] 确定来自方程 5。 [2] 确定来自方程 4。

[3] 在这些例子中，歧视因素和对比度更小。这些 LCD 驱动模式的优点是 LCD 电压 V 的降低。

V 的实用价值通过等同于 V 来确定具有定义的 LCD 阈值电压 (V<sub>Th</sub>)，通常当 LCD 表现出大约 10% 的对比度时。

偏见的计算方法是  $\frac{1}{1+a}$ ，其中 a 的值是

A = 1 为 1/2 偏见

a = 2 对于 1/3 偏

差 a = 3 对于 1/4

偏见

RMS 状态电压 (V<sub>在 (RMS)</sub>) 对于 LCD 是计算的方程 3

$$V_{on(RMS)} = \frac{V_{LCD} \sqrt{a^2 + 2a + n}}{n \sqrt{1+a^2}} \quad (3)$$

在哪里 V<sub>液晶显示器</sub> 是 LCD 段的结果电压，其中 n 的值为 n = 4，对于 1:4 多路复用驱动器 n=6，对于 1:6 多路复用驱动器 n=8，对于 1:8 多路复用驱动器

RMS 非状态电压 (V<sub>关闭 (RMS)</sub>) 对于 LCD 是计算的方程 4: (4) 在 (RMS) 到 V<sub>关闭</sub>

$$V_{off(RMS)} = \frac{V_{LCD} \sqrt{a^2 - 2a + n}}{n \sqrt{1+a^2}} \quad (RMS) \text{ 并确定从方程 5 冒号:}$$

歧视是 V 的比率

(5)

$$D = \frac{V_{on(RMS)}}{V_{off(RMS)}} = \sqrt{\frac{a^2 + 2a + n}{a^2 - 2a + n}}$$

V<sub>液晶显示器</sub> 有时被称为 LCD 工作电压。

7.4.1 电光性能

适合  $V$  的值在 (RMS) 和  $V_{\text{关闭}} (RMS)$  取决于所使用的 LCD 液体。像素打开或关闭的 RMS 电压决定了像素的传输性。

对于任何给定的液体，都定义了两个阈值。一个点是 10% 的相对传输（在  $V_{Th (关闭)}$ ）和另一个在 90% 的相对传输（在  $V_{Th (on)}$ ），见图 13。为了获得良好的对比度性能，应遵循以下规则：

$$V_{on(RMS)} \geq V_{th(on)} \quad (6)$$

$$V_{off(RMS)} \leq V_{th(off)} \quad (7)$$

$V_{\text{在}} (RMS)$  和  $V_{\text{关闭}} (RMS)$  是显示驱动程序的属性，并受  $a$ 、 $n$  选择的影响（见方程 3 去方程 5）和  $V_{\text{液晶显示器}}$  电压。

$V_{Th (关闭)}$  和  $V_{Th (on)}$  是 LCD 液体的特性，可以由模块制造商提供。 $V_{Th (关闭)}$  有时被命名为  $V_{\text{钎}}$ 。 $V_{Th (on)}$  有时被命名为饱和电压  $V_{\text{坐着}}$ 。

为了实现最佳性能，将模块属性与驱动器的属性相匹配很重要。

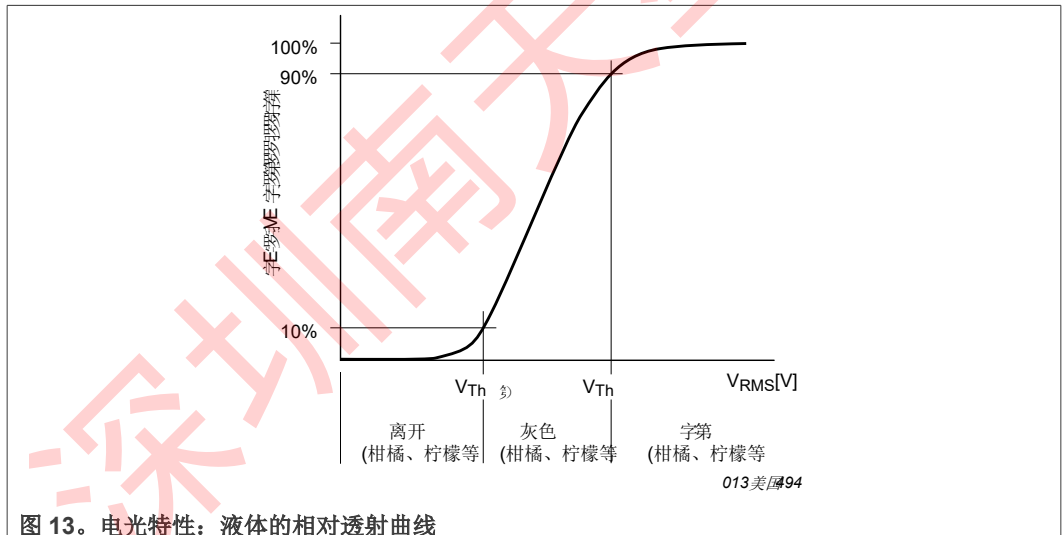


图 13. 电光特性：液体的相对透射曲线

7.5 LCD 驱动模式波形

7.5.1 1:4 多路复用驱动模式

当 LCD 中提供四个背板时，1:4 多路复用驱动器模式适用，如图所示图 14。这张图还显示了线条反转的情况（见第 7.1.3.2 节）。

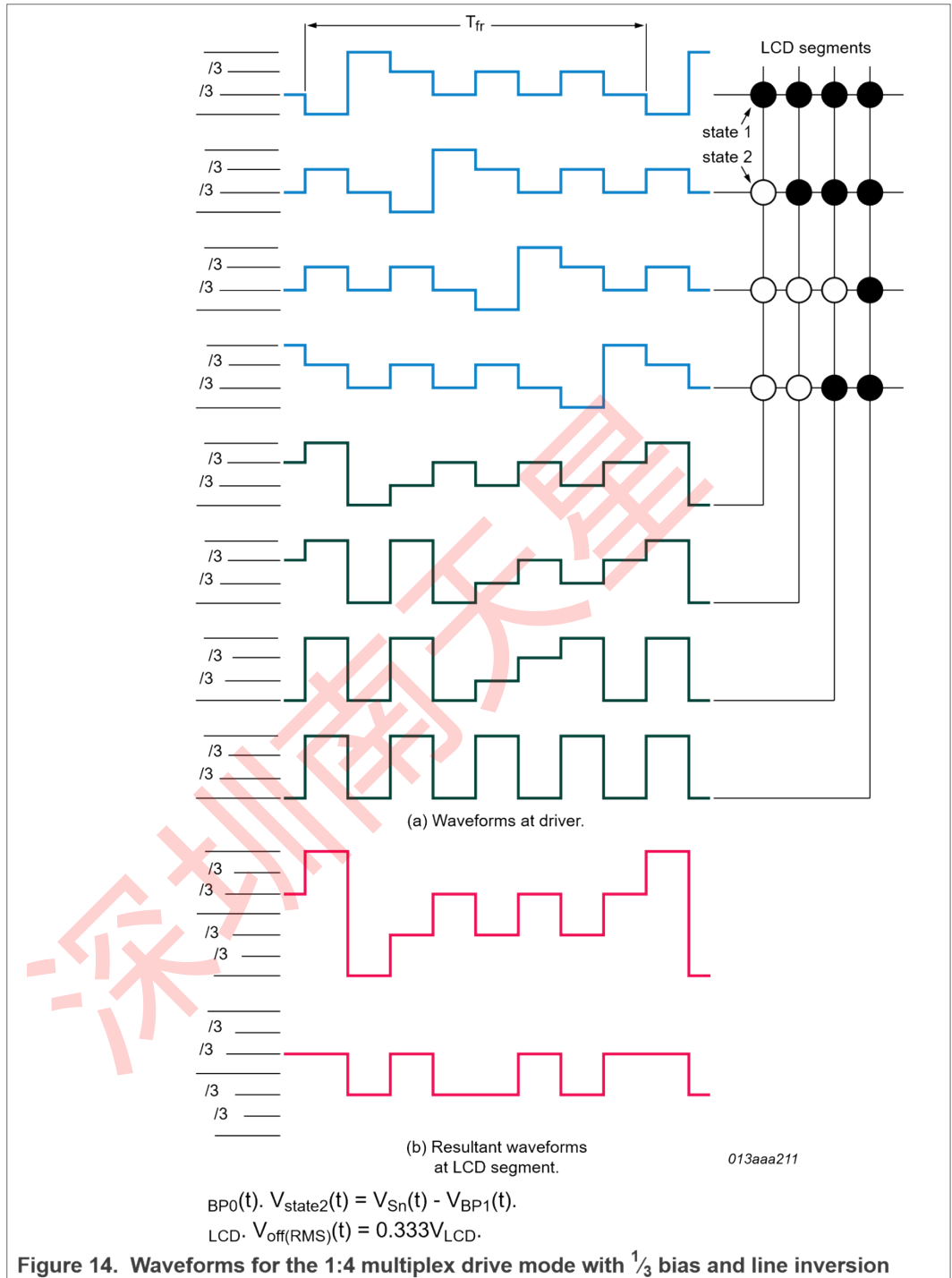


Figure 14. Waveforms for the 1:4 multiplex drive mode with 1/3 bias and line inversion

V 液晶显示器  
 2V 液晶显示器  
 BP0 V 液晶显示器  
 V 纳粹党卫军  
 V 液晶显示器  
 2V 液晶显示器  
 BP1

	V 液晶显示器
	V 纳粹党卫军
	V 液晶显示器
	2V 液晶显示器
BP2	V 液晶显示器
	V 纳粹党卫军
	V 液晶显示器
	2V 液晶显示器
BP3	V 液晶显示器
	V 纳粹党卫军
	V 液晶显示器
	2V 液晶显示器
Sn	V 液晶显示器
	V 纳粹党卫军
	V 液晶显示器
	2V 液晶显示器
Sn+1	V 液晶显示器
	V 纳粹党卫军
	V 液晶显示器
	2V 液晶显示器
Sn+2	V 液晶显示器
	V 纳粹党卫军
	V 液晶显示器
	2V 液晶显示器
器 Sn+3	V 液晶显示器
	V 纳粹党卫军
	V 液晶显示器
	2V 液晶显示器
	器 V 液晶显示器
状态 1	0 V
	-V 液晶显示器
	-2V 液晶显示器
	-V 液晶显示器
	V 液晶显示器
	2V 液晶显示器
	V 液晶显示器
状态 2	0 V
	-V 液晶显示器
	-2V 液晶显示器
	器



—V 液晶显示  
器

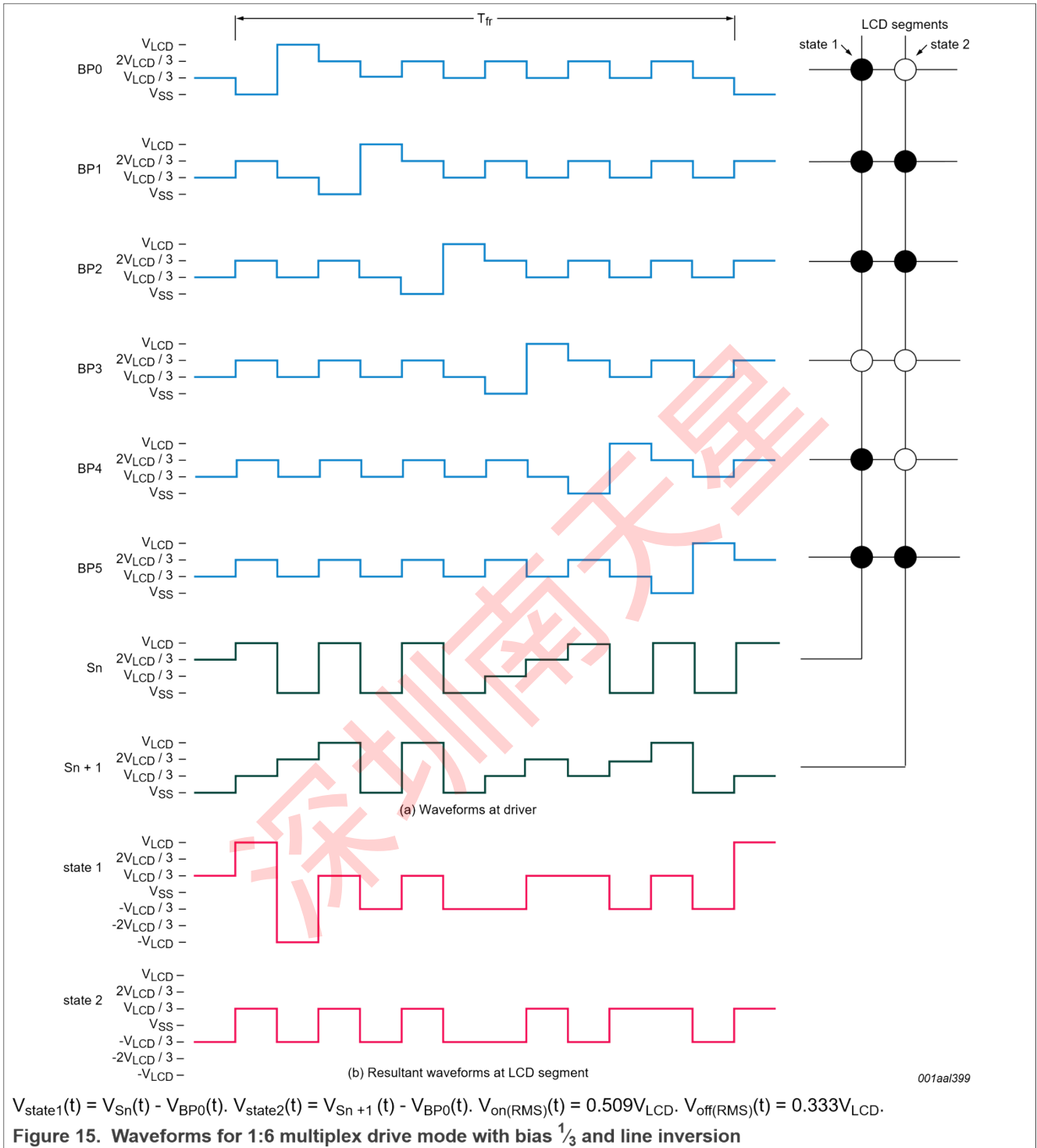
$$V_{\text{状态1 (T)}} = V_{\text{Sn (t)}} - V$$

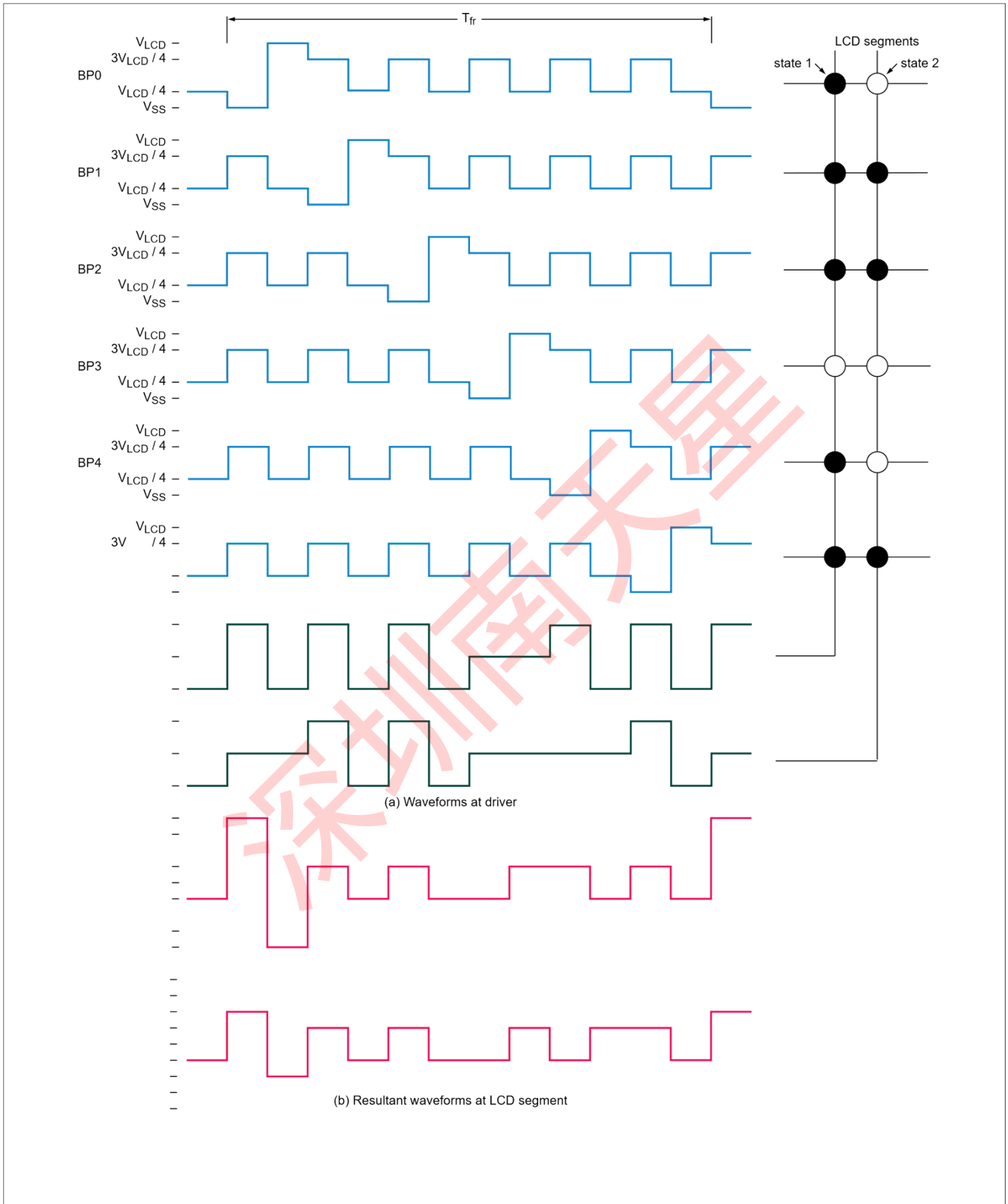
$$V_{\text{在 (RMS) (T)}} = 0.577V$$

### 7.5.2 1:6 多路复用驱动器模式

当 LCD 中提供六个背板时，适用 1:6 多路驱动模式。PCF8545 允许使用  $\frac{1}{3}$  偏见或  $\frac{1}{4}$  这种模式下的偏见，如图所示 [图 15](#) 和 [图 16](#)。这些波形是为线反转的情况绘制的（见 [第 7.1.3.2 节](#)）。

深圳南天星





液晶显示器  
BP5 V 液晶显示器 / 4  
V 纳粹党卫军

V 液晶显示器  
 SnV 液晶显示器/ 2  
 V 纳粹党卫军  
 V 液晶显示器  
 Sn + 1V 液晶显示器/ 2  
 V 纳粹党卫军  
 V 液晶显示器  
 3V 液晶显示器/  
 4  
 V 液晶显示器/  
 4 状态 1 V 纳粹党卫  
 军-V 液晶显示器/ 4  
 -3V 液晶显示器/  
 4 -V 液晶显  
 示器  
 V 液晶显示器  
 3V 液晶显示器/  
 4 V 液晶显示器/ 2 V 液晶  
 显示器/ 4 状态 2 V  
 纳粹党卫军-V 液晶显示器  
 / 4 -V 液晶显示器/ 2 -3V  
 液晶显示器/ 4  
 -V 液晶显示器

001aal400

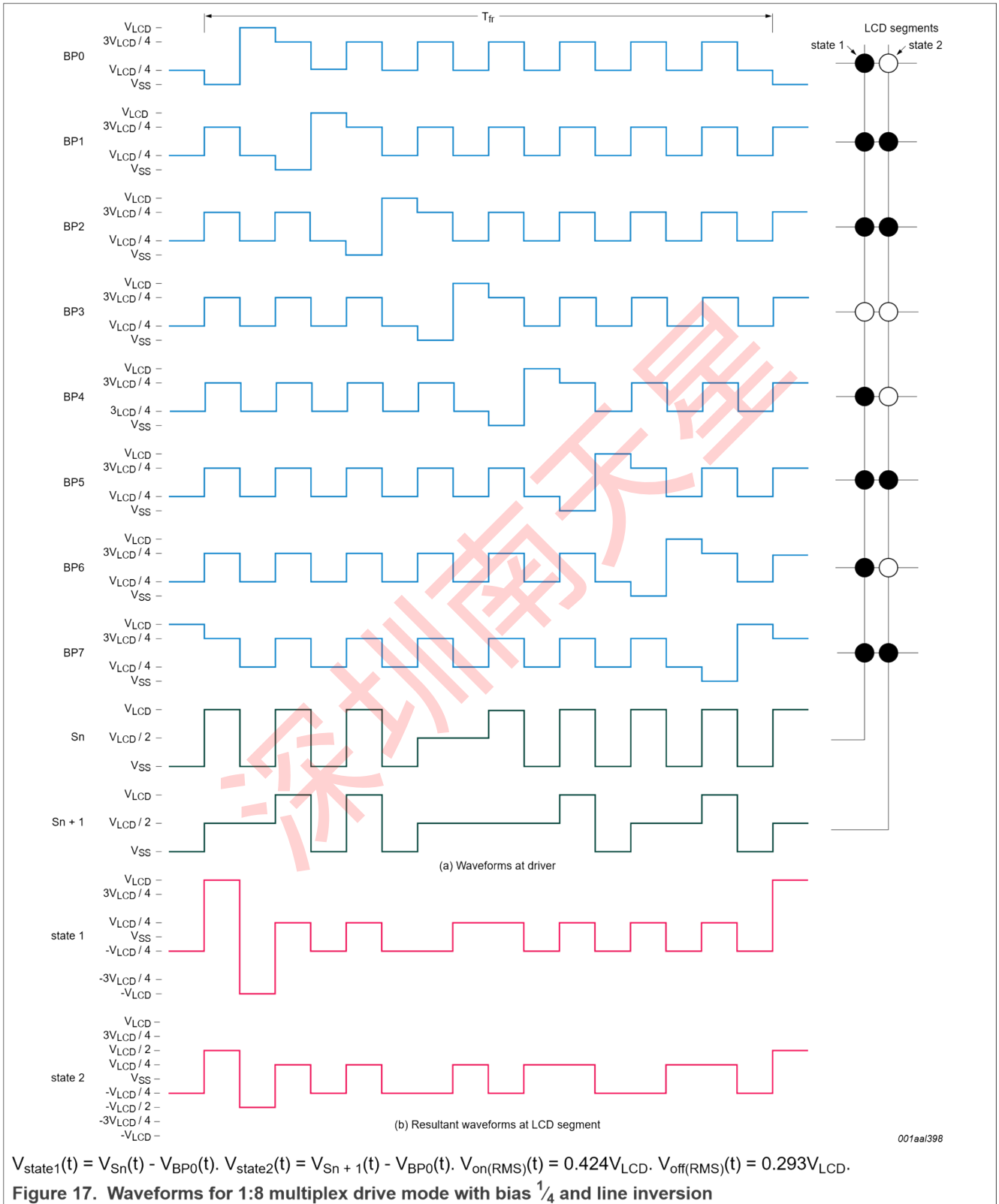
$V_{\text{状态 1}}(T) = V_{\text{Sn}}(t) - V_{\text{BP0}}(T)$ 。  $V_{\text{状态 2}}(T) = V_{\text{Sn}+1}(t) - V_{\text{BP0}}(T)$ 。

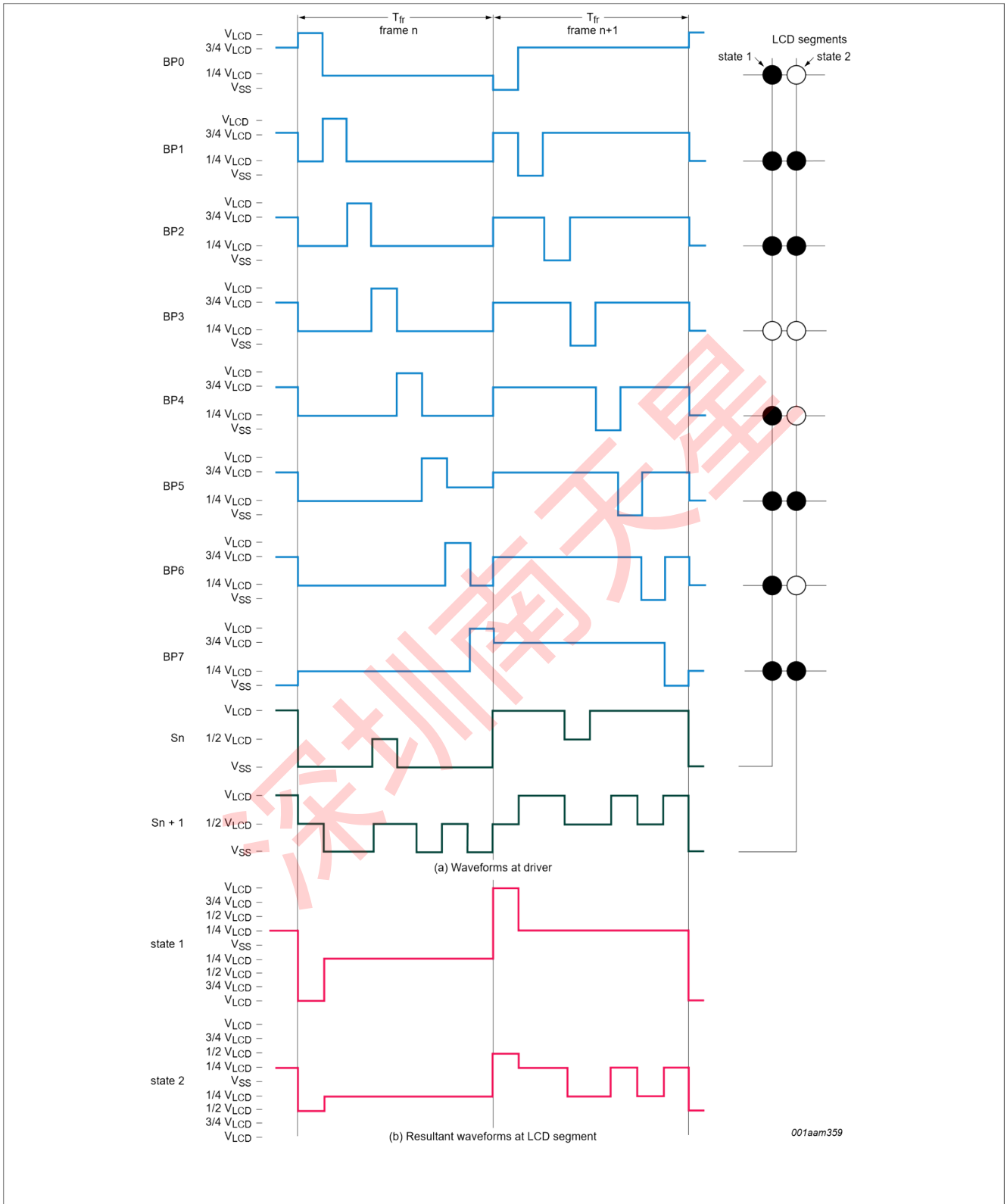
$V_{\text{在 (RMS)}}(T) = 0.467V_{\text{液晶显示器}}$ 。  $V_{\text{关闭 (RMS)}}(T) = 0.306V_{\text{液晶显示器}}$ 。

图 16. 带偏置的 1:6 多路复用驱动模式的波形 1/4 和线路反转



7.5.3 1:8 多路复用驱动器模式





$V_{\text{状态 1}}(T) = V_{S_n}(t) - V_{BP_0}(T)$ 。  $V_{\text{状态 2}}(T) = V_{S_{n+1}}(t) - V_{BP_0}(T)$ 。  $V_{\text{在 (RMS)}}(T) = 0.424V$  液晶显示器。  $V_{\text{关闭}}(RMS)(T) = 0.293V$  液晶显示器。

图 18. 带偏置的 1:8 多路复用驱动模式的波形 1/4 和框架反转

## 7.6 显示寄存器

在生成相应的多路复用信号时，显示寄存器保存显示数据。

## 7.7 背板输出

液晶驱动器部分包括八个背板输出：BP0 到 BP7。背板输出信号是根据选定的 LCD 多路复用驱动器模式生成的。

- 在 1:8 多路复用驱动器模式下：BP0 到 BP7 必须直接连接到 LCD。
- 在 1:6 多路复用驱动器模式下：BP0 到 BP5 必须直接连接到 LCD。
- 在 1:4 多路复用驱动器模式下：BP0 到 BP3 必须直接连接到 LCD。

## 7.8 分段输出

LCD 驱动器部分包括多达 44 个段输出（S0 至 S43），这些输出必须直接连接到 LCD。段输出信号基于多路复用背板信号生成，数据驻留在显示寄存器中。当更少 s 时需要 segment 输出，未使用的段输出必须保持开路。可用段的数量取决于所选的多路复用驱动器模式。

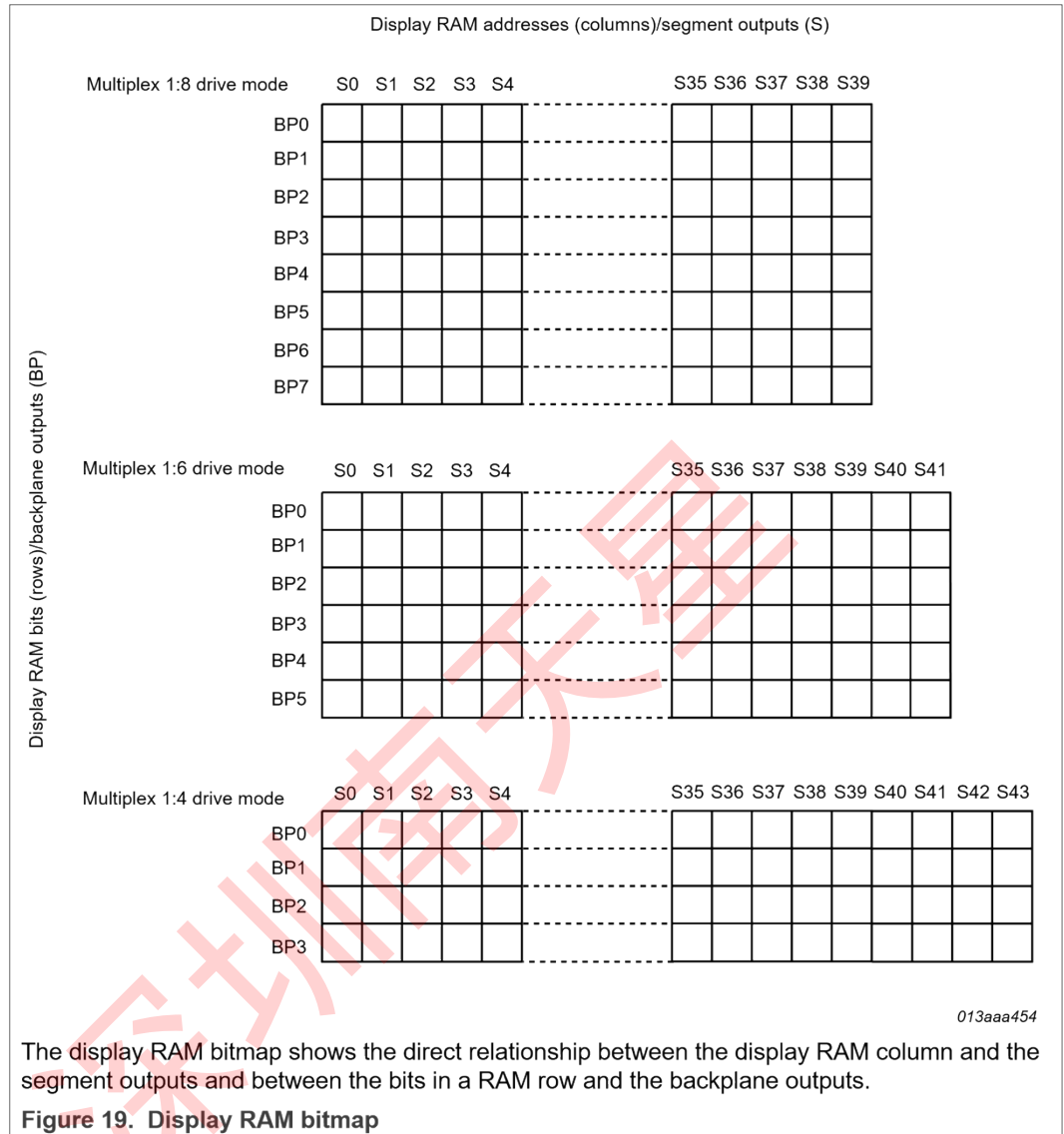
表 23. 背板和活动段组合

多路复用驱动模式	活跃的 BP	活跃片段
1:8	BP0 到 BP7	S0 到 S39
1:6	BP0 到 BP5	S0 到 S41
1:4	BP0 到 BP3	S0 到 S43

## 7.9 显示 RAM

显示器 RAM 存储 LCD 数据。根据多路复用驱动器模式，RAM 的排列会发生变化。

- 多路复用驱动器 1:8：RAM 是 40×8 位
- 多路复用驱动器 1:6：RAM 为 42×6 位
- 多路复用驱动器 1:4：RAM 是 44×4 位



RAM 位图中的逻辑 1 表示打开状态 ( $V_{在 (RMS)}$ ) 的相应 LCD 元件；同样，逻辑 0 表示关闭状态 ( $V_{关闭 (RMS)}$ )。有关  $V$  的更多信息在 (RMS) 和  $V_{关闭 (RMS)}$ ，看第 7.4 节。

两者之间有一对一的对应关系

- RAM 位图和 LCD 元素中的位，•RAM 列和段输出，
- RAM 行和背板输出。

显示 RAM 位图，图 19，显示第 0 行到第 7 行，第 0 列到第 43 列。

第 0 行到第 7 行对应于背板输出 BP0 到 BP7。第 0 列到第 43 列对应于段输出 S0 到 S43。在多路复用 LCD 应用程序中，显示器 RAM 的每一行数据都与相应的 backplane 进行时间多路复用 (第 0 行为 BP0，第 1 行为 BP1，以此等)。

当显示数据传输到 PCF8545 时，接收的显示字节将根据所选的 LCD 多路复用驱动器模式存储在显示 RAM 中。数据

is stored as it arrives and depending on the current multiplex drive mode, data is stored in quadruples, sextuples or bytes.

### 7.9.1 Data pointer

The addressing mechanism for the display RAM is realized using the data pointer. This allows the loading of an individual display data byte, or a series of display data bytes, into any location of the display RAM. The sequence commences with the initialization of the data pointer by the load-data-pointer command (see [Table 18](#)).

Following this command, an arriving data byte is stored starting at the display RAM address indicated by the data pointer.

The data pointer is automatically incremented in accordance with the chosen LCD multiplex drive mode configuration. That is, after each byte is stored, the contents of the data pointer are incremented

- by two (1:4 multiplex drive mode),
- by one or two (1:6 multiplex drive mode),
- by one (1:8 multiplex drive mode).

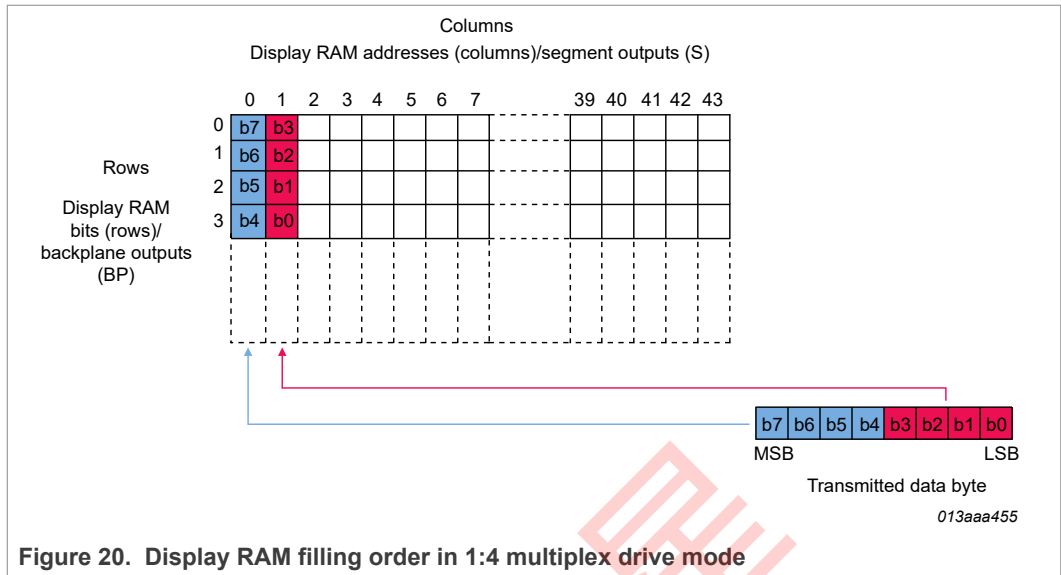
Multiplex drive 1:6 is a special case and is described later on.

When the address counter reaches the end of the RAM, it stops incrementing after the last byte is transmitted. Redundant bits of the last byte and subsequent bytes transmitted are discarded until the pointer is reset. To send new RAM data, the data pointer must be reset.

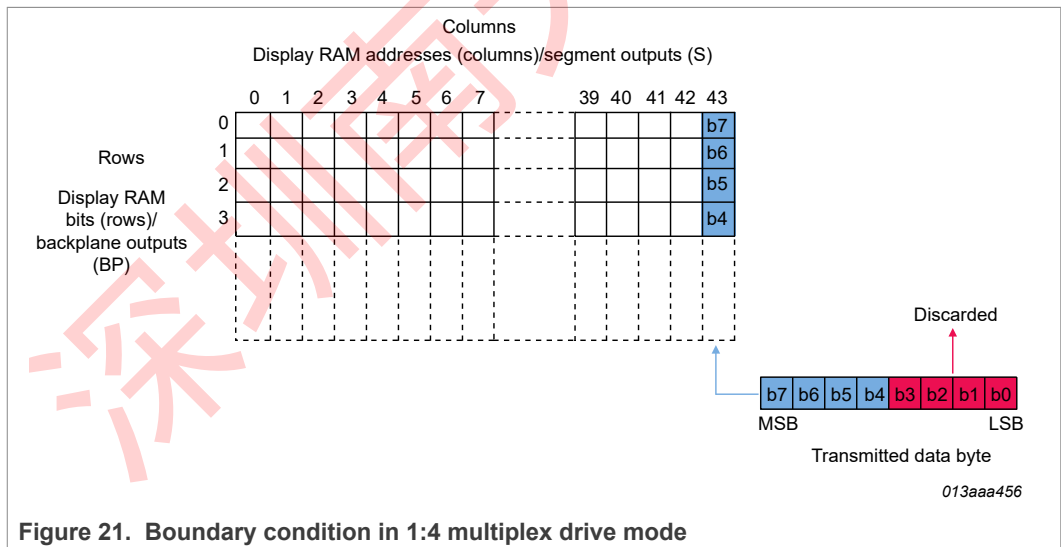
If an I<sup>2</sup>C-bus or SPI-bus data access is terminated early, then the state of the data pointer is unknown. The data pointer must then be rewritten before further RAM accesses.

### 7.9.2 RAM filling in 1:4 multiplex drive mode

In the 1:4 multiplex drive mode the RAM is organized in four rows and 44 columns. The eight transmitted data bits are placed in two successive display RAM columns of four rows (see [Figure 20](#)). In order to fill the whole four RAM rows, 22 bytes need to be sent to the PCF8545. After the last byte sent, the data pointer must be reset before the next RAM content update. Additional data bytes sent and any data bits that spill over the RAM are discarded.



Depending on the start address of the data pointer, there is the possibility for a boundary condition. This occurs when more data bits are sent than fit into the remaining RAM. The additional data bits are discarded. See [Figure 21](#).



### 7.9.3 RAM filling in 1:6 multiplex drive mode

In the 1:6 multiplex drive mode the RAM is organized in six rows and 42 columns. The eight transmitted data bits are placed in such a way, that a column is filled up (see [Figure 22](#)).

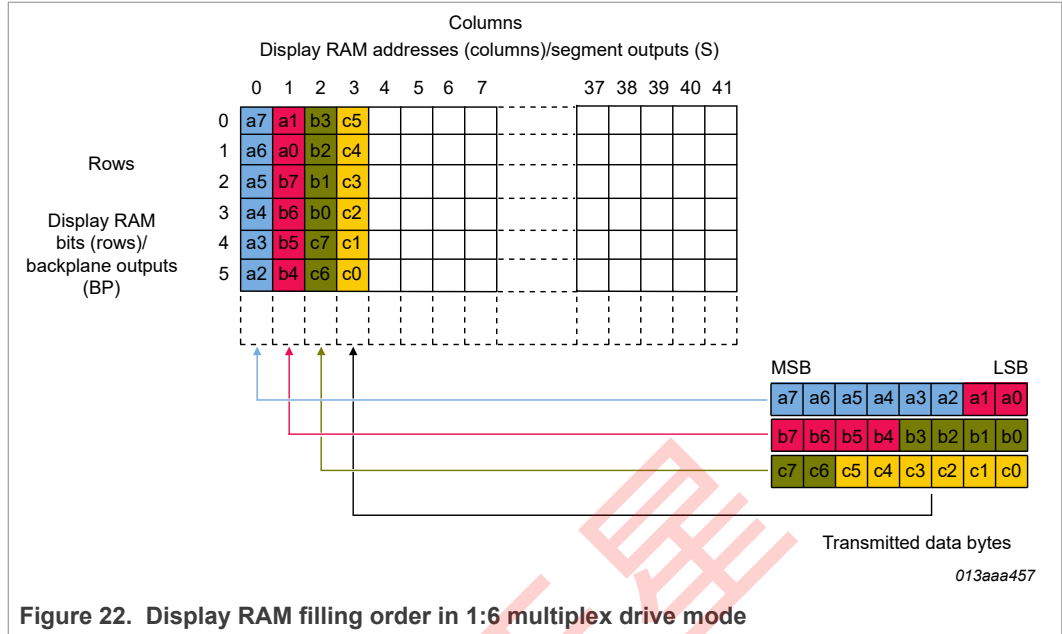
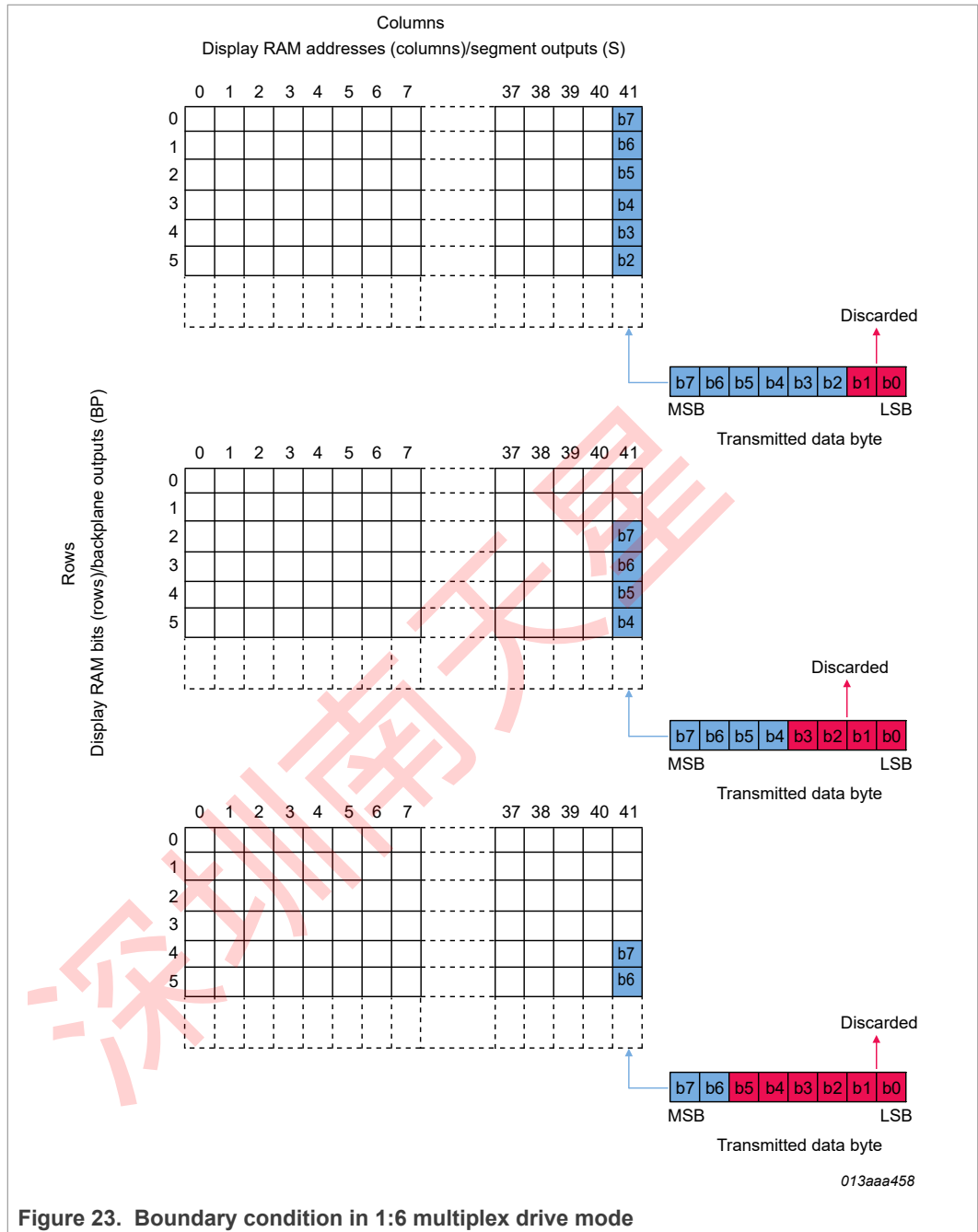


Figure 22. Display RAM filling order in 1:6 multiplex drive mode

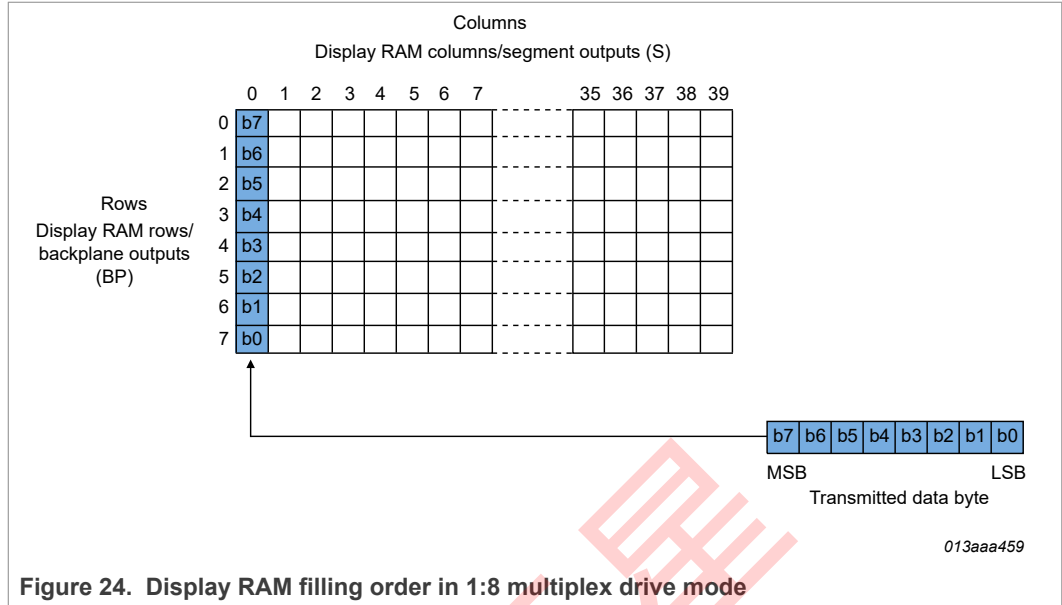
The remaining bits are wrapped over into the next column. In order to fill the whole RAM, 31 and a half bytes need to be sent to the PCF8545. After the last byte sent, the data pointer must be reset before the next RAM content update. Additional data bytes sent and any data bits that spill over the RAM are discarded. Depending on the start address of the data pointer, there are three possible boundary conditions. See [Figure 23](#).



### 7.9.4 RAM filling in 1:8 multiplex drive mode

In the 1:8 multiplex drive mode the RAM is organized in eight rows and 40 columns. The eight transmitted data bits are placed into eight rows of one display RAM column (see [Figure 24](#)). In order to fill the whole RAM, 40 bytes need to be sent to the PCF8545. After the last byte sent, the data pointer must be reset before the next RAM content update. Additional data bytes sent are discarded.





There are no boundary conditions in 1:8 multiplex drive mode.

## 8 Bus interfaces

### 8.1 Control byte and register selection

After initiating the communication over the bus and sending the target address (I<sup>2</sup>C-bus, see [Section 8.2](#)) or subaddress (SPI-bus, see [Section 8.3](#)), a control byte follows. The purpose of this byte is to indicate both, the content for the following data bytes (RAM, or command) and to indicate that more control bytes will follow.

Typical sequences could be:

- target address/subaddress - control byte - command byte - command byte - command byte - end
- target address/subaddress - control byte - RAM byte - RAM byte - RAM byte - end
- target address/subaddress - control byte - command byte - control byte - RAM byte - end

In this way, it is possible to send a mixture of RAM and command data in one access or alternatively, to send just one type of data in one access.

Table 24. Control byte description

Bit	Symbol	Value	Description
7	CO		<b>continue bit</b>
		0	last control byte
		1	control bytes continue
6 to 5	RS[1:0]		<b>register selection</b>
		00	command register
		01	RAM data

Table 24. Control byte description...continued

Bit	Symbol	Value	Description
		10, 11	unused
4 to 0	-	-	unused

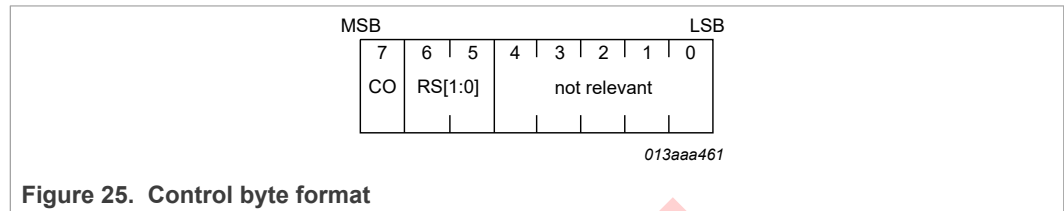


Figure 25. Control byte format

## 8.2 I<sup>2</sup>C-bus interface

The I<sup>2</sup>C-bus is for bidirectional, two-line communication between different ICs or modules. The two lines are a Serial DATA line (SDA) and a Serial CLOCK line (SCL). Both lines must be connected to a positive supply via a pull-up resistor when connected to the output stages of a device. Data transfer may be initiated only when the bus is not busy.

### 8.2.1 Bit transfer

One data bit is transferred during each clock pulse. The data on the SDA line must remain stable during the HIGH period of the clock pulse as changes in the data line at this time is interpreted as a control signal (see [Figure 26](#)).

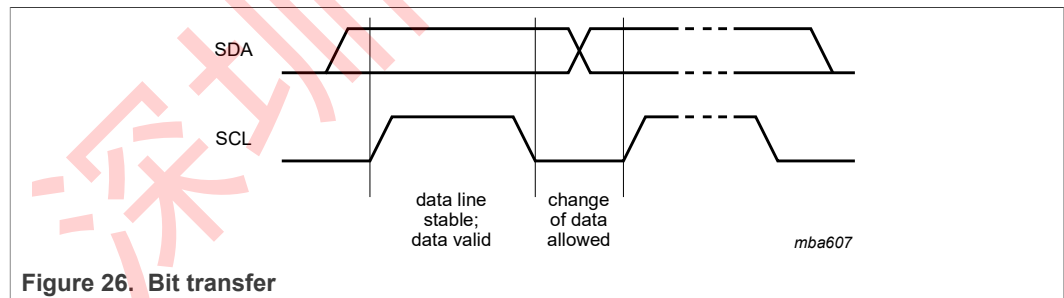


Figure 26. Bit transfer

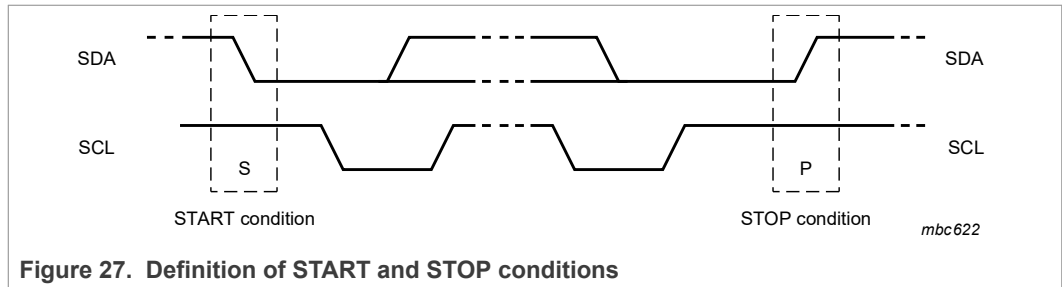
### 8.2.2 START and STOP conditions

Both data and clock lines remain HIGH when the bus is not busy.

A HIGH-to-LOW change of the data line, while the clock is HIGH, is defined as the START condition (S).

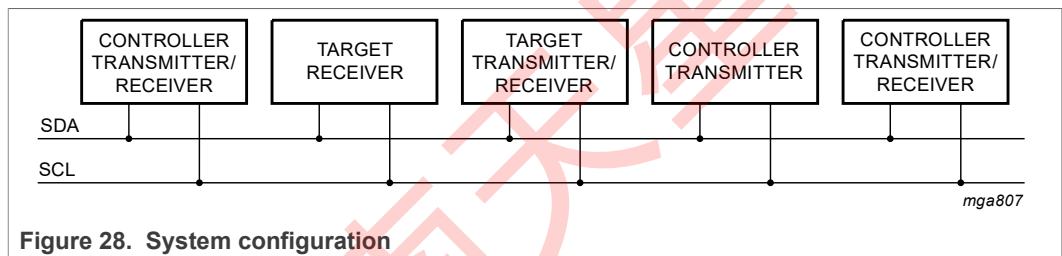
A LOW-to-HIGH change of the data line, while the clock is HIGH, is defined as the STOP condition (P).

The START and STOP conditions are shown in [Figure 27](#).



### 8.2.3 System configuration

A device generating a message is a transmitter, a device receiving a message is the receiver. The device that controls the message is the controller and the devices which are controlled by the controller are the targets. The system configuration is shown in [Figure 28](#).

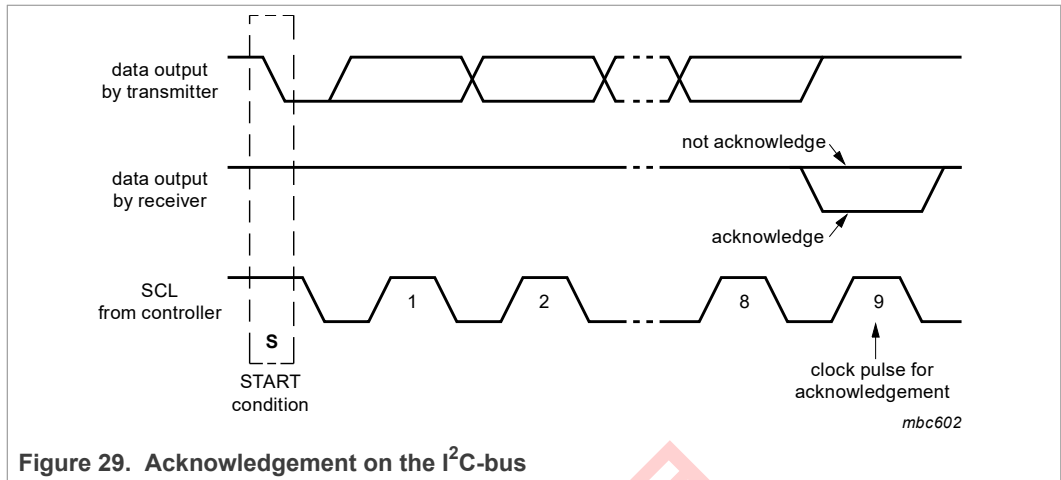


### 8.2.4 Acknowledge

The number of data bytes transferred between the START and STOP conditions from transmitter to receiver is unlimited. Each byte of 8 bits is followed by an acknowledge cycle.

- A target receiver which is addressed must generate an acknowledge after the reception of each byte.
- Also a controller receiver must generate an acknowledge after the reception of each byte that has been clocked out of the target transmitter.
- The device that acknowledges must pull-down the SDA line during the acknowledge clock pulse, so that the SDA line is stable LOW during the HIGH period of the acknowledge related clock pulse (set-up and hold times must be considered).
- A controller receiver must signal an end of data to the transmitter by not generating an acknowledge on the last byte that has been clocked out of the target. In this event, the transmitter must leave the data line HIGH to enable the controller to generate a STOP condition.

Acknowledgement on the I<sup>2</sup>C-bus is shown in [Figure 29](#).



8.2.5 I<sup>2</sup>C-bus controller

The PCF8545 acts as an I<sup>2</sup>C-bus target receiver. It does not initiate I<sup>2</sup>C-bus transfers or transmit data to an I<sup>2</sup>C-bus controller receiver. Device selection depends on the I<sup>2</sup>C-bus target address.

8.2.6 Input filters

To enhance noise immunity in electrically adverse environments, RC low-pass filters are provided on the SDA and SCL lines.

8.2.7 I<sup>2</sup>C-bus target address

Device selection depends on the I<sup>2</sup>C-bus target address. Two different I<sup>2</sup>C-bus target addresses can be used to address the PCF8545 (see Table 25).

Table 25. I<sup>2</sup>C target address byte

		target address							
Bit		7	6	5	4	3	2	1	0
		MSB							LSB
		0	1	1	1	0	0	A0	R/W

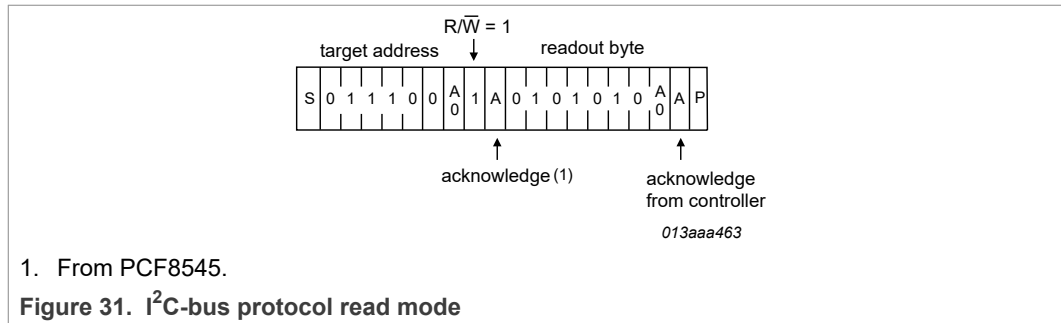
The least significant bit of the target address byte is bit R/W (see Table 26).

Table 26. R/W-bit description

R/W	Description
0	write data
1	read data

Bit 1 of the target address is defined by connecting the input A0 to either V<sub>SS</sub> (logic 0) or V<sub>DD</sub> (logic 1). Therefore, two instances of PCF8545 can be distinguished on the same I<sup>2</sup>C-bus.





In the unlikely case that the chip has entered the internal test mode, detection of this state is possible by using the modified status read-out detailed in [Table 28](#). The read out value is modified to indicate that the chip has entered an internal test mode.

**Table 28. Modified status read out value**

Bit	Symbol	Value	Description
7 to 1	-	1111 000	fixed value
0	A0	0	read back value is 1111 0000
		1	read back value is 1111 0001

EMC detection

The PCF8545 is ruggedized against EMC susceptibility; however it is not possible to cover all cases. To detect if a severe EMC event has occurred, it is possible to check the responsiveness of the device by reading its register.

**8.3 SPI-bus interface**

Data transfer to the device is made via a 3 line SPI-bus (see [Table 29](#)). There is no output data line. The SPI-bus is initialized whenever the chip enable line pin  $\overline{CE}$  is inactive.

**Table 29. Serial interface**

Symbol	Function	Description
$\overline{CE}$	chip enable input <sup>[1]</sup> ; active LOW	when HIGH, the interface is reset
SCL	serial clock input	input may be higher than $V_{DD}$
SDI	serial data input	input may be higher than $V_{DD}$ ; input data is sampled on the rising edge of SCL

[1] The chip enable must not be wired permanently LOW.

**8.3.1 Data transmission**

The chip enable signal is used to identify the transmitted data. Each data transfer is a byte with the Most Significant Bit (MSB) sent first.

The transmission is controlled by the active LOW chip enable signal  $\overline{CE}$ . The first byte transmitted is the subaddress byte.

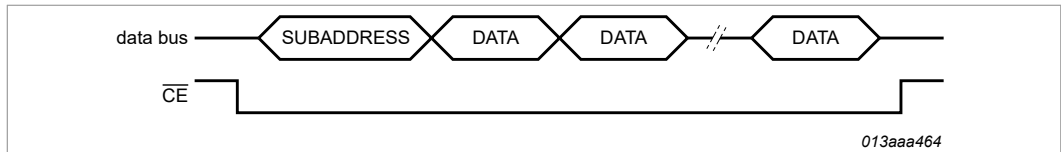


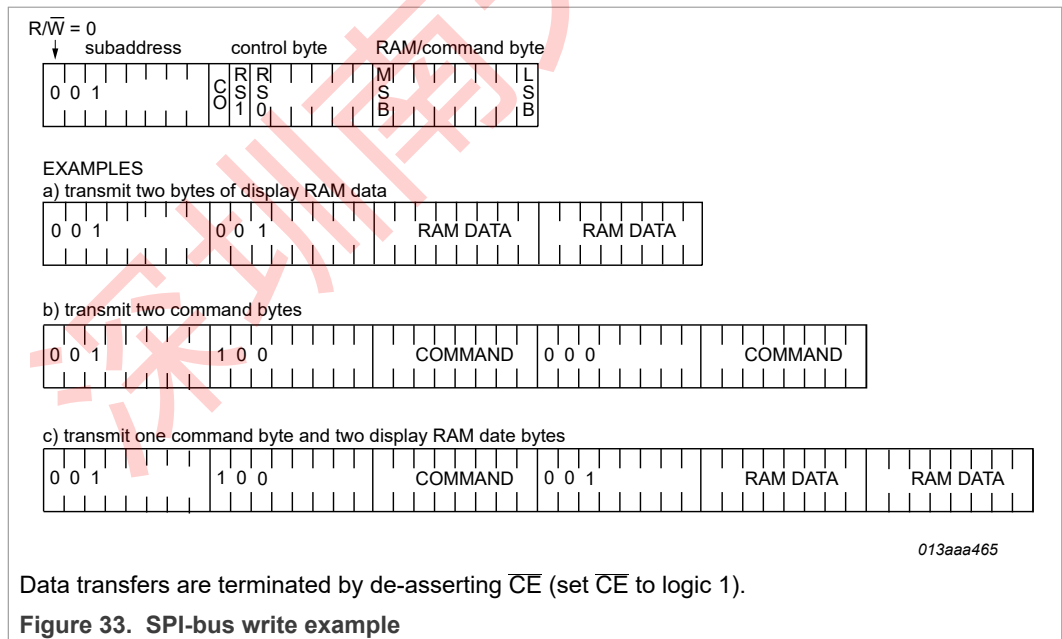
Figure 32. Data transfer overview

The subaddress byte opens the communication with a read/write bit and a subaddress. The subaddress is used to identify multiple devices on one SPI-bus.

Table 30. Subaddress byte definition

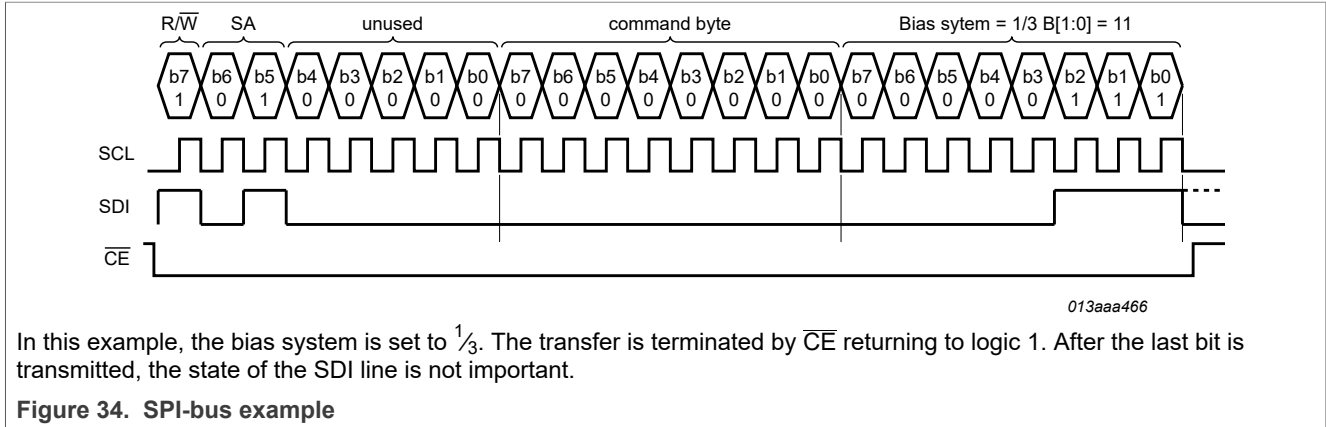
Bit	Symbol	Value	Description
7	R/ $\bar{W}$		<b>data read or write selection</b>
		0	write data
		1	read data
6 to 5	SA[1:0]	01	<b>subaddress</b> ; other codes cause the device to ignore data transfer
4 to 0	-		unused

After the subaddress byte, a control byte follows (see [Section 8.1](#)).



Data transfers are terminated by de-asserting  $\bar{CE}$  (set  $\bar{CE}$  to logic 1).

Figure 33. SPI-bus write example



9 Internal circuitry

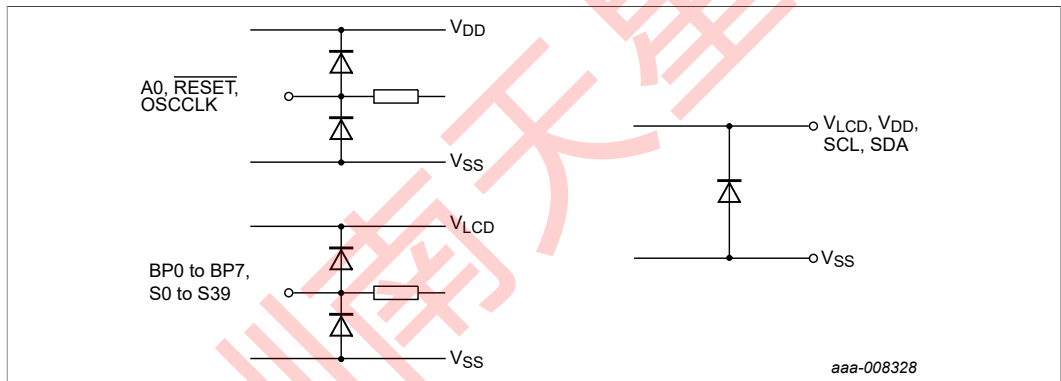


Figure 35. Device protection diagram for PCF8545A

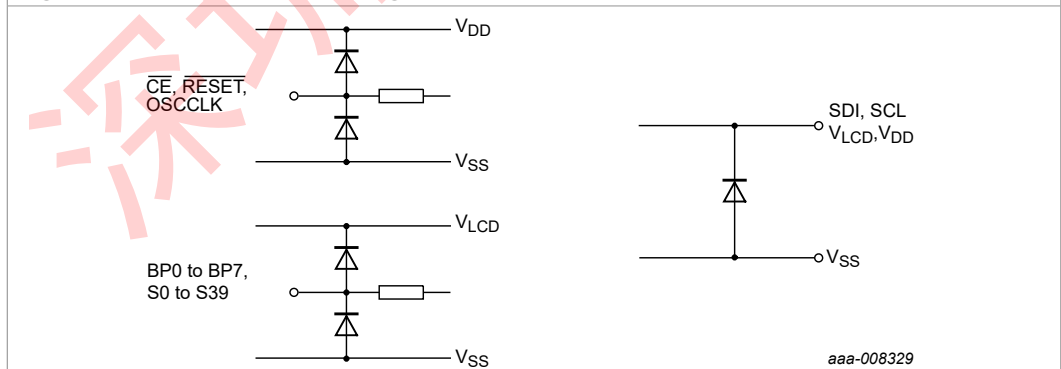


Figure 36. Device protection diagram for PCF8545B

10 Safety notes

**CAUTION**

This device is sensitive to ElectroStatic Discharge (ESD). Observe precautions for handling electrostatic sensitive devices. Such precautions are described in the *ANSI/ESD S20.20*, *IEC/ST 61340-5*, *JESD625-A* or equivalent standards.



**CAUTION**



Static voltages across the liquid crystal display can build up when the LCD supply voltage ( $V_{LCD}$ ) is on while the IC supply voltage ( $V_{DD}$ ) is off, or vice versa. This may cause unwanted display artifacts. To avoid such artifacts,  $V_{LCD}$  and  $V_{DD}$  must be applied or removed together.

## 11 Limiting values

**Table 31. Limiting values**

In accordance with the Absolute Maximum Rating System (IEC 60134).

Symbol	Parameter	Conditions	Min	Max	Unit
$V_{DD}$	supply voltage		-0.5	+6.5	V
$I_{DD}$	supply current		-50	+50	mA
$V_{LCD}$	LCD supply voltage		-0.5	+6.5	V
$I_{DD(LCD)}$	LCD supply current		-50	+50	mA
$V_I$	input voltage	PCF8545ATT			
		on pins SDA, OSCCLK, SCL, A0, RESET	-0.5	+6.5	V
		PCF8545BTT			
		on pins CE, OSCCLK, SCL, SDI, RESET	-0.5	+6.5	V
$I_I$	input current		-10	+10	mA
$V_O$	output voltage	on pins S0 to S39, BP0 to BP7	-0.5	+6.5	V
		on pin SDA	-0.5	+6.5	V
$I_O$	output current		-10	+10	mA
$I_{SS}$	ground supply current		-50	+50	mA
$P_{tot}$	total power dissipation		-	400	mW
$P_{out}$	power dissipation per output		-	100	mW
$V_{ESD}$	electrostatic discharge voltage	HBM	[1] -	±3 500	V
		CDM	[2] -	±1 250	V
$I_{lu}$	latch-up current		[3] -	200	mA
$T_{stg}$	storage temperature		[4] -65	+150	°C
$T_{amb}$	ambient temperature	operating device	-40	+85	°C

[1] Pass level; Human Body Model (HBM), according to [1].

[2] Pass level; Charge Device Model (CDM), according to [2].

[3] Pass level; latch-up testing according to [3] at maximum ambient temperature ( $T_{amb(max)}$ ).

[4] According to the store and transport requirements (see [4]) the devices have to be stored at a temperature of +8 °C to +45 °C and a humidity of 25 % to 75 %.

## 12 Static characteristics

**Table 32. Static characteristics**
 $V_{DD} = 1.8 \text{ V to } 5.5 \text{ V}; V_{SS} = 0 \text{ V}; V_{LCD} = 2.5 \text{ V to } 5.5 \text{ V}; T_{amb} = -40 \text{ }^\circ\text{C to } +85 \text{ }^\circ\text{C};$  unless otherwise specified.

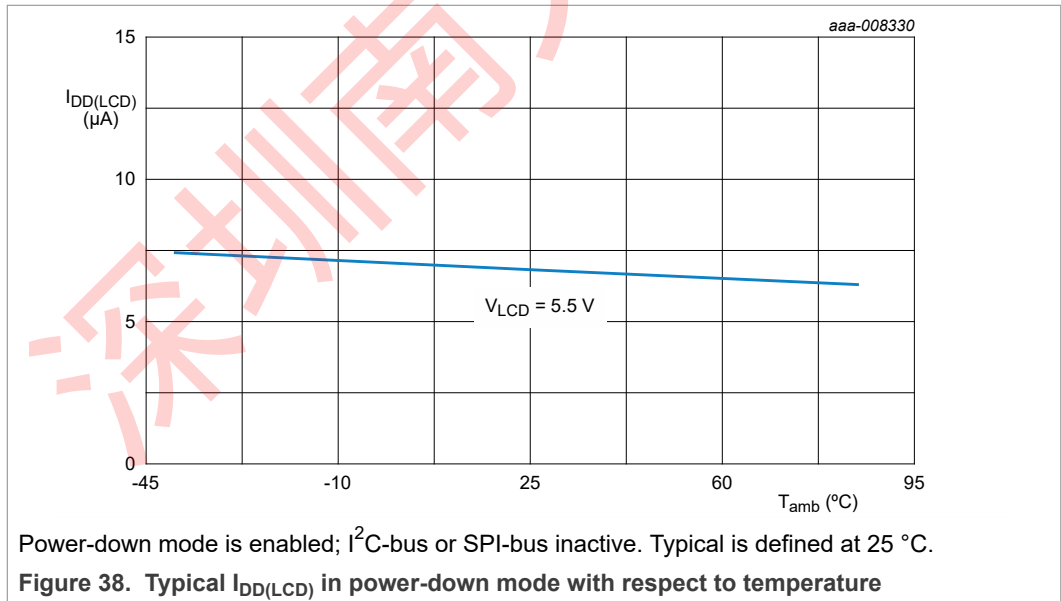
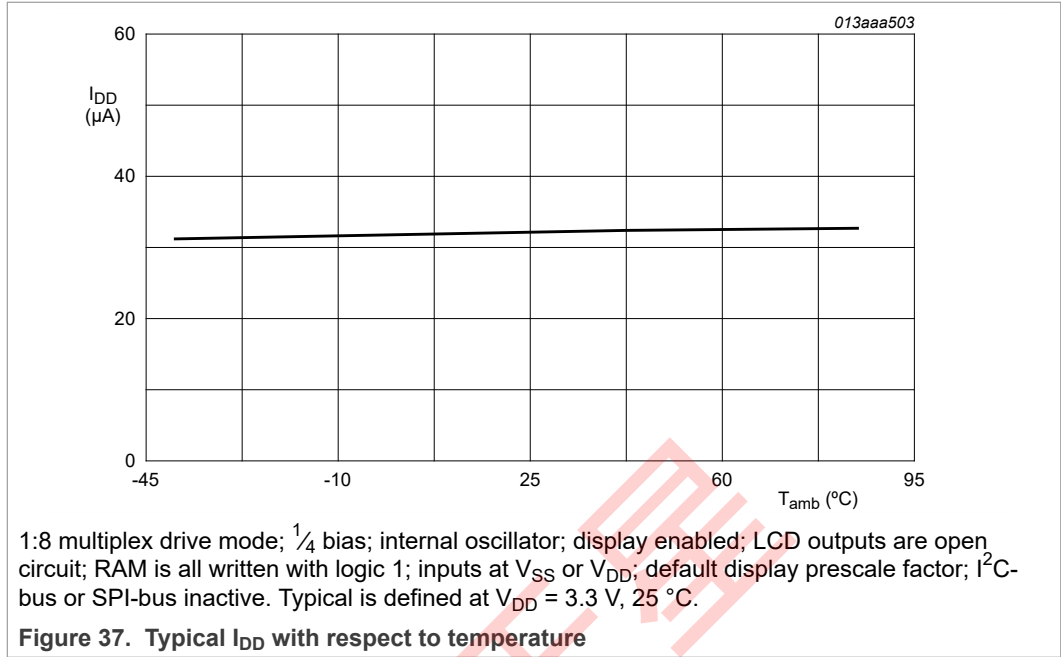
Symbol	Parameter	Conditions	Min	Typ	Max	Unit
<b>Supplies</b>						
$V_{DD}$	supply voltage		1.8	-	5.5	V
$V_{LCD}$	LCD supply voltage	$V_{LCD} \geq V_{DD}$	2.5	-	5.5	V
$I_{DD(pd)}$	power-down mode supply current		[1] -	0.5	2	$\mu\text{A}$
$I_{DD}$	supply current	see <a href="#">Figure 37</a>				
		external 9.6 kHz clock	[2] -	10	25	$\mu\text{A}$
		internal oscillator	[2] -	30	60	$\mu\text{A}$
$I_{DD(LCD)}$	LCD supply current	power-down, see <a href="#">Figure 38</a>	[1][3] -	7	15	$\mu\text{A}$
		display active, see <a href="#">Figure 39</a>	[4] -	55	140	$\mu\text{A}$
<b>Logic</b>						
$V_I$	input voltage		$V_{SS} - 0.5$	-	$V_{DD} + 0.5$	V
$V_{IL}$	LOW-level input voltage	on pins OSCCLK, A0 and RESET	-	-	$0.3V_{DD}$	V
$V_{IH}$	HIGH-level input voltage	on pins OSCCLK, A0 and RESET	$0.7V_{DD}$	-	-	V
$V_O$	output voltage		-0.5	-	$V_{DD} + 0.5$	V
$V_{OH}$	HIGH-level output voltage	driving load of $50 \mu\text{A}$ on pins OSCCLK	$0.8V_{DD}$	-	-	V
$V_{OL}$	LOW-level output voltage	driving load of $50 \mu\text{A}$ on pins OSCCLK	-	-	$0.2V_{DD}$	V
$I_{OH}$	HIGH-level output current	output source current; $V_{OH} = V_{DD} - 0.4 \text{ V}$				
		on pin OSCCLK				
		$V_{DD} = 1.8 \text{ V}$	0.7	1.6	-	$\text{mA}$
	$V_{DD} \geq 3.3 \text{ V}$	1.5	4.0	-	$\text{mA}$	
$I_{OL}$	LOW-level output current	output sink current; $V_{OL} = 0.4 \text{ V}$				
		on pin OSCCLK				
		$V_{DD} = 1.8 \text{ V}$	3	4	-	$\text{mA}$
	$V_{DD} \geq 3.3 \text{ V}$	5	10	-	$\text{mA}$	
$I_L$	leakage current	$V_i = V_{DD}$ or $V_{SS}$ ; on pin OSCCLK	-1	-	+1	$\mu\text{A}$
<b>I<sup>2</sup>C-bus</b> [5]						
On pins SCL and SDA						

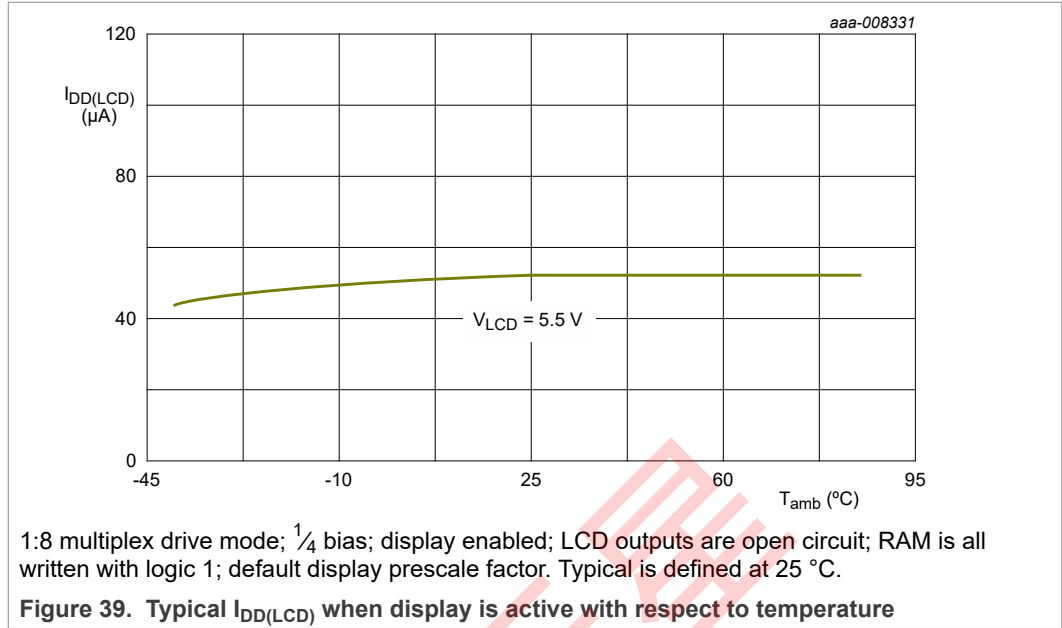
Table 32. Static characteristics...continued

$V_{DD} = 1.8\text{ V to }5.5\text{ V}$ ;  $V_{SS} = 0\text{ V}$ ;  $V_{LCD} = 2.5\text{ V to }5.5\text{ V}$ ;  $T_{amb} = -40\text{ }^{\circ}\text{C to }+85\text{ }^{\circ}\text{C}$ ; unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Unit	
$V_I$	input voltage		$V_{SS} - 0.5$	-	5.5	V	
$V_{IL}$	LOW-level input voltage		-	-	$0.3V_{DD}$	V	
$V_{IH}$	HIGH-level input voltage		$0.7V_{DD}$	-	-	V	
$V_O$	output voltage		-0.5	-	+5.5	V	
$I_L$	leakage current	$V_I = V_{DD}$ or $V_{SS}$	-1	-	+1	$\mu\text{A}$	
On pin SDA							
$I_{OL}$	LOW-level output current	output sink current					
		$V_{DD} = 1.8\text{ V}$	3	5.5	-	mA	
		$V_{DD} = 3.3\text{ V}$	5	9	-	mA	
SPI-bus							
$V_I$	input voltage	on pin SCL	$V_{SS} - 0.5$	-	5.5	V	
		on pins $\overline{\text{CE}}$ and SDI	$V_{SS} - 0.5$	-	$V_{DD} + 0.5$	V	
On pins SCL, $\overline{\text{CE}}$ and SDI							
$V_{IL}$	LOW-level input voltage		-	-	$0.3V_{DD}$	V	
$V_{IH}$	HIGH-level input voltage		$0.7V_{DD}$	-	-	V	
$I_L$	leakage current	$V_I = V_{DD}$ or $V_{SS}$	-1	-	+1	$\mu\text{A}$	
LCD outputs							
$\Delta V_O$	output voltage variation	on pins BP0 to BP7	[6]	-	2.5	+10	mV
		on pins S0 to S43	[7]	-	2.5	+10	mV
$R_O$	output resistance	$V_{LCD} = 5.5\text{ V}$ ; on pins BP0 to BP7	[8]	-	0.9	5.0	k $\Omega$
		$V_{LCD} = 5.5\text{ V}$ ; on pins S0 to S43	[8]	-	1.5	6.0	k $\Omega$

- [1] Power-down mode is enabled;  $I^2\text{C}$ -bus or SPI-bus inactive.
- [2] 1:8 multiplex drive mode;  $\frac{1}{4}$  bias; display enabled; LCD outputs are open circuit; RAM is all written with logic 1; inputs at  $V_{SS}$  or  $V_{DD}$ ; default display prescale factor;  $I^2\text{C}$ -bus or SPI-bus inactive.
- [3] Strongly linked to  $V_{LCD}$  voltage. See Figure 38.
- [4] 1:8 multiplex drive mode;  $\frac{1}{4}$  bias; display enabled; LCD outputs are open circuit; RAM is all written with logic 1; default display prescale factor.
- [5] The  $I^2\text{C}$ -bus interface of PCF8545 is 5 V tolerant.
- [6] Variation between any two backplanes on a given voltage level; static measured.
- [7] Variation between any two segments on a given voltage level; static measured.
- [8] Outputs measured one at a time.





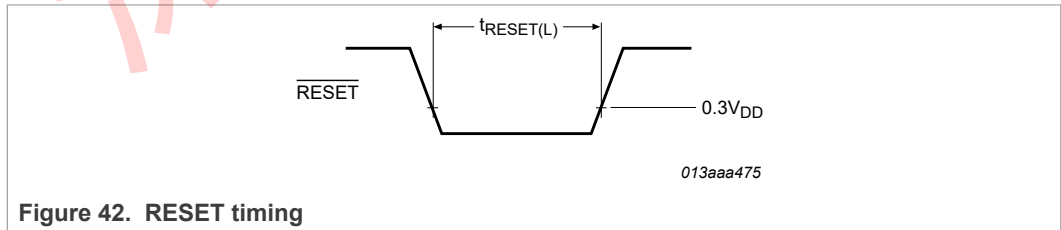
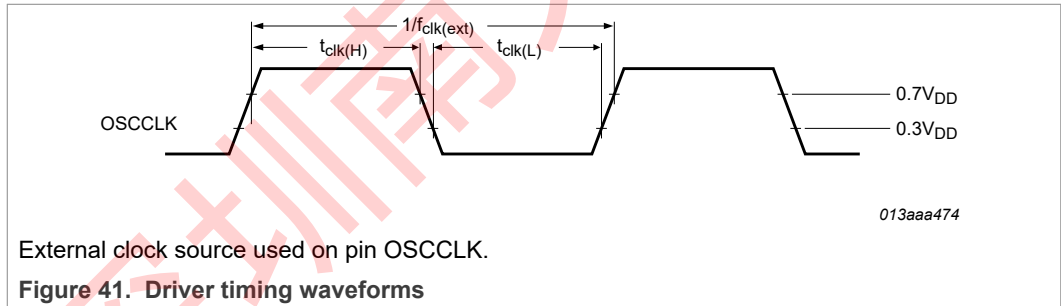
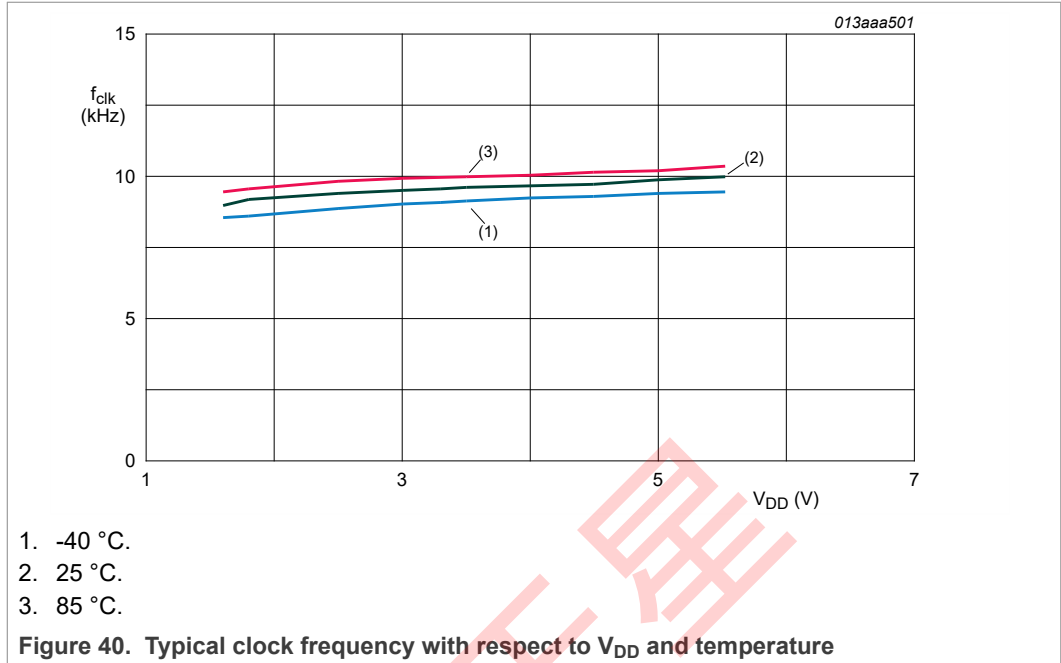
### 13 Dynamic characteristics

**Table 33. Dynamic characteristics**

$V_{DD} = 1.8\text{ V to }5.5\text{ V}$ ;  $V_{SS} = 0\text{ V}$ ;  $V_{LCD} = 2.5\text{ V to }5.5\text{ V}$ ;  $T_{amb} = -40\text{ °C to }+85\text{ °C}$ ; unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
f <sub>clk</sub>	clock frequency	output on pin OSCCLK; V <sub>DD</sub> = 3.3 V	[1] 7 800	9 600	11 040	Hz
f <sub>clk(ext)</sub>	external clock frequency	EFR = 0	-	-	250 000	Hz
t <sub>(RESET_N)</sub>	RESET_N pulse width	LOW time	400	-	-	ns
<b>External clock source used on pin OSCCLK</b>						
t <sub>clk(H)</sub>	clock HIGH time		33	-	-	µs
t <sub>clk(L)</sub>	clock LOW time		33	-	-	µs

[1] Frequency present on OSCCLK with default display frequency division factor.



**Table 34. Timing characteristics: I<sup>2</sup>C-bus**

$V_{DD} = 1.8\text{ V to }5.5\text{ V}$ ;  $V_{SS} = 0\text{ V}$ ;  $T_{amb} = -40\text{ °C to }+85\text{ °C}$ ; unless otherwise specified. All timing values are valid within the operating supply voltage and temperature range and referenced to  $V_{IL}$  and  $V_{IH}$  with an input voltage swing of  $V_{SS}$  to  $V_{DD}$ . Timing waveforms see [Figure 43](#).

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
<b>Pin SCL</b>						
$f_{SCL}$	SCL clock frequency		[1] -	-	400	kHz

**Table 34. Timing characteristics: I<sup>2</sup>C-bus...continued**

$V_{DD} = 1.8\text{ V to }5.5\text{ V}$ ;  $V_{SS} = 0\text{ V}$ ;  $T_{amb} = -40\text{ °C to }+85\text{ °C}$ ; unless otherwise specified. All timing values are valid within the operating supply voltage and temperature range and referenced to  $V_{IL}$  and  $V_{IH}$  with an input voltage swing of  $V_{SS}$  to  $V_{DD}$ . Timing waveforms see [Figure 43](#).

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
$t_{LOW}$	LOW period of the SCL clock		1.3	-	-	$\mu\text{s}$
$t_{HIGH}$	HIGH period of the SCL clock		0.6	-	-	$\mu\text{s}$
<b>Pin SDA</b>						
$t_{SU,DAT}$	data set-up time		100	-	-	ns
$t_{HD,DAT}$	data hold time		0	-	-	ns
<b>Pins SCL and SDA</b>						
$t_{BUF}$	bus free time between a STOP and START condition		1.3	-	-	$\mu\text{s}$
$t_{SU,STO}$	set-up time for STOP condition		0.6	-	-	$\mu\text{s}$
$t_{HD,STA}$	hold time (repeated) START condition		0.6	-	-	$\mu\text{s}$
$t_{SU,STA}$	set-up time for a repeated START condition		0.6	-	-	$\mu\text{s}$
$t_r$	rise time of both SDA and SCL signals	$f_{SCL} = 400\text{ kHz}$	-	-	0.3	$\mu\text{s}$
		$f_{SCL} = 100\text{ kHz}$	-	-	1.0	$\mu\text{s}$
$t_f$	fall time of both SDA and SCL signals		-	-	0.3	$\mu\text{s}$
$t_{VD,ACK}$	data valid acknowledge time		[2] 0.6	-	-	$\mu\text{s}$
$t_{VD,DAT}$	data valid time		[3] 0.6	-	-	$\mu\text{s}$
$C_b$	capacitive load for each bus line		-	-	400	pF
$t_{SP}$	pulse width of spikes that must be suppressed by the input filter		[4] -	-	50	ns

- [1] The minimum SCL clock frequency is limited by the bus time-out feature, which resets the serial bus interface if either the SDA or SCL is held LOW for a minimum of 25 ms. The bus time-out feature must be disabled for DC operation.
- [2]  $t_{VD,ACK}$  = time for acknowledgement signal from SCL LOW to SDA output LOW.
- [3]  $t_{VD,DAT}$  = minimum time for valid SDA output following SCL LOW.
- [4] Input filters on the SDA and SCL inputs suppress noise spikes of less than 50 ns.

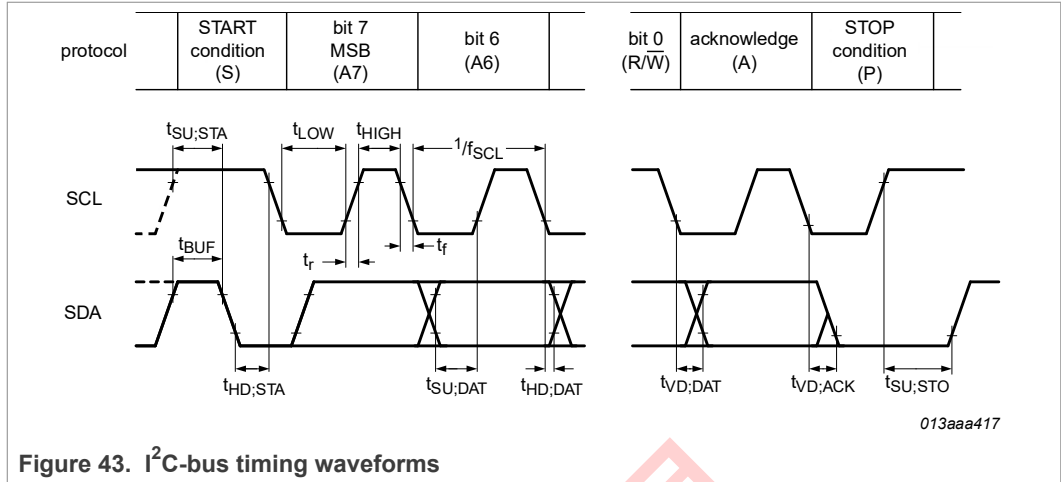


Figure 43. I<sup>2</sup>C-bus timing waveforms

Table 35. Timing characteristics: SPI-bus

$V_{DD} = 1.8\text{ V to }5.5\text{ V}$ ;  $V_{SS} = 0\text{ V}$ ;  $T_{amb} = -40\text{ }^{\circ}\text{C to }+85\text{ }^{\circ}\text{C}$ . All timing values are valid within the operating supply voltage and temperature range and referenced to  $V_{IL}$  and  $V_{IH}$  with an input voltage swing of  $V_{SS}$  to  $V_{DD}$ . Timing waveforms see [Figure 44](#).

Symbol	Parameter	Conditions	$V_{DD} < 2.7\text{ V}$		$V_{DD} \geq 2.7\text{ V}$		Unit
			Min	Max	Min	Max	
$f_{clk(SCL)}$	SCL clock frequency		-	2	-	5	MHz
$t_{SCL}$	SCL time		500	-	200	-	ns
$t_{clk(H)}$	clock HIGH time		200	-	80	-	ns
$t_{clk(L)}$	clock LOW time		200	-	80	-	ns
$t_r$	rise time	for SCL signal	-	100	-	100	ns
$t_f$	fall time	for SCL signal	-	100	-	100	ns
$t_{su(CE\_N)}$	CE_N set-up time		150	-	80	-	ns
$t_{h(CE\_N)}$	CE_N hold time		0	-	0	-	ns
$t_{rec(CE\_N)}$	CE_N recovery time		100	-	100	-	ns
$t_{su}$	set-up time	set-up time for SDI data	10	-	5	-	ns
$t_h$	hold time	hold time for SDI data	25	-	10	-	ns



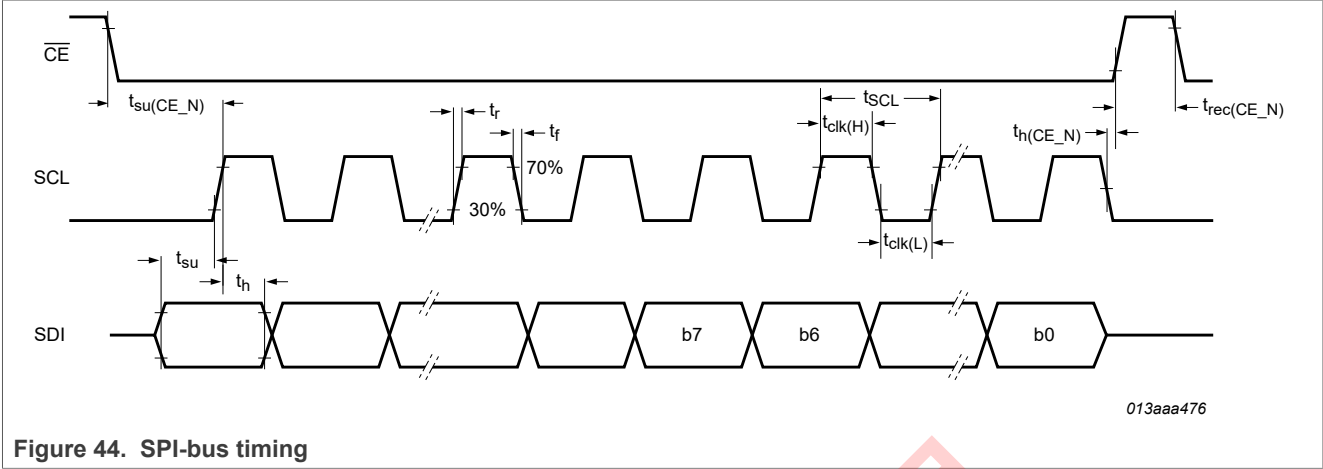


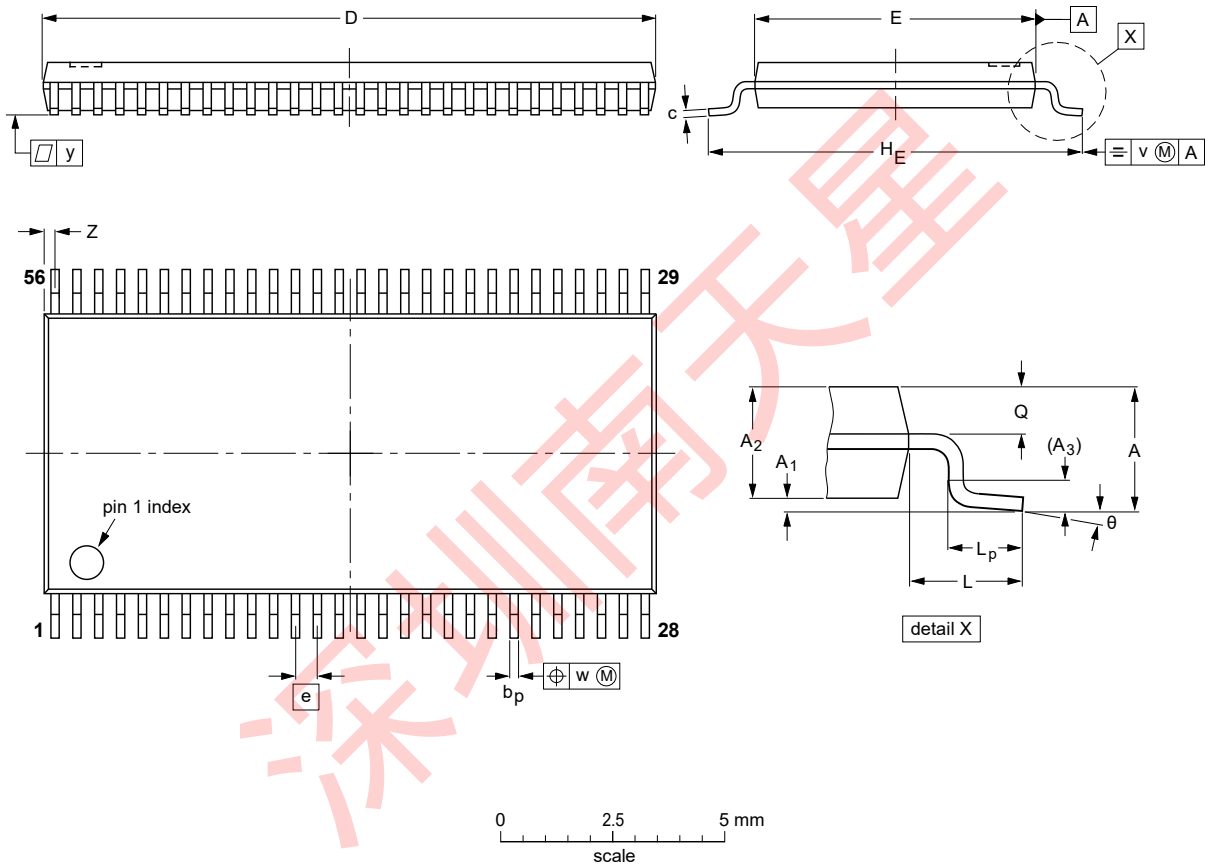
Figure 44. SPI-bus timing

深圳南天星

14 Package outline

TSSOP56: plastic thin shrink small outline package; 56 leads; body width 6.1 mm

SOT364-1



DIMENSIONS (mm are the original dimensions).

UNIT	A max.	A <sub>1</sub>	A <sub>2</sub>	A <sub>3</sub>	b <sub>p</sub>	c	D <sup>(1)</sup>	E <sup>(2)</sup>	e	H <sub>E</sub>	L	L <sub>p</sub>	Q	v	w	y	Z	θ
mm	1.2	0.15 0.05	1.05 0.85	0.25	0.28 0.17	0.2 0.1	14.1 13.9	6.2 6.0	0.5	8.3 7.9	1	0.8 0.4	0.50 0.35	0.25	0.08	0.1	0.5 0.1	8° 0°

Notes

1. Plastic or metal protrusions of 0.15 mm maximum per side are not included.
2. Plastic interlead protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	JEITA			
SOT364-1		MO-153				-99-12-27 03-02-19

Figure 45. Package outline SOT364-1 (TSSOP56)

## 15 Handling information

All input and output pins are protected against ElectroStatic Discharge (ESD) under normal handling. When handling Metal-Oxide Semiconductor (MOS) devices ensure that all normal precautions are taken as described in *JESD625-A*, *IEC 61340-5* or equivalent standards.

## 16 Packing information

### 16.1 Tape and reel information

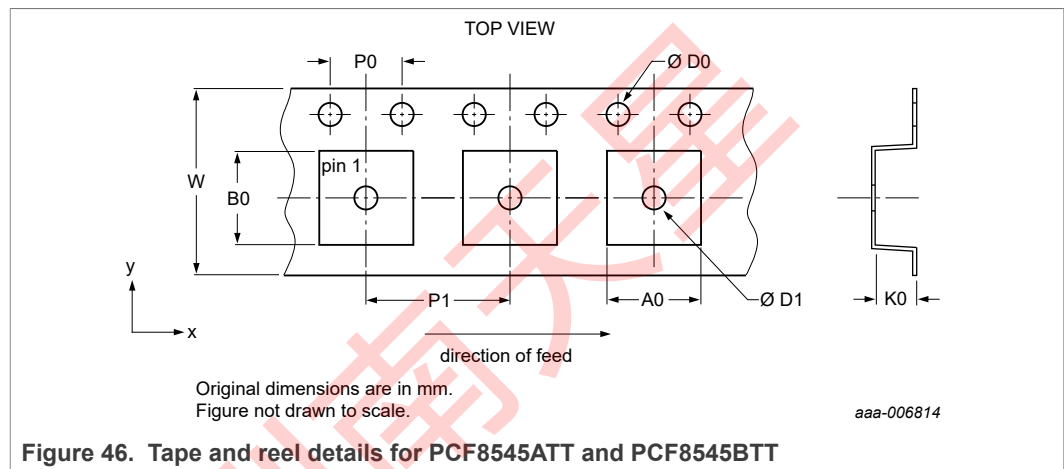


Table 36. Carrier tape dimensions of PCF8545ATT and PCF8545BTT

Symbol	Description	Value	Unit
<b>Compartments</b>			
A0	pocket width in x direction	8.65 to 8.9	mm
B0	pocket width in y direction	14.4 to 15.8	mm
K0	pocket depth	1.5 to 1.8	mm
P1	pocket hole pitch	12	mm
D1	pocket hole diameter	1.5 to 2.05	mm
<b>Overall dimensions</b>			
W	tape width	24	mm
D0	sprocket hole diameter	1.5 to 1.55	mm
P0	sprocket hole pitch	4	mm

## 17 Soldering of SMD packages

This text provides a very brief insight into a complex technology. A more in-depth account of soldering ICs can be found in Application Note AN10365 “Surface mount reflow soldering description”.

## 17.1 Introduction to soldering

Soldering is one of the most common methods through which packages are attached to Printed Circuit Boards (PCBs), to form electrical circuits. The soldered joint provides both the mechanical and the electrical connection. There is no single soldering method that is ideal for all IC packages. Wave soldering is often preferred when through-hole and Surface Mount Devices (SMDs) are mixed on one printed wiring board; however, it is not suitable for fine pitch SMDs. Reflow soldering is ideal for the small pitches and high densities that come with increased miniaturization.

## 17.2 Wave and reflow soldering

Wave soldering is a joining technology in which the joints are made by solder coming from a standing wave of liquid solder. The wave soldering process is suitable for the following:

- Through-hole components
- Leaded or leadless SMDs, which are glued to the surface of the printed circuit board

Not all SMDs can be wave soldered. Packages with solder balls, and some leadless packages which have solder lands underneath the body, cannot be wave soldered. Also, leaded SMDs with leads having a pitch smaller than ~0.6 mm cannot be wave soldered, due to an increased probability of bridging.

The reflow soldering process involves applying solder paste to a board, followed by component placement and exposure to a temperature profile. Leaded packages, packages with solder balls, and leadless packages are all reflow solderable.

Key characteristics in both wave and reflow soldering are:

- Board specifications, including the board finish, solder masks and vias
- Package footprints, including solder thieves and orientation
- The moisture sensitivity level of the packages
- Package placement
- Inspection and repair
- Lead-free soldering versus SnPb soldering

## 17.3 Wave soldering

Key characteristics in wave soldering are:

- Process issues, such as application of adhesive and flux, clinching of leads, board transport, the solder wave parameters, and the time during which components are exposed to the wave
- Solder bath specifications, including temperature and impurities

## 17.4 Reflow soldering

Key characteristics in reflow soldering are:

- Lead-free versus SnPb soldering; note that a lead-free reflow process usually leads to higher minimum peak temperatures (see [Figure 47](#)) than a SnPb process, thus reducing the process window
- Solder paste printing issues including smearing, release, and adjusting the process window for a mix of large and small components on one board

- Reflow temperature profile; this profile includes preheat, reflow (in which the board is heated to the peak temperature) and cooling down. It is imperative that the peak temperature is high enough for the solder to make reliable solder joints (a solder paste characteristic). In addition, the peak temperature must be low enough that the packages and/or boards are not damaged. The peak temperature of the package depends on package thickness and volume and is classified in accordance with [Table 37](#) and [Table 38](#)

Table 37. SnPb eutectic process (from J-STD-020D)

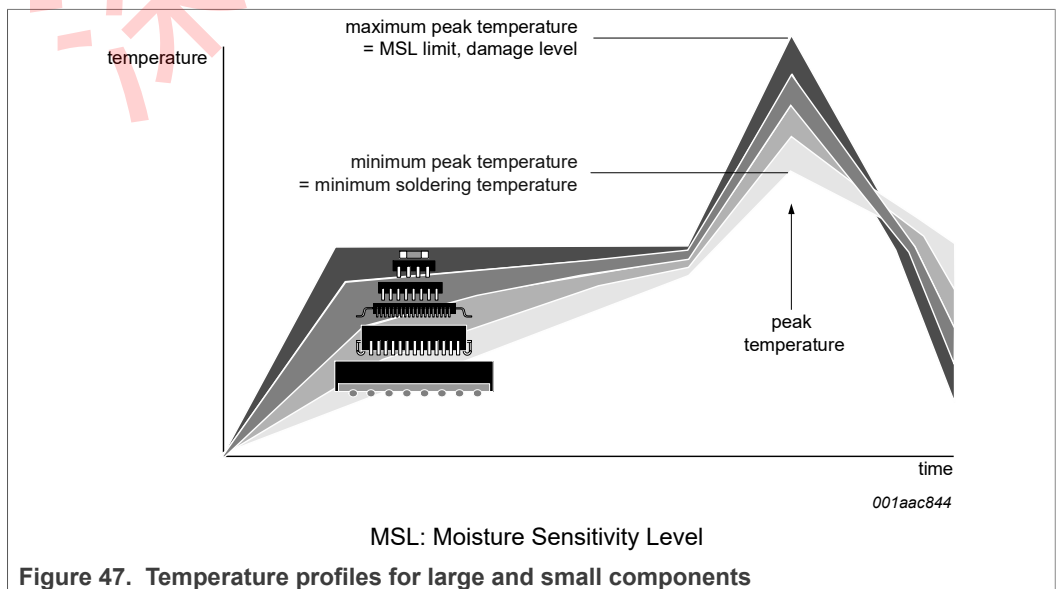
Package thickness (mm)	Package reflow temperature (°C)	
	Volume (mm <sup>3</sup> )	
	< 350	≥ 350
< 2.5	235	220
≥ 2.5	220	220

Table 38. Lead-free process (from J-STD-020D)

Package thickness (mm)	Package reflow temperature (°C)		
	Volume (mm <sup>3</sup> )		
	< 350	350 to 2000	> 2000
< 1.6	260	260	260
1.6 to 2.5	260	250	245
> 2.5	250	245	245

Moisture sensitivity precautions, as indicated on the packing, must be respected at all times.

Studies have shown that small packages reach higher temperatures during reflow soldering, see [Figure 47](#).



For further information on temperature profiles, refer to Application Note AN10365  
“Surface mount reflow soldering description”.

深圳南天星

18 Footprint information for reflow soldering

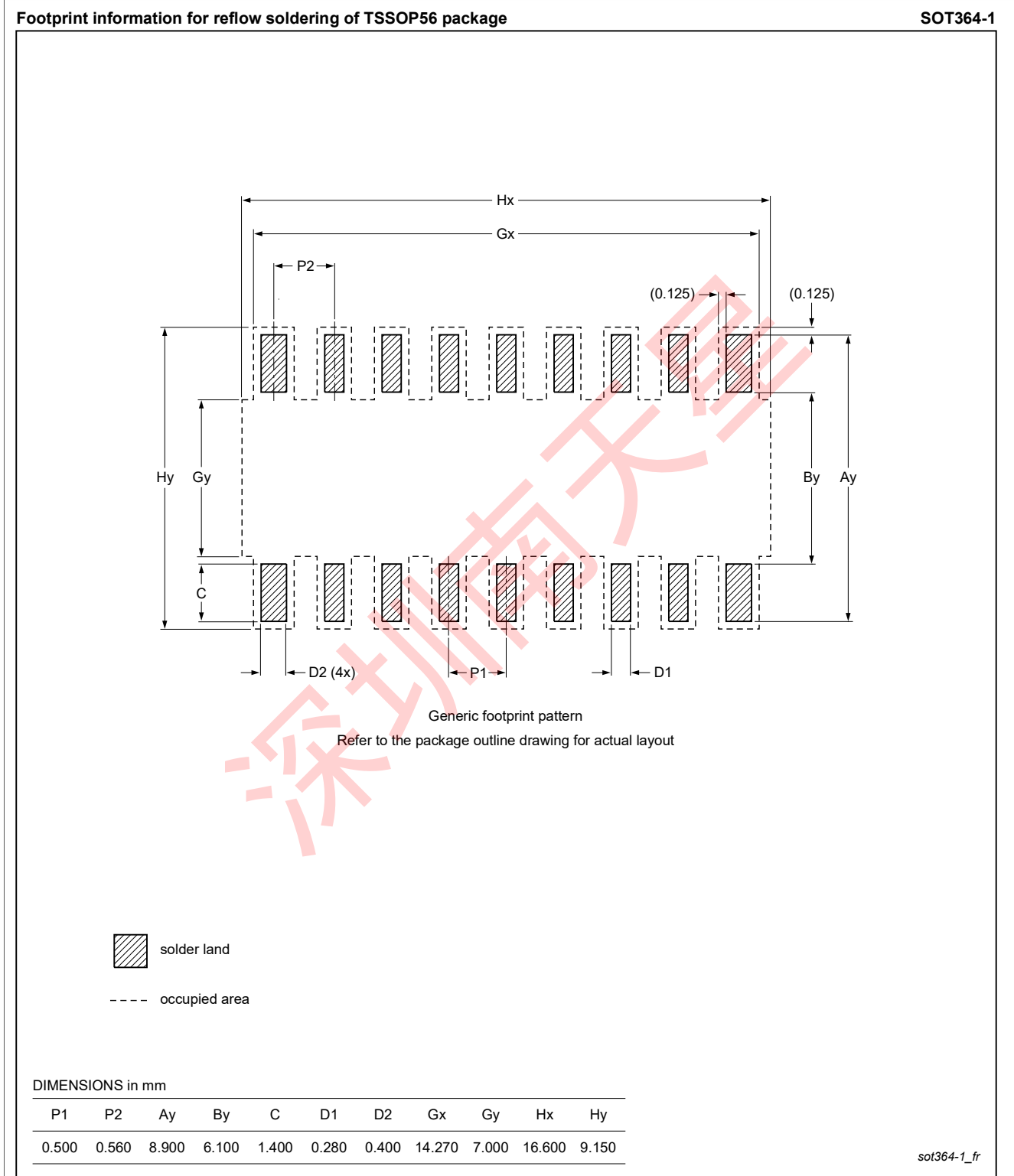


Figure 48. Footprint information for reflow soldering of SOT364-1 (TSSOP56) package

## 19 Appendix

### 19.1 LCD segment driver selection

深圳南天星



Table 39. Selection of LCD segment drivers

Type name	Number of elements at MUX							V <sub>DD</sub> (V)	V <sub>LCD</sub> (V)	f <sub>fr</sub> (Hz)	V <sub>LCD</sub> (V) charge pump	V <sub>LCD</sub> (V) temperature compensat.	T <sub>amb</sub> (°C)	Interface	Package	AEC- Q100
	1:1	1:2	1:3	1:4	1:6	1:8	1:9									
PCA8561AHN <sup>[1]</sup>	18	36	54	72	-	-	-	1.8 to 5.5	1.8 to 5.5	32 to 256 <sup>[2]</sup>	N	N	-40 to 105	I <sup>2</sup> C	HVQFN32	Y
PCA8561BHN <sup>[1]</sup>	18	36	54	72	-	-	-	1.8 to 5.5	1.8 to 5.5	32 to 256 <sup>[2]</sup>	N	N	-40 to 105	SPI	HVQFN32	Y
PCF8566TS	24	48	72	96	-	-	-	2.5 to 6	2.5 to 6	69	N	N	-40 to 85	I <sup>2</sup> C	VSO40	N
PCF85162T	32	64	96	128	-	-	-	1.8 to 5.5	2.5 to 6.5	82	N	N	-40 to 85	I <sup>2</sup> C	TSSOP48	N
PCA85162T	32	64	96	128	-	-	-	1.8 to 5.5	2.5 to 8	110	N	N	-40 to 95	I <sup>2</sup> C	TSSOP48	Y
PCA85262ATT	32	64	96	128	-	-	-	1.8 to 5.5	2.5 to 8	200	N	N	-40 to 105	I <sup>2</sup> C	TSSOP48	Y
PCF8551ATT <sup>[1]</sup>	36	72	108	144	-	-	-	1.8 to 5.5	1.8 to 5.5	32 to 128 <sup>[2]</sup>	N	N	-40 to 85	I <sup>2</sup> C	TSSOP48	N
PCF8551BTT <sup>[1]</sup>	36	72	108	144	-	-	-	1.8 to 5.5	1.8 to 5.5	32 to 128 <sup>[2]</sup>	N	N	-40 to 85	SPI	TSSOP48	N
PCA8551ATT <sup>[1]</sup>	36	72	108	144	-	-	-	1.8 to 5.5	1.8 to 5.5	32 to 256 <sup>[2]</sup>	N	N	-40 to 105	I <sup>2</sup> C	TSSOP48	Y
PCA8551BTT <sup>[1]</sup>	36	72	108	144	-	-	-	1.8 to 5.5	1.8 to 5.5	32 to 256 <sup>[2]</sup>	N	N	-40 to 105	SPI	TSSOP48	Y
PCF85176T	40	80	120	160	-	-	-	1.8 to 5.5	2.5 to 6.5	82	N	N	-40 to 85	I <sup>2</sup> C	TSSOP56	N
PCA85176T	40	80	120	160	-	-	-	1.8 to 5.5	2.5 to 8	110	N	N	-40 to 95	I <sup>2</sup> C	TSSOP56	Y
PCA85276ATT	40	80	120	160	-	-	-	1.8 to 5.5	2.5 to 8	200	N	N	-40 to 105	I <sup>2</sup> C	TSSOP56	Y
PCF85176H	40	80	120	160	-	-	-	1.8 to 5.5	2.5 to 6.5	82	N	N	-40 to 85	I <sup>2</sup> C	TQFP64	N
PCA85176H	40	80	120	160	-	-	-	1.8 to 5.5	2.5 to 8	82	N	N	-40 to 95	I <sup>2</sup> C	TQFP64	Y
PCF8553ATT <sup>[1]</sup>	40	80	120	160	-	-	-	1.8 to 5.5	1.8 to 5.5	32 to 128 <sup>[2]</sup>	N	N	-40 to 85	I <sup>2</sup> C	TSSOP56	N
PCF8553BTT <sup>[1]</sup>	40	80	120	160	-	-	-	1.8 to 5.5	1.8 to 5.5	32 to 128 <sup>[2]</sup>	N	N	-40 to 85	SPI	TSSOP56	N
PCA8553ATT <sup>[1]</sup>	40	80	120	160	-	-	-	1.8 to 5.5	1.8 to 5.5	32 to 256 <sup>[2]</sup>	N	N	-40 to 105	I <sup>2</sup> C	TSSOP56	Y
PCA8553BTT <sup>[1]</sup>	40	80	120	160	-	-	-	1.8 to 5.5	1.8 to 5.5	32 to 256 <sup>[2]</sup>	N	N	-40 to 105	SPI	TSSOP56	Y
PCA8546ATT <sup>[1]</sup>	-	-	-	176	-	-	-	1.8 to 5.5	2.5 to 9	60 to 300 <sup>[2]</sup>	N	N	-40 to 95	I <sup>2</sup> C	TSSOP56	Y
PCA8546BTT <sup>[1]</sup>	-	-	-	176	-	-	-	1.8 to 5.5	2.5 to 9	60 to 300 <sup>[2]</sup>	N	N	-40 to 95	SPI	TSSOP56	Y
PCA8547AHT <sup>[1]</sup>	44	88	-	176	-	-	-	1.8 to 5.5	2.5 to 9	60 to 300 <sup>[2]</sup>	Y	Y <sup>[3]</sup>	-40 to 95	I <sup>2</sup> C	TQFP64	Y
PCA8547BHT <sup>[1]</sup>	44	88	-	176	-	-	-	1.8 to 5.5	2.5 to 9	60 to 300 <sup>[2]</sup>	Y	Y <sup>[3]</sup>	-40 to 95	SPI	TQFP64	Y
PCF85134HL	60	120	180	240	-	-	-	1.8 to 5.5	2.5 to 6.5	82	N	N	-40 to 85	I <sup>2</sup> C	LQFP80	N

Table 39. Selection of LCD segment drivers...continued

Type name	Number of elements at MUX							V <sub>DD</sub> (V)	V <sub>LCD</sub> (V)	f <sub>fr</sub> (Hz)	V <sub>LCD</sub> (V) charge pump	V <sub>LCD</sub> (V) temperature compensat.	T <sub>amb</sub> (°C)	Interface	Package	AEC- Q100
	1:1	1:2	1:3	1:4	1:6	1:8	1:9									
PCA85134H	60	120	180	240	-	-	-	1.8 to 5.5	2.5 to 8	82	N	N	-40 to 95	I <sup>2</sup> C	LQFP80	Y
PCA8543AHL	60	120	-	240	-	-	-	2.5 to 5.5	2.5 to 9	60 to 300 <sup>[2]</sup>	Y	Y	-40 to 105	I <sup>2</sup> C	LQFP80	Y
PCF8545ATT <sup>[1]</sup>	-	-	-	176	252	320	-	1.8 to 5.5	2.5 to 5.5	60 to 300 <sup>[2]</sup>	N	N	-40 to 85	I <sup>2</sup> C	TSSOP56	N
PCF8545BTT <sup>[1]</sup>	-	-	-	176	252	320	-	1.8 to 5.5	2.5 to 5.5	60 to 300 <sup>[2]</sup>	N	N	-40 to 85	SPI	TSSOP56	N
PCF8536AT <sup>[4]</sup>	-	-	-	176	252	320	-	1.8 to 5.5	2.5 to 9	60 to 300 <sup>[2]</sup>	N	N	-40 to 85	I <sup>2</sup> C	TSSOP56	N
PCF8536BT <sup>[4]</sup>	-	-	-	176	252	320	-	1.8 to 5.5	2.5 to 9	60 to 300 <sup>[2]</sup>	N	N	-40 to 85	SPI	TSSOP56	N
PCA8536AT <sup>[4]</sup>	-	-	-	176	252	320	-	1.8 to 5.5	2.5 to 9	60 to 300 <sup>[2]</sup>	N	N	-40 to 95	I <sup>2</sup> C	TSSOP56	Y
PCA8536BT <sup>[4]</sup>	-	-	-	176	252	320	-	1.8 to 5.5	2.5 to 9	60 to 300 <sup>[2]</sup>	N	N	-40 to 95	SPI	TSSOP56	Y
PCF8537AH	44	88	-	176	276	352	-	1.8 to 5.5	2.5 to 9	60 to 300 <sup>[2]</sup>	Y	Y <sup>[3]</sup>	-40 to 85	I <sup>2</sup> C	TQFP64	N
PCF8537BH	44	88	-	176	276	352	-	1.8 to 5.5	2.5 to 9	60 to 300 <sup>[2]</sup>	Y	Y <sup>[3]</sup>	-40 to 85	SPI	TQFP64	N
PCA8537AH	44	88	-	176	276	352	-	1.8 to 5.5	2.5 to 9	60 to 300 <sup>[2]</sup>	Y	Y <sup>[3]</sup>	-40 to 95	I <sup>2</sup> C	TQFP64	Y
PCA8537BH	44	88	-	176	276	352	-	1.8 to 5.5	2.5 to 9	60 to 300 <sup>[2]</sup>	Y	Y <sup>[3]</sup>	-40 to 95	SPI	TQFP64	Y
PCA9620H	60	120	-	240	320	480	-	2.5 to 5.5	2.5 to 9	60 to 300 <sup>[2]</sup>	Y	Y <sup>[3]</sup>	-40 to 105	I <sup>2</sup> C	LQFP80	Y
PCA9620U	60	120	-	240	320	480	-	2.5 to 5.5	2.5 to 9	60 to 300 <sup>[2]</sup>	Y	Y <sup>[3]</sup>	-40 to 105	I <sup>2</sup> C	bare die	Y
PCF8552DUG <sup>[1]</sup>	36	72	108	144	-	-	-	1.8 to 5.5	1.8 to 5.5	32 to 128 <sup>[2]</sup>	N	N	-40 to 85	I <sup>2</sup> C, SPI	bare die	N
PCA8552DUG <sup>[1]</sup>	36	72	108	144	-	-	-	1.8 to 5.5	1.8 to 5.5	32 to 256 <sup>[2]</sup>	N	N	-40 to 105	I <sup>2</sup> C, SPI	bare die	Y
PCF8576DU	40	80	120	160	-	-	-	1.8 to 5.5	2.5 to 6.5	77	N	N	-40 to 85	I <sup>2</sup> C	bare die	N
PCF8576EUG	40	80	120	160	-	-	-	1.8 to 5.5	2.5 to 6.5	77	N	N	-40 to 85	I <sup>2</sup> C	bare die	N
PCA8576FUG <sup>[1]</sup>	40	80	120	160	-	-	-	1.8 to 5.5	2.5 to 8	200	N	N	-40 to 105	I <sup>2</sup> C	bare die	Y
PCF85133U	80	160	240	320	-	-	-	1.8 to 5.5	2.5 to 6.5	82, 110 <sup>[5]</sup>	N	N	-40 to 85	I <sup>2</sup> C	bare die	N
PCA85133U	80	160	240	320	-	-	-	1.8 to 5.5	2.5 to 8	82, 110 <sup>[5]</sup>	N	N	-40 to 95	I <sup>2</sup> C	bare die	Y
PCA85233U	80	160	240	320	-	-	-	1.8 to 5.5	2.5 to 8	150, 220 <sup>[5]</sup>	N	N	-40 to 105	I <sup>2</sup> C	bare die	Y
PCA8530DUG <sup>[1]</sup>	102	204	-	408	-	-	-	2.5 to 5.5	4 to 12	45 to 300 <sup>[2]</sup>	Y	Y <sup>[3]</sup>	-40 to 105	I <sup>2</sup> C, SPI	bare die	Y
PCF85132U	160	320	480	640	-	-	-	1.8 to 5.5	1.8 to 8	60 to 90 <sup>[2]</sup>	N	N	-40 to 85	I <sup>2</sup> C	bare die	N

通用液晶驱动器，多路复用率高达 1:8 表 39。选择

## LCD 段驱动器...继续

类型名称	MUX 的元素数量							V <sub>女儿</sub> (五)	V <sub>液晶显示器</sub> (五)	第六个罗马字 母 F <sub>r</sub> (赫兹)	V <sub>液晶显示器</sub> (V) 充 电泵	V <sub>液晶显示器</sub> (V) 温度补 偿。	字母 T 安布 (°C)	用户界面	包裹	AEC- Q100
	1:1	1:2	1:3	1:4	1:6	1:8	1: 9									
PCA85132U	160	320	480	640	—	—	—	1.8 到 5.5	1.8 到 8	60 到 90 <sup>[2]</sup>	第十四个 英文字母	第十四个英文 字母	-40 到 95	我 2 字母 C	裸死	第 25 个字 母
PCA85232U	160	320	480	640	—	—	—	1.8 到 5.5	1.8 到 8	117 到 176 <sup>[2]</sup>	第十四个 英文字母	第十四个英文 字母	-40 到 95	我 2 字母 C	裸死	第 25 个字 母
PCF8538UG <sup>[1]</sup>	102	204	—	408	612	816	918	2.5 到 5.5	4 到 12	45 到 300 <sup>[2]</sup>	第 25 个 字母	第 25 个字母 [3]	-40 到 85	我 2C, SPI <sup>[5]</sup>	裸死	第十 四个 英文 字母
PCA8538UG	102	204	—	408	612	816	918	2.5 到 5.5	4 到 12	45 到 300 <sup>[2]</sup>	第 25 个 字母	第 25 个字母 [3]	-40 到 105	我 2C, SPI <sup>[5]</sup>	裸死	第 25 个字 母

- [1] 在发展中。  
 [2] 可以通过命令选择。  
 [3] 额外功能：温度传感器。  
 [4] 额外功能：6 个 PWM 通道。  
 [5] 可以通过引脚配置进行选择。

深圳南天星

深圳南天星

## 20 缩写

表 40。缩写

首字母缩略词	描述
CDM	充电设备模型
CMOS	互补金属氧化物半导体
直流电	直流电
EMC	电磁兼容性
EPROM	可擦除的可编程只读内存
ESD	静电放电
HBM	人体模型
我 <sup>2</sup> 字母 C	集成电路总线
IC	集成电路
液晶显示器	液晶显示
LSB	最小显著位
MSB	最重要的位
MSL	水分敏感度水平
MUX	多路器
OTP	一次性可编程
多氯联苯	印刷电路板
波尔	开机重置
遥控	电阻-电容
公羊	随机访问内存
RGB	红色绿色蓝色
RMS	根均方
SCL	串行 CLock 线
SDA	串行数据线
SPI	串行外围接口

## 21 参考资料

- [1] JESD22-A114 静电放电 (ESD) 灵敏度测试人体模型 (HBM)
- [2] JESD22-C101 静电现场诱导带电设备模型测试方法-放电-承受微电子元件的阈值
- [3] JESD78 IC 闩锁测试
- [4] UM10569 商店和运输要求

## 22 修订历史

表 41。修订历史

文档 ID	发布日期	数据表状态	更改通知	取代
PCF8545 v.2	20211004	产品数据表	PCN202102010F01	PCF8545 v.1
修改:	<ul style="list-style-type: none"> <li>• 更新<a href="#">订购信息</a>。</li> <li>• 删除了标记部分 (原第 5 节)。</li> <li>• 术语“主”和“从”改为“控制器”和“目标”，以遵守 NXP 包容性语言政策。</li> </ul>			
PCF8545 v.1	20131113	产品数据表	—	—

## 23 法律信息

### 23.1 数据表状态

文件状态 <sup>[1][2]</sup>	产品状态 <sup>[3]</sup>	定义
目标[简短]数据表	开发	本文档包含来自产品开发目标规范的数据。
初步[简短]数据表	资格	本文件包含初步规范中的数据。
产品[短]数据表	生产	本文档包含产品规格。

[1] 在发起或完成设计之前，请查阅最近发布的文件。

[2] “简短数据表”一词在“定义”一节中进行了解释。

[3] 自本文档发布以来，本文中描述的设备的状态可能已发生变化，并且在多台设备的情况下可能会有所不同。最新的产品状态信息可在互联网上通过 URL 获得 [Http://www.nxp.com](http://www.nxp.com)。

### 23.2 定义

**草稿**—文件状态草案表明，内容仍在内部审查中，并须经正式批准，这可能会导致修改或添加。恩智浦半导体公司对准确性不作任何陈述或保证或文件草案版本中包含的信息的完整性，对使用此类信息的后果不承担任何责任。

**简短的数据表**—简短的数据表是具有相同产品类型编号和标题的完整数据表的摘录。简短的数据表仅供快速参考，不应依赖它来包含详细和完整的信息。对于详细和完整的信息请参阅相关的完整数据表，可根据要求通过当地恩智浦半导体销售办公室获得。如果与简短数据表有任何不一致或冲突，则以完整数据表为准。

**产品规格**—产品数据表中提供的信息和数据应定义恩智浦半导体及其客户之间商定的产品规格，除非恩智浦半导体和客户另有书面明确协议。甚至没有然而，NXP Semiconductors 产品被视为提供超出产品数据表所述功能和质量的协议应有效果。

### 23.3 免责声明

**有限保修和责任**—本文件中的信息被认为是准确可靠的。然而，恩智浦半导体公司对此类信息的准确性或完整性不作任何明示或暗示的陈述或保证，也不承担任何责任或使用此类信息的后果。如果由恩智浦半导体以外的信息来源提供，恩智浦半导体对本文件中的内容不承担任何责任。在任何情况下，NXP Semiconductors 均不对任何间接、附带、惩罚、特殊或后果性损害（包括但不限于利润损失、储蓄损失、业务中断、与移除或更换任何产品或返工费用相关的费用）无论此类损害是否为基础关于侵权（包括过失）、保修、违反合同或任何其他法律理论。尽管客户可能因任何原因造成任何损害，但恩智浦半导体对该产品对客户的总和累积责任此处描述的 cts 应根据 NXP 半导体商业销售的条款和条件进行限制。

**做出改变的权利**—恩智浦半导体保留随时更改本文件中发布的信息的权利，包括但不限于规格和产品描述，恕不另行通知。本文档取代并替换了所有信息在本文发布之前提供。

**适合使用**—NXP Semiconductors 产品的设计、授权或保证不适合用于生命支持、生命关键或安全关键的系统或设备，也不适用于 NXP Semiconductors 产品故障或故障的应用程序合理地预计会导致人身伤害、死亡或严重的财产

或环境损害。恩智浦半导体及其供应商对在此类设备或应用中包含和/或使用恩智浦半导体产品不承担任何责任在此类包含和/或使用之前，风险自负。

**应用**—本文描述的任何这些产品的应用程序仅用于说明目的。NXP Semiconductors 不声明或保证此类应用程序将适合指定用途，而无需进一步测试或修改。客户负责使用恩智浦半导体产品设计和操作其应用程序和产品，恩智浦半导体对应用程序或客户产品设计的任何帮助不承担任何责任。这是客户的自行负责确定 NXP Semiconductors 产品是否适合和适合客户计划的应用和产品，以及客户第三方客户的计划应用和使用。客户应该提供适当的设计和保障操作措施，以尽量减少与其应用和产品相关的风险。恩智浦半导体不承担与基于任何弱点或违约的任何违约、损坏、成本或问题相关的任何责任在客户的应用程序或产品中，或客户的第三方客户的应用程序或使用中。客户负责使用恩智浦半导体产品对客户的应用程序和产品进行所有必要的测试，以便避免应用程序和产品或应用程序的默认值，或客户的第三方客户使用。NXP 在这方面不承担任何责任。

**限制值**—压力超过一个或多个限制值（如 IEC 60134 的绝对最大额定值系统所定义）将对设备造成永久性损坏。限制值仅为应力额定值和设备在这些或其他情况下的（正确）操作不需要超过本文档的“建议操作条件”部分（如果存在）或“特征”部分中给出的上述内容。持续或反复暴露于限制值将永久和不可逆地影响质量 D 设备的可靠性。

**商业销售的条款和条件**—除非在有效的书面个人协议中另有约定，否则 NXP 半导体产品的销售须遵守 <http://www.nxp.com/profile/terms> 上发布的一般商业销售条款和条件。如果个人协议是仅适用相应协议的条款和条件。恩智浦半导体特此明确反对在客户购买恩智浦半导体产品时适用客户的一般条款和条件。

**没有出售或许可的提议**—本文件中的任何内容均不得解释或解释为销售开放接受或授予、转让或暗示任何版权、专利或其他工业或知识产权下任何许可的产品的要约。

**出口管制**—本文件以及本文所述项目可能受出口管制法规的约束。出口可能需要事先获得主管当局的授权。

**非汽车合格产品**—除非本数据表明确说明该特定的 NXP 半导体产品符合汽车资格，否则该产品不适合汽车使用。它既不合格，也不根据汽车测试或应用要求进行测试。恩智浦半导体对在汽车设备或应用中包含和/或使用非汽车合格产品不承担任何责任。如果客户将产品用于设计和用于汽车应用到汽车规格和标准，客户 (a) 应在没有 NXP 半导体保修的情况下将产品用于此类汽



车应用、使用和规格，以及 (b) 每当客户将产品用于 NX 以外的汽车应用时 P Semiconductors 的规格，此类使用应完全由客户自行承担风险，并且 (c) 客户对 NXP Semiconductors 因客户设计和使用汽车产品而造成的任何责任、损害或失败产品索赔给予充分赔偿超出恩智浦半导体标准保修和恩智浦半导体产品规格的应用。

**翻译**—文档的非英语（翻译）版本仅供参考。如果翻译版本和英文版本之间有任何差异，应以英文版本为准。

## 23.4 商标

注意：所有引用的品牌、产品名称、服务名称和商标均为其各自所有者的财产。

**我 ?C-bus**—徽标是 NXP B.V.的商标。

**NXP**—文字标记和徽标是 NXP B.V.的商标。

深圳南天星

桌子

选项卡。		选项卡。	
1.		18.	
选项卡。		选项卡。	
2.		19.	
选项卡。		选项卡。	
3.		20.	
选项卡。		选项卡。	
4.		21.	
选项卡。		选项卡。	
5.		22.	
选项卡。		选项卡。	
6.		23.	
选项卡。		选项卡。	
7.		24.	
选项卡。		选项卡。	
8.	订购信息 .....2	25.	加载数据指针-加载数据指针
选项卡。	订购选项 .....2	选项卡。	命令位描述 .....16 写入-RAM 数
选项卡。	PCF8545ATT 的引脚描述和	26.	据-写入 RAM 数据
9.	PCF8545BTT .....6	选项卡。	命令位描述 .....16 重置状
选项卡。	PCF8545 的命令 .....7	27.	态 .....17
10.	初始化-初始化命令位描述.....7	选项卡。	显示配置的选择 .....20
选项卡。	OTP-refresh - OTP-refresh 命令位	28.	首选的 LCD 驱动模式：摘要
11.	描述 .....8	选项卡。	特征 .....22
选项卡。	模式设置-模式设置命令	29.	背板和活动段
12.	位描述 .....8 断电位	选项卡。	组合 .....29
选项卡。	(PD) 的影响 .....10 振荡器控制 - 振荡	30.	控制字节描述 .....35
13.	器控制	选项卡。	I2C 目标地址字节.....38
选项卡。	命令位描述 .....11	31.	R/W 位描述 .....38
14.	位 OSC、EFR 和的有效组合	选项卡。	状态读出值.....39
选项卡。	COE .....12	32.	修改后的状态读出值.....40
15.	位 OSC、EFR 和 COE 的典型使用.....12	选项卡。	串行接口 .....40
选项卡。	OSCCLK 引脚状态取决于	33.	子地址字节定义 .....41
16.	配置 .....13 液晶帧频	选项卡。	限制值 .....43
选项卡。	率 .....13 Set-MUX-mode - set	34.	静态特征 .....44
17.	multiplex drive mode	35.	动态特征 .....47
选项卡。	命令位描述 .....14	选项卡。	计时特性：I2C 总线 .....48
18.	Set-bias-mode - set bias mode 命令	36.	定时特性：SPI 总线 .....50
选项卡。	位描述 .....14	选项卡。	PCF8545ATT 的载带尺寸
19.	帧频率-帧频率和	37.	和
选项卡。	输出时钟频率命令位	选项卡。	PCF8545BTT .....53
20.	描述 .....14	38.	SnPb eutectic process (来自 J-STD-
选项卡。	230 的帧频率预缩放器值	选项卡。	020D) .....55
21.	KHz 时钟操作.....15	39.	无铅工艺(来自 J-STD-020D) .....55
选项卡。		选项卡。	选择 LCD 段驱动器 .....59
22.		40.	缩写 .....62

数字

PCF8545A 的方框图 .....3	1:6 多路驱动模式的波形
PCF8545B 的方框图.....4	带有偏置 13 和线反转.....1:6 多路复用驱动模式的 25 个波形
图。 1. TSSOP56 的引脚配置 (PCF8545ATT) .....5	带有偏置 14 和线反转.....1:8 多路驱动模式的 26 个波形
图。 2. TSSOP56 的引脚配置 (PCF8545BTT) .....5	带有偏置 14 和线反转.....1:8 多路驱动模式的 27 个波形
图。 3. 背板交换的影响 .....9	带有偏置 14 和帧反转 .....28
图。 4. 推荐的断电序列 .....10	图。 15. 显示 RAM 位图 .....30
图。 5. 振荡器选择 .....12	图。 16. 在 1:4 多路复用中显示 RAM 填充顺序
图。 6. 推荐的启动顺序, 当使用内部振荡器 .....18	图。 17. 驱动模式 .....32
图。 7. 推荐的启动顺序, 当使用外部时钟信号 .....19	图。 18. 1:4 多路复用驱动器的边界条件模式 .....32
图。 8. PCF8545 的显示器示例 .....20	图。 19. 以 1:6 多路复用显示 RAM 填充顺序
图。 9. I2C 的典型系统配置-公共汽车 .....21	图。 20. 驱动模式 .....33
图。 10. 公共汽车 .....21	图。 21. 1:6 多路复用驱动器的边界条件模式 .....34
图。 11. SPI 的典型系统配置-公共汽车 .....21	图。 22. 以 1:8 多路复用显示 RAM 填充顺序
图。 12. 公共汽车 .....21	图。 23. 驱动模式 .....35
图。 13. 电光特性: 相对液体的传输曲线.....23	图。 24. 1:4 多路驱动模式的波形
图。 14. 带有 13 偏置和线反转.....24	图。 25. 图。 26. 图。 27. 图。 28.

通用液晶驱动器，多路复用率高达 1:8

图。 29. 关于 I2C 巴士的确认 ..... 图。 40. 典型的时钟频率相对于 VDD 和温度 .....48
图。 30. I2C 总线协议写入模式 ..... 图。 41. 驱动器正时波形 .....48
图。 31. I2C 总线协议读取模式..... 图。 42. 重置时间 .....48
图。 32. 数据传输概述 ..... 图。 43. I2C 总线正时波形 .....50
图。 33. SPI 总线写入示例 ..... 图。 44. SPI 总线计时 .....51
图。 34. SPI 总线示例..... 图。 45. 软件包大纲 SOT364-1 (TSSOP56) .....52
图。 35. PCF8545A 的设备保护图... 图。 46. PCF8545ATT 的胶带和卷轴细节和 PCF8545BTT .....53
图。 36. PCF8545B 的设备保护图... 图。 47. 大小温度配置文件
图。 37. 关于温度的典型 IDD ..... 图。 48. 回流焊接的足迹信息
图。 38. 关机模式下的典型 IDD (LC 关于温度 .....55
图。 39. 显示器处于活动状态时的典型关于温度 .....57

# PCF8545

通用液晶驱动器，多路复用率高达 1:8

## 内容

1	一般描述 .....	1	特点和好处 .....	1
2	应用 .....	1		
3	订购信息 .....	2		
4	订购选项 .....	2		
4.1	方框图 .....	3		
5	固定信息 .....	4	固定 .....	9
6	固定 .....	4		10
6.1	引脚描述 .....	6		11
6.2	功能描述 .....	7		12
7	PCF8545 的命令 .....	7		13
7.1	命令：初始化 .....	7		14
7.1.1	命令：OTP-refresh .....	8		15
7.1.2	命令：模式设置 .....	8		16
7.1.3	命令：帧反转 .....	8	线反转 .....	16.1
7.1.3.1	背板交换 .....	8	（驱动方案 A）和 .....	17
7.1.3.2	帧反转（驾驶方案 B） .....	9	断电模 .....	17.1
7.1.3.3	式 .....	9		17.2
7.1.3.4	显示启用 .....	11		17.3
7.1.4	命令：振荡器控制 .....	11		17.4
7.1.4.1	振荡器 .....	12		18
7.1.4.2	定时和帧频率 .....	13		19
7.1.5	命令：set-MUX-mode .....	14	命令： .....	20
7.1.6	命令：set-bias-mode .....	14		21
7.1.7	命令：帧频率 .....	14		22
7.1.8	命令：load-data-pointer .....	16	命令： .....	23
7.1.9	命令：write-RAM-data .....	16		
7.2	启动和关闭 .....	16		
7.2.1	重置和开机重置（POR） .....	16		
7.2.2	重置引脚功能 .....	17		
7.2.3	推荐的启动序列 .....	17		
7.3	可能的显示配置 .....	20		
7.4	液晶电压选择器 .....	21		
7.4.1	电光性能 .....	23		
7.5	液晶驱动模式波形 .....	23	1:4 多路 .....	
7.5.1	复用驱动器模式 .....	23		
7.5.2	1:6 多路复用驱动模式 .....	24		
7.5.3	1:8 多路复用驱动器模式 .....	27		
7.6	显示寄存器 .....	29		
7.7	背板输出 .....	29		
7.8	分段输出 .....	29		
7.9	显示内存 .....	29		
8	数据指 .....			
8.1	针 .....	31		
8.2	RAM 填充 1:4 多路复用驱动器模式 .....	31		
8.2.1	RAM 填充 1:6 多路复用驱动器模式 .....	32		
8.2.2	RAM 填充 1:8 多路驱动器模式 .....	34		
8.2.3	总线接口 .....	35		
8.2.4	8.2.5 I2C 总线控制器 .....	38		
	8.2.6 输入过滤 .....			
	8.2.7 器 .....	38		
	8.2.8 I2C 总线目标地址 .....	38		
	8.2.8.1 I2C 总线协议 .....	39		
	8.3 状态读出 .....	39		
	8.3.1 SPI 总线接口 .....	40		
	数据传输 .....	40	内部 .....	
	电路 .....	42		
	安 全 注 意 事 .....	42		
	项 .....	42		
	限制值 .....	43		
	静态特征 .....	44		
	动态特征 .....	47		
	包装大纲 .....	52		
	处理信息 .....	53		
	包装信息 .....	53		
	磁带和卷轴信息 .....	53		
	SMD 封装的焊接 .....	53		
	焊接简介 .....	54		
	波浪和回流焊接 .....	54		
	波浪焊接 .....	54		
	回流焊接 .....	54		
	回流焊接的足迹信息 .....	57		
	附录 .....	58		
	液晶分段驱动器选择 .....	58		
	缩写 .....	62		
	参 考 .....			
	献 .....	62		
	修订历史 .....	63		
	法律信息 .....	64		

# PCF8545

---

控制字节和寄存器选择 .....	35 I2C- 总线接口 .....
口 .....	36
位传输 .....	36
启动和停止条件 .....	36
系统配置 .....	37
承认 .....	37

深圳南天星

---

请注意，有关本文件和本文所述产品的重要通知已包含在“法律信息”部分。

---

© NXP B.V.2021 年。

保留所有权利。

有关更多信息，请访问：<http://www.nxp.com>

有关销售办公室地址，请发送电子邮件至：[salesaddresses@nxp.com](mailto:salesaddresses@nxp.com)

发布日期：2021 年 10 月 4 日

文档标识符：PCF8545