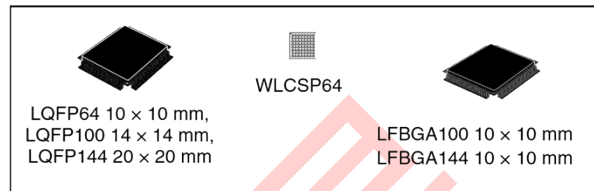


Features

- Core: Arm® 32-bit Cortex®-M3 CPU
 - 72 MHz maximum frequency, 1.25 DMIPS/MHz (Dhystone 2.1) performance at 0 wait state memory access



CAN, 11 个计时器, 3 个 ADC, 13 个通信接口

- 单周期乘法和硬件划分
- 回忆
 - 256 至 512 千字节的闪存
 - 高达 64 Kbyte 的 SRAM
 - 带有 4 芯片的灵活静态存储器控制器选择。支持紧凑型闪存, SRAM, PSRAM、NOR 和 NAND 内存- 液晶并行接口, 8080/6800 模式
- 时钟、重置和供应管理
 - 2.0 至 3.6V 应用电源和 I/O
 - POR、PDR 和可编程电压检测器 (PVD)
 - 4 至 16 MHz 晶体振荡器
 - 内部 8 MHz 工厂修剪 RC
 - 带校准的内部 40 kHz RC
 - 带校准的 RTC 32 kHz 振荡器
- 低功耗
 - 睡眠、停止和待机模式
 - V_{DD} RTC 和备用寄存器供应
- 3×12 位, 1 μs A/D 转换器 (最多 21 个通道)
 - 转换范围: 0 至 3.6V
 - 三重样本和保持能力
 - 温度传感器
- 2×12 位 D/A 转换器
- DMA: 12 通道 DMA 控制器
 - 支持的外围设备: 计时器、ADC、DAC、SDIO、I²Ss, SPIs, I²Cs 和 USARTs
- 调试模式
 - 串行线调试 (SWD) 和 JTAG 接口
- 皮质®-M3 嵌入式跟踪宏细胞™
- 多达 112 个快速 I/O 端口
 - 51/80/112 I/O, 所有可映射在 16 个外部中断向量上, 几乎所有 5 个 V 容忍度
- 2018 年 7 月
- 多达 11 个计时器
 - 最多四个 16 位计时器, 每个最多 4 个 IC/OC/PWM 或脉冲计数器和正交 (增量) 编码器输入
 - 2×16 位电机控制 PWM 计时器, 具有死时生成和紧急停止
 - 2×看门狗计时器 (独立和窗口)
 - SysTick 计时器: 24 位下计数器- 2×16 位基本定时器来驱动 DAC
- 多达 13 个通信接口
 - 高达 2×I²C 接口 (SMBus/PMBus)
 - 多达 5 个 USART (ISO 7816 接口, LIN, IrDA 功能, 调制解调器控制)
 - 最多 3 个 SPI (18 Mbit/s), 2 个带 I²S 接口多路复用
 - CAN 接口 (2.0B Active)
 - USB 2.0 全速接口
 - SDIO 接口
- CRC 计算单元, 96 位唯一 ID
- 生态包装®包裹

表 1. 设备摘要

参考	部件号
----	-----

STM32F103xC	STM32F103RC STM32F103VC STM32F103ZC	STM32F103xE	STM32F103RE STM32F103ZE STM32F103VE
STM32F103xD	STM32F103RD STM32F103VD STM32F103ZD		

1/143
www.st.com

内容

内容

1 简介	9
2 描述	10
2.1 设备概述	11
2.2 整个家庭的完全兼容性	14
2.3 概述	15
2.3.1 手臂 [®] 皮层 [®] -带嵌入式闪存和 SRAM 的 M3 核心	15
2.3.2 嵌入式闪存	15
2.3.3 CRC (循环冗余检查) 计算单位	15
2.3.4 嵌入式 SRAM	15
2.3.5 FSMC (柔性静态存储器控制器)	15
2.3.6 LCD 并行接口	16
2.3.7 嵌套矢量中断控制器 (NVIC)	16
2.3.8 外部中断/事件控制器 (EXTI)	16
2.3.9 时钟和启动	16
2.3.10 启动模式	17
2.3.11 电源计划	17
2.3.12 电源主管	17
2.3.13 电压调节器	17
2.3.14 低功耗模式	18
2.3.15 DMA	18
2.3.16 RTC (实时时钟) 和备份寄存器	18
2.3.17 计时器和看门狗	19
2.3.18 I ² C	

.....		21	
2.3.19	通用同步/异步接收器发射器 (USARTs)	21	
2.3.20	串行外设接口 (SPI)	21	
2.3.21	集成声音 (I ² S)	21	
2.3.22	SDIO	22	
2.3.23	控制器区域网络 (CAN)	22	
2.3.24	通用串行总线 (USB)	22	
2.3.25	GPIO (通用输入/输出)	22	
2.3.26	ADC (模拟数字转换器)	22	
2.3.27	DAC (数字模拟转换器)	23	
2.3.28	温度传感器	24	
2.3.29	串行线 JTAG 调试端口 (SWJ-DP)	24	
2.3.30	嵌入式 Trace Macrocell™	24	
			内容
3	销和销描述	25	
4	内存映射	40	
5	电气特性	41	
5.1	参数条件	41	
5.1.1	最小值和最大值	41	
5.1.2	典型值	41	
5.1.3	典型的曲线	41	
5.1.4	加载电容器	41	
5.1.5	引脚输入电压	41	
5.1.6	电源方案	42	
5.1.7	当前消费测量	42	
5.2	绝对最高评分	43	



5.3	操作条件	44
5.3.1	一般操作条件	44
5.3.2	开机/关机操作条件	45
5.3.3	嵌入式重置和电源控制块特性.....	45
5.3.4	嵌入式参考电压	46
5.3.5	供应电流特性	46
5.3.6	外部时钟源特性	58
5.3.7	内部时钟源特性	62
5.3.8	PLL 特征	64
5.3.9	记忆特征	64
5.3.10	FSMC 的特点	66
5.3.11	EMC 特性	86
5.3.12	绝对最大额定值（电气灵敏度）.....	87
5.3.13	I/O 电流注射特性	88
5.3.14	I/O 端口特性	89
5.3.15	NRST 引脚特性	94
5.3.16	TIM 计时器特性	95
5.3.17	通信接口	96
5.3.18	CAN（控制器区域网络）接口	106
5.3.19	12 位 ADC 特性	106
5.3.20	DAC 电气规格	111
5.3.21	温度传感器特性	113
6	包裹信息	114
6.1	LFBGA144 包装信息	114

内容



6.2	LFBGA100 包装信息	117
6.3	WLCSP64 软件包信息	120
6.4	LQFP144 包装信息	122
6.5	LQFP100 包装信息	126
6.6	LQFP64 包装信息	129
6.7	热特性	132
6.7.1	参考文件	132
6.7.2	选择产品温度范围	133
7	订购信息	135
8	修订历史	136



表格列表

表 1。	设备摘要.....	1
表 2。	STM32F103xC、STM32F103xD 和 STM32F103xE 功能和外部围数.....	11
表 3。	STM32F103xx 家庭.....	14
表 4。	高密度定时器功能比较.....	19
表 5。	高密度 STM32F103xC/D/E 引脚定义.....	31
表 6。	FSMC pin definition.....	38
表 7。	电压特性.....	43
表 8。	当前特征.....	43
表 9。	热特性.....	44
表 10。	一般操作条件.....	44
表 11。	开机/关机操作条件.....	45
表 12。	嵌入式重置和电源控制块特性.....	45
表 13。	嵌入式内部参考电压.....	46
表 14。	运行模式下的最大电流消耗，带有数据处理的代码逃离闪存.....	47
表 15。	运行模式下的最大电流消耗，带有数据处理的代码从内存中运行.....	47
表 16。	睡眠模式下的最大电流消耗，从闪存或 RAM 运行的代码.....	49
表 17。	停止和待机模式下的典型和最大电流消耗.....	50
表 18。	运行模式下的典型电流消耗，带数据处理的代码逃离闪存.....	53
表 19。	睡眠模式下的典型电流消耗，从 Flash 运行的代码或 RAM.....	54
表 20。	外围电流消耗.....	55
表 21。	高速外部用户时钟特性.....	58



表 22。	低速外部用户时钟特性	58
表 23。	HSE 4-16 MHz 振荡器特性	60
表 24。	LSE 振荡器特性 (f _{LSE} = 32.768 kHz)	61
表 25。	HSI 振荡器特性	62
表 26。	LSI 振荡器特性	63
表 27。	低功耗模式唤醒时间	63
表 28。	PLL 特征	64
表 29。	闪存特性	64
表 30。	闪存持久性和数据保留	65
表 31。	异步非多路 SRAM/PSRAM/NOR 读取时序	67
表 32。	异步非多路 SRAM/PSRAM/NOR 写时序	68
表 33。	异步多路复用 PSRAM/NOR 读取时序	69
表 34。	异步多路复用 PSRAM/NOR 写时序	70
表 35。	同步多路复用 NOR/PSRAM 读取时序	72
表 36。	同步多路复用 PSRAM 写时	74
表 37。	同步非多路 NOR/PSRAM 读取时序	75
表 38。	同步非多路 PSRAM 写入时序	76
表 39。	PC 卡/CF 读写周期的切换特性	81
表 40。	NAND Flash 读写周期的切换特性	85
表 41。	EMS 特性	86
表 42。	EMI 特性	87
表 43。	ESD 绝对最高评级	87
表格列表			
表 44。	电气敏感性	88
表 45。	I/O 电流注射敏感性	88



表 56。	USB 启动时间.....	103	动	时
表 57。	USB 直流电气特性.....	104	电	气
表 58。	USB：全速电气特性.....	105		
表 59。	ADC 特性.....			特
表 60。	字母 R _{AINF} 的最大值 ADC= 14 MHz.....	106		
表 61。	ADC 准确性 - 有限的测试条件.....	107		
表 62。	ADC 准确性.....	107		确
表 63。	DAC 特性.....	108		特
表 64。	TS 点.....	111		特
表 65。	LFBGA144 – 144 球低调细间距球网格阵列，10 x 10 毫米，0.8 毫米间距，包装机机械数据.....	113		数
表 66。	LFBGA144 推荐的 PCB 设计规则 (0.8 毫米间距 BGA)。	114		
表 67。	LFBGA100 - 10 x 10 毫米低调细间距球网格阵列包机械数据.....	117		
表 68。	LFBGA100 推荐的 PCB 设计规则 (0.8 毫米间距 BGA)。	118		
表 69。	WLCSP，64 球 4.466x4.395 毫米，0.500 毫米间距，晶圆级芯片刻度包装机机械数据.....	120		数
表 70。	WLCSP64 推荐的 PCB 设计规则 (0.5 毫米间距).....	121		
表 71。	LQFP144 - 144 针，20 x 20 毫米低调四平套件机械数据.....	123		
表 72。	LQPF100 – 14 x 14 毫米 100 针低调四平套件机械数据.....	126		
表 73。	LQFP64 – 10 x 10 毫米 64 针低调四平封装机械数据.....	129		
表 74。	包装热特性.....			特
表 75。	订购信息方案.....	132		
		135		

数字列表



数字列表

图 1。	STM32F103xC、STM32F103xD 和 STM32F103xE 性能线框图...	12
图 2。	时钟树	13
图 3。	STM32F103xC/D/E BGA144 ballout	25
图 4。	STM32F103xC/D/E 性能线 BGA100 ballout	26
图 5。	STM32F103xC/D/E 性能线 LQFP144 pinout	27
图 6。	STM32F103xC/D/E 性能线 LQFP100 销 out	28
图 7。	STM32F103xC/D/E 性能线 LQFP64 销 out	29
图 8。	STM32F103xC/D/E 性能线 WLCSP64 球，球 侧	30
图 9。	记 图	40
图 10。	引 脚 加 载 条 件	41
图 11。	引 脚 输 入 电 压	41
图 12。	电源方案	42
图 13。	当前消费测量方案	42
图 14。	运行模式下的典型电流消耗与频率 (3.6V) - 从 RAM 运行数据处理的代码，外围设备已启用	48
图 15。	运行模式下的典型电流消耗与频率 (3.6V) - 从 RAM 运行数据处理的代码，外围设备被禁用	48
图 16。	V 上的典型电流消耗蝙蝠 RTC 与温度 在 不 同 的 V 蝙 蝠 值	51
图 17。	停止模式下的典型电流消耗，运行模式下的调节器 相对于不同 V 的温度女儿评价	51
图 18。	停止模式下的典型电流消耗，低功耗调节器 不同 V 处的模式与温度女儿值	52
图 19。	待机模式下的典型电流消耗与温度在 不同的 V 女儿值	52
图 20。	高速外部时钟源交流时序图	59
图 21。	低速外部时钟源交流时序图	59
图 22。	8 MHz 晶 体 的 典 型 应 用	60



图 23。	32.768 kHz 晶体的典型应用	
62
图 24。	异步非多路 SRAM/PSRAM/NOR 读取波形	.66
图 25。	异步非多路复用 SRAM/PSRAM/NOR 写入波形	.67
图 26。	异步多路复用 PSRAM/NOR 读取波形	.68
图 27。	异步多路复用 PSRAM/NOR 写入波形	.70
图 28。	同步多路复用 NOR/PSRAM 读取时序	.71
图 29。	同步多路复用 PSRAM 写时	.73
图 30。	同步非多路 NOR/PSRAM 读取时序	.75
图 31。	同步非多路 PSRAM 写入时序	.76
图 32。	用于普通内存读取访问的 PC 卡/CompactFlash 控制器波形	.77
图 33。	用于普通内存写入访问的 PC 卡/CompactFlash 控制器波形	.78
图 34。	用于读取属性内存的 PC 卡/CompactFlash 控制器波形访问	.79
图 35。	用于属性内存写入的 PC 卡/CompactFlash 控制器波形访问	.80
图 36。	用于 I/O 空间读取访问的 PC 卡/CompactFlash 控制器波形	.80
图 37。	用于 I/O 空间写入访问的 PC 卡/CompactFlash 控制器波形	.81
图 38。	用于读取访问的 NAND 控制器波形	.83
图 39。	用于写入访问的 NAND 控制器波形	.84

数字列表

图 40。	用于普通内存读取访问的 NAND 控制器波形	.84
图 41。	用于普通内存写入访问的 NAND 控制器波形	.85
图 42。	标准 I/O 输入特性-CMOS 端口	.90
图 43。	标准 I/O 输入特性 - TTL 端口	.90
图 44。	5 V tolerant I/O 输入特性 - CMOS 端口	.90
图 45。	5 V tolerant I/O 输入特性 - TTL 端口	.91
图 46。	I/O AC 特性定义	.94
图 47。	推荐的 NRST 引脚保护	.95
图 48。	我 ² C 总线交流波形和测量电路	.97
图 49。	SPI 定时图 - 奴隶模式和 CPHA = 0	.99



	式.....	103
图 55。	SD 默认模式.....	
	103
图 56。	USB 计时：数据信号上升和下降时间的定义.....	105
图 57。	ADC 准确性特性.....	
	108
图 58。	使用 ADC 的典型连接图.....	109
图 59。	电源和参考解耦 (V _{REF+} 未连接到 V _{DDA}).....	109
图 60。	电源和参考解耦 (V _{REF+} 连接到 V _{DDA}).....	110
图 61。	12 位缓冲/非缓冲 DAC.....	112
图 62。	LFBGA144 – 144 球低调细间距球网格阵列，10 x 10 毫米，0.8 毫米间距，包装轮廓.....	114
图 63。	LFBGA144 – 144 球低调细间距球网格阵列，10 x 10 毫米，0.8 毫米间距，包装推荐足迹.....	115
图 64。	LFBGA144 标记示例（包装顶视图）.....	116
图 65。	LFBGA100 - 10 x 10 毫米低调细间距球网格阵列包装大纲.....	117
图 66。	LFBGA100 – 100 球低调细间距球网格阵列，10 x 10 毫米，0.8 毫米间距，包装推荐足迹大纲.....	118
图 67。	LFBGA100 标记示例（包装顶视图）.....	119
图 68。	WLCSP，64 球 4.466x4.395 毫米，0.500 毫米间距，晶圆级芯片刻度包装大纲.....	120
图 69。	WLCSP64 - 64 球，4.4757 x 4.4049 毫米，0.5 毫米间距晶圆级芯片刻度包装推荐足迹.....	121
图 70。	LQFP144 - 144 针，20 x 20 毫米低调四平面封装轮廓.....	122
图 71。	LQFP144 - 144 针，20 x 20 毫米低调四平面封装推荐足迹.....	124
图 72。	LQFP144 标记示例（包装顶视图）.....	125
图 73。	LQFP100 – 14 x 14 毫米 100 针低调四平面封装轮廓.....	126
图 74。	LQFP100 推荐足迹.....	127
图 75。	LQFP100 标记示例（包装顶视图）.....	128
图 76。	LQFP64 – 10 x 10 毫米 64 针低调四平面封装轮廓.....	129
图 77。	LQFP64 - 64 针，10 x 10 毫米低调四平面建议占地面积.....	130
图 78。	LQFP64 标记示例（包装顶视图）.....	131
图 79。	LQFP100 P _D 最大对 T 罗马字母的第一个字母.....	134



1 简单介绍

本数据表提供了 STM32F103xC、STM32F103xD 和 STM32F103xE 高密度性能线微控制器的订购信息和机械特性。有关整个 STMicroelectronics STM32F103xC/D/E 系列的更多详细信息，请参阅 [第 2.2 节：整个家庭的完全兼容性](#)。

高密度 STM32F103xC/D/E 数据表应与 STM32F10xxx 参考手册一起阅读。有关内部闪存的编程、擦除和保护的信息，请参阅 [STM32F10xxx 闪存编程手册](#)。参考和 Flash 编程手册都可以从 STMicroelectronics 网站上获得 [Wwww.st.com](http://www.st.com)。

有关手臂的信息^{®(a)} 皮层[®]-M3 核心，请参考 Cortex[®]-M3 技术参考手册，可从 [Wwww.arm.com](http://www.arm.com) 网站地址如下：
[Http://infocenter.arm.com](http://infocenter.arm.com)。



A. Arm 是 Arm Limited (或其子公司) 在美国和/或其他地方的注册商标。

2 描述

STM32F103xC、STM32F103xD 和 STM32F103xE 性能系列集成了高性能臂®皮层®-M3 32 位 RISC 核心运行在

72 MHz 频率，高速嵌入式存储器（闪存高达 512K 字节，SRAM 高达 64K 字节），以及连接到两个 APB 总线的广泛增强 I/O 和外围设备。所有设备都提供三个 12 位 ADC，四个通用 16 位计时器加上两个 PWM 计时器，以及标准和高级通信接口：最多两个 I²Cs，三个 SPI，两个 I²Ss，一个 SDIO，五个 USART，一个 USB 和一个可以。

STM32F103xC/D/E 高密度性能线系列在-40 至+105°C 的温度范围内运行，从 2.0V 到 3.6V 电源。一套全面的省电模式允许设计低功耗应用程序。

这些功能使 STM32F103xC/D/E 高密度性能线微控制器系列适用于广泛的应用，如电机驱动器、应用控制、医疗和手持设备、PC 和游戏外围设备、GPS 平台、工业应用、PLC、逆变器、打印机、扫描仪、报警系统视频对讲机和暖通空调。

2.1 设备概述

STM32F103xC/D/E 高密度性能线系列提供六种不同封装类型的设备：从 64 针到 144 针。根据所选择的设备，包括不同的外围设备集，下面的描述概述了该系列中建议的完整外围设备。

图 1 显示设备系列的通用框图。

表 2。STM32F103xC、STM32F103xD 和 STM32F103xE 功能和外围设备计数

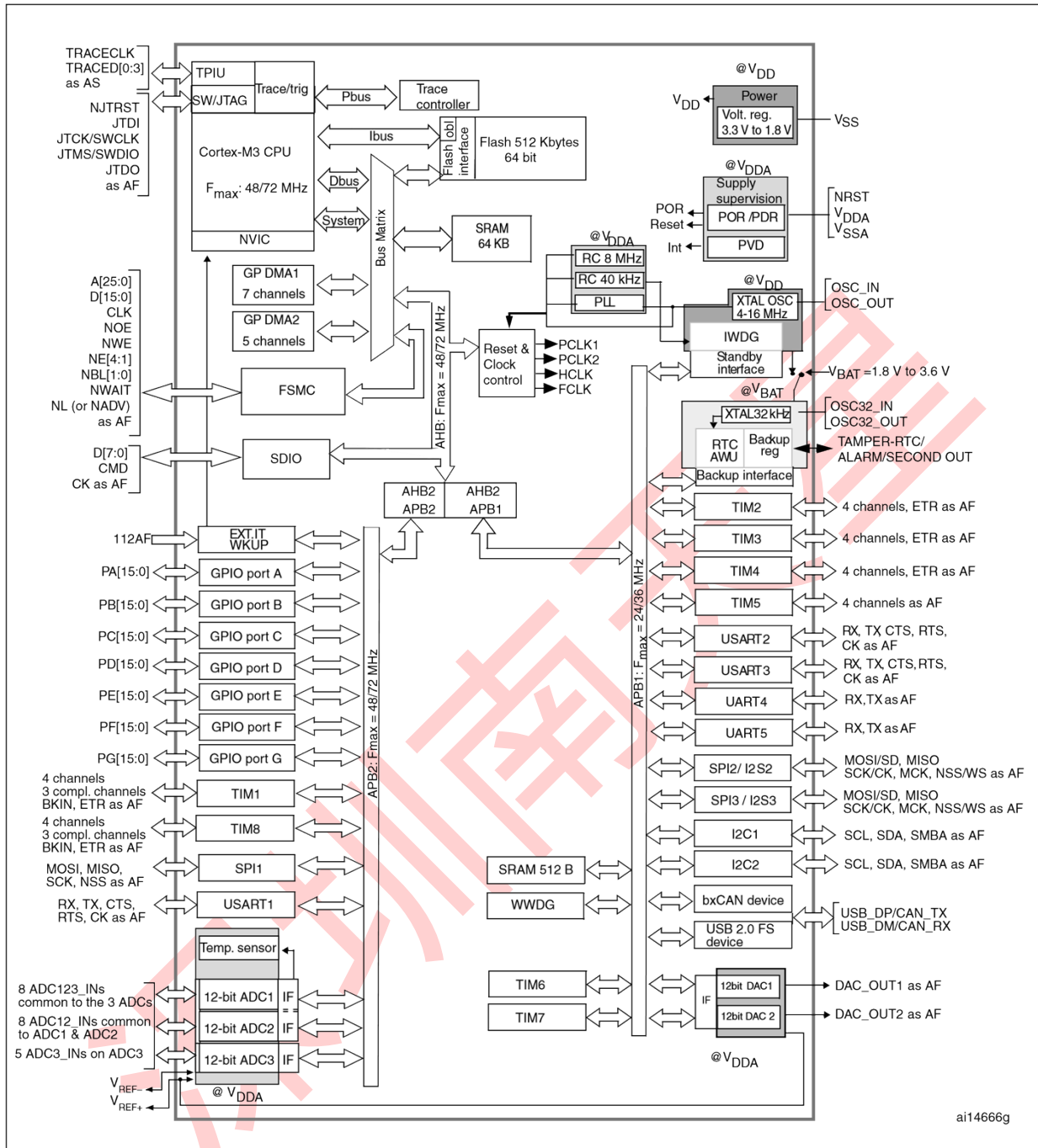
外围设备		STM32F103Rx			STM32F103Vx			STM32F103Zx		
Kbytes 的闪存		256	384	512	256	384	512	256	384	512
SRAM (Kbytes)		48	64		48	64		48	64	
FSMC		不是			是 (1)			是		
计时器	多用途的				4					
	高级控制				2					
	日常必须品				2					
通信	SPI (我 2S) (2)				3 (2)					
	我 2 字母 C				2					
	乌尔特				5					
	通用串行总线				1					
	装罐量				1					
	SDIO				1					
GPIOs		51			80			112		
12 位 ADC 通道数量		3 16			3 16			3 21		
12 位 DAC 通道数量					2 2					
CPU 频率					72 兆赫					
工作电压					2.0 至 3.6 伏					
工作温度					环境温度：-40 至+85 °C /-40 至+105°C (见 表 10) 结点温度：-40 至+125°C (见 表 10)					
包裹		LQFP64, WLCSP64			LQFP100, BGA100			LQFP144, BGA144		

1. 对于 LQFP100 和 BGA100 软件包，只有 FSMC Bank1 和 Bank2 可用。Bank1 只能支持使用 NE1 芯片选择的多路复用 NOR/PSRAM 内存。Bank2 只能支持使用 NCE2 Chip Select 的 16 位或 8 位 NAND 闪存。由于此软件包中没有端口 G，因此无法使用中断线路。

2. SPI2 和 SPI3 接口提供了在 SPI 模式或 I 模式下以独家方式工作的灵活性 2S 音频模式。

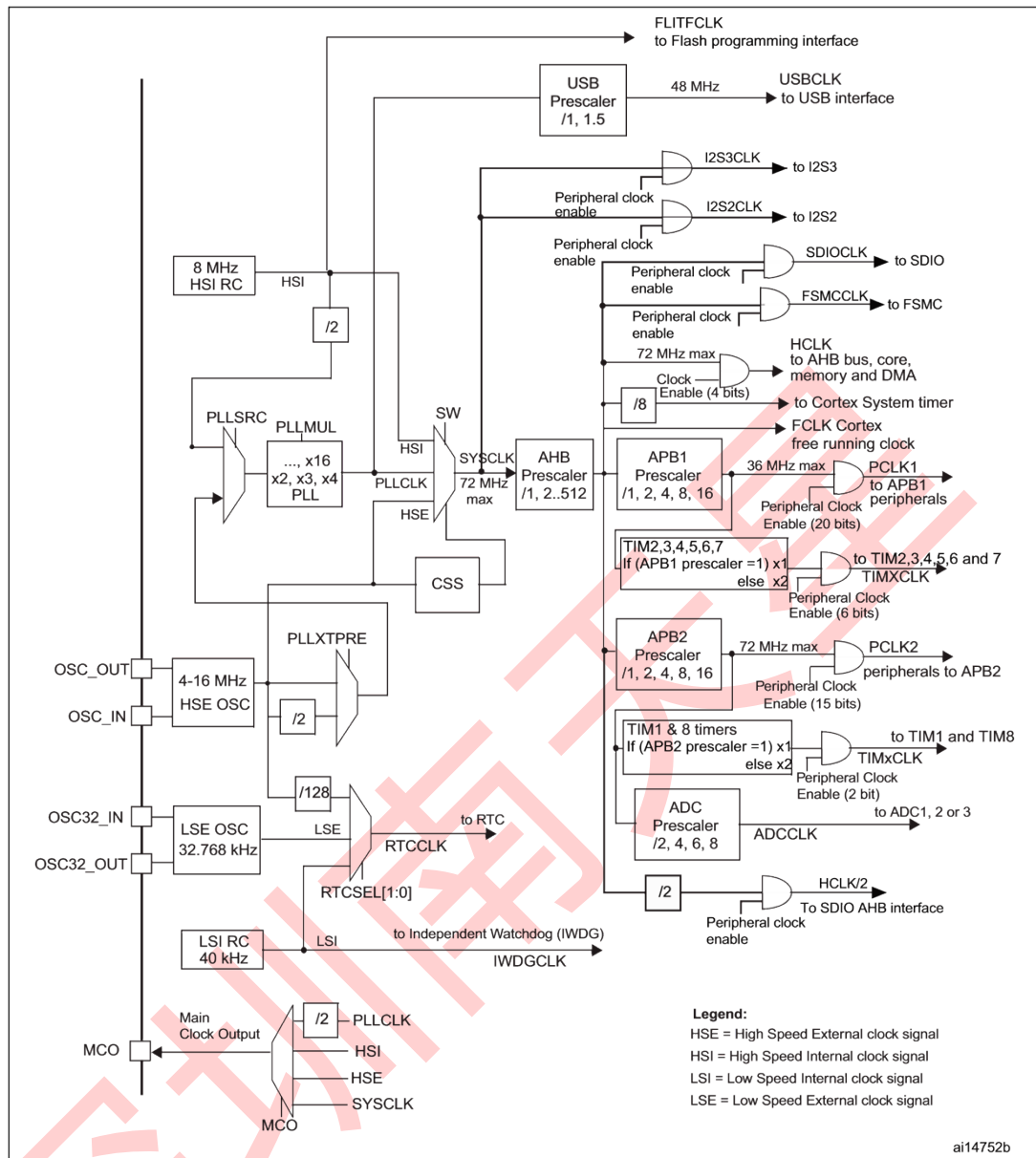


图 1 • STM32F103xC、STM32F103xD 和 STM32F103xE 性能线框图



1. 字母 T 罗马字母的第一个字母 = -40 °C 至 +85 °C (后缀 6, 见表 75) 或 -40 °C 至 +105 °C (后缀 7, 见表 75), 连接温度分别高达 105 °C 或 125 °C。2. AF = I/O 端口引脚上的替代功能。9

图 2。时钟树



1. 当 HSI 用作 PLL 时钟输入时，可以达到的最大系统时钟频率是 64 兆赫。
2. 要使 USB 功能可用，必须启用 HSE 和 PLL，USBCLK 为 48 MHz。
3. 要让 ADC 转换时间达到 1 微米，APB2 必须为 14 MHz、28 MHz 或 56 MHz。

2.2 整个家庭的完全兼容性

STM32F103xC/D/E 是一个完整的家族，其成员完全针对针，软件和功能兼容。在参考手册中，STM32F103x4 和 STM32F103x6 被识别为低密度设备，STM32F103x8 和 STM32F103xB 被称为中密度设备，STM32F103xC、STM32F103xD 和 STM32F103xE 被称为高密度设备。

低密度和高密度设备是 STM32F103x8/B 中密度设备的扩展，它们分别在 STM32F103x4/6 和 STM32F103xC/D/E 数据表中指定。低密度设备具有较低的闪存和 RAM 容量，更少的定时器和外围设备。高密度设备具有更高的闪存和 RAM 容量，以及 SDIO、FSMC、I 等其他外围设备²S 和 DAC，同时与家庭的其他成员保持完全兼容。

STM32F103x4、STM32F103x6、STM32F103xC、STM32F103xD 和 STM32F103xE 是 STM32F103x8/B 设备的替代品，允许用户尝试不同的内存密度，并在开发周期中提供更大的自由度。

此外，STM32F103xx 性能线系列与所有现有的 STM32F101xx 接入线和 STM32F102xx USB 接入线设备完全兼容。

表 3。STM32F103xx 家族

Pinout	低密度设备		中等密度设备		高密度设备		
	16 KB 闪存	32 KB 闪存 ⁽¹⁾	64 KB 闪存	128 KB 闪存	256 KB 闪存	384 KB 闪光灯	512 KB 闪存
	6 KB RAM	10 KB RAM	20 KB RAM	20 KB RAM	48 RAM	64 KB RAM	64 KB RAM
144					5×USARTs 4×16 位计时器，2×基本计时器		
100					3 × SPI，2 × I ² Ss，2 × I ² Cs USB，CAN，2×PWM 计时器		
64	2 × USARTs 2×16 位计时器		3 × USARTs 3×16 位计时器		3 × ADC，2 × DAC，1 × SDIO FSMC (100 针和 144 针封装) ⁽²⁾		
48	1 × SPI，1 × I ² C，USB，CAN，		2 × SPI，2 × I ² Cs，USB，CAN，1×PWM 计时器				
36	1 × PWM 计时器 2 × ADC		2×ADC				

1. 对于在温度范围代码 (6 或 7) 后不显示 A 内部代码的可订购部件号，电气特性的参考数据表是 STM32F103x8/B 中密度设备的参考数据表。

2. 端口 F 和 G 在以 100 针包装交付的设备中不可用。

2.3 概述

2.3.1 手臂[®]皮质[®]-带嵌入式闪存和 SRAM 的 M3 核心

手臂皮质[®]-M3 处理器是用于嵌入式系统的最新一代 Arm 处理器。它的开发旨在提供一个低成本的平台，满足 MCU 实施的需求，减少引脚数和低功耗，同时提供出色的计算性能和对中断的高级系统响应。

手臂皮质[®]-M3 32 位 RISC 处理器具有卓越的代码效率，以通常与 8 位和 16 位设备相关的内存大小提供 Arm 核心所期望的高性能。

凭借其嵌入式 Arm 核心，STM32F103xC、STM32F103xD 和 STM32F103xE 性能系列与所有 Arm 工具和软件兼容。

[图 1](#) 显示设备系列的通用框图。

2.3.2 嵌入式闪存

高达 512K 字节的嵌入式闪存可用于存储程序和数据。

2.3.3 CRC（循环冗余检查）计算单元

CRC（循环冗余检查）计算单元用于从 32 位数据字和固定生成多项式中获取 CRC 代码。

在其他应用中，基于 CRC 的技术用于验证数据传输或存储完整性。在 EN/IEC 60335-1 标准范围内，它们提供了一种验证闪存完整性的方法。CRC 计算单元有助于在运行时计算软件的签名，与链接时生成并存储在给定内存位置的参考签名进行比较。

2.3.4 嵌入式 SRAM

以 CPU 时钟速度访问（读/写）高达 64K 字节的嵌入式 SRAM，等待状态为 0。

2.3.5 FSMC（柔性静态存储器控制器）

FSMC 嵌入在 STM32F103xC、STM32F103xD 和 STM32F103xE 性能线家族。它有四个芯片选择输出，支持以下模式：PC 卡/紧凑型闪存、SRAM、PSRAM、NOR 和 NAND。

功能概述：

- 三条 FSMC 中断线路被 ORed，以便连接到 NVIC
- 写 FIFO
- 除 NAND 闪存和 PC 卡外，从外部内存执行代码
- 目标频率， f_{CLK} ，是 $HCLK/2$ ，所以当 HCLK 为 72 MHz 时，外部访问为 36 MHz，当 HCLK 为 48 MHz 时，外部访问为 24 MHz

2.3.6 LCD 并联接口

FSMC 可以配置为与大多数图形 LCD 控制器无缝接口。它支持英特尔 8080 和摩托罗拉 6800 模式，并且足够灵活，可以适应特定的 LCD 接口。这种 LCD 并行接口功能使使用带有嵌入式控制器的 LCD 模块或使用具有专用加速的外部控制器的高性能解决方案可以轻松构建具有成本效益的图形应用程序。

2.3.7 嵌套矢量中断控制器（NVIC）

STM32F103xC、STM32F103xD 和 STM32F103xE 性能线嵌入了一个嵌套矢量中断控制器，能够处理多达 60 个可掩码中断通道（不包括 Cortex 的 16 条中断线）[®]-M3）和 16 个优先级。

- 紧密耦合的 NVIC 提供低延迟中断处理
- 直接传递到核心的中断条目矢量表地址
- 紧密耦合的 NVIC 核心接口
- 允许早期处理中断
- 处理 延迟到更高优先级的中断
- 支持尾链



- 处理器状态自动保存
- 在中断出口上恢复中断入口，没有指令开销

此硬件块提供灵活的中断管理功能，中断延迟最小。

2.3.8 外部中断/事件控制器 (EXTI)

外部中断/事件控制器由 19 条边缘检测线组成，用于生成中断/事件请求。每条线都可以独立配置为选择触发事件（上升边缘、下降边缘，两者），并且可以独立屏蔽。挂起的寄存器维护中断请求的状态。EXTI 可以检测脉冲宽度短于内部 APB2 时钟周期的外部线路。多达 112 个 GPIO 可以连接到 16 条外部中断线路。

2.3.9 时钟和启动

系统时钟选择在启动时执行，但内部 RC 8 MHz 振荡器在重置时被选为默认 CPU 时钟。可以选择外部 4-16 MHz 时钟，在这种情况下，会对其进行故障监控。如果检测到故障，系统会自动切换回内部 RC 振荡器。如果启用，将生成软件中断。同样，必要时可以对 PLL 时钟条目进行完全中断管理（例如，间接使用的外部振荡失败或者）。

几个预缩放器允许配置 AHB 频率、高速 APB (APB2) 和低速 APB (APB1) 域。AHB 和高速 APB 域的最大频率为 72 MHz。低速 APB 域的最大允许频率为 36 MHz。请参阅 [图 2](#) 有关时钟树的详细信息。

2.3.10 引导模式

在启动时，引导引脚用于选择三个引导选项之一：

- 从用户 Flash 启动：您可以选择从两个内存库中的任何一个启动。默认情况下，选择从闪存库 1 启动。您可以通过在选项字节中设置位来选择从闪存库 2 启动。
- 从系统内存启动
- 从嵌入式 SRAM 启动

引导加载程序位于系统内存中。它用于使用 USART1 重新编程闪存。

2.3.11 电源计划

- $V_{\text{女儿}} = 2.0$ 至 3.6 V：I/O 和内部调节器的外部电源。通过 V 外部提供 女儿 引脚。
- V_{SSA} ， $V_{\text{DDA}} = 2.0$ 至 3.6 V：ADC、DAC、重置块、RC 和 PLL 的外部模拟电源（使用 ADC 或 DAC 时，对 VDDA 施加的最低电压为 2.4V）。 V_{DDA} 和 V_{SSA} 必须连接到 V 女儿 和 V 纳粹党卫军，分别。
- $V_{\text{蝙蝠}} = 1.8$ 至 3.6 V：RTC 电源，外部时钟 32 kHz 振荡器和备用寄存器（通过电源开关）当 V 女儿 不在场。

有关如何连接电源引脚的更多详细信息，请参阅 [图 12：电源方案](#)。

2.3.12 电源主管

该设备具有集成的开机复位 (POR) / 关机复位 (PDR) 电路。它始终处于活动状态，并确保从/向下到 2 V 的正常运行。当 V 时，设备仍处于重置模式 $V_{POR/PDR}$ 低于指定的阈值，不需要外部复位电路。

该设备具有嵌入式可编程电压检测器 (PVD)，可监控 V_{DDA} 电源，并将其与 V 进行比较 PVD 阈值。当 V 时可以生成中断 V_{DDA} 下降到 V 以下 PVD 阈值和/或当 V_{DDA} 比 V 高 PVD 阈值。然后，中断服务例程可以生成警告消息和/或将 MCU 置于安全状态。PVD 由软件启用。参考 [表 12：嵌入式复位和电源控制块特性](#) 对于 V 的值 $V_{POR/PDR}$ 和 V_{PVD} 。

2.3.13 电压调节器

调节器有三种操作模式：主 (MR)、低功耗 (LPR) 和断电。

- MR 用于标称调节模式 (运行)
- LPR 用于停止模式。
- 关机在待机模式下使用：调节器输出处于高阻抗；内核电路断电，诱导零消耗 (但寄存器和 SRAM 的内容丢失)

此调节器在重置后始终启用。它在待机模式下被禁用。

2.3.14 低功耗模式

STM32F103xC、STM32F103xD 和 STM32F103xE 性能线支持三种低功耗模式，以实现低功耗、短启动时间和可用唤醒源之间的最佳折衷：

- **睡觉时段形式**
在睡眠模式下，只有 CPU 停止。所有外围设备都继续运行，当发生中断/事件时，可以唤醒 CPU。
- **阻止形式**
停止模式实现了最低的功耗，同时保留了 SRAM 和寄存器的内容。1.8 V 域中的所有时钟都停止，PLL、HSI RC 和 HSE 晶体振荡器被禁用。稳压器也可以置于正常或低功耗模式。
该设备可以通过任何 EXTI 线路从停止模式唤醒。EXTI 线路源可以是 16 条外部线路之一，PVD 输出，RTC 警报或 USB 唤醒。
- **备用物形式**
待机模式用于实现最低功耗。内部电压调节器已关闭，以便整个 1.8V 域都已关闭。PLL、HSI RC 和 HSE 晶体振荡器也已关闭。进入待机模式后，除了备份域和待机电路中的寄存器外，SRAM 和寄存器内容都会丢失。
当发生外部重置 (NRST 引脚)、IWDG 重置、WKUP 引脚上的上升边缘或 RTC 警报时，设备退出待机模式。

注意：RTC、IWDG 和相应的时钟源不会通过进入停止或待机模式而停止。



2.3.15 DMA

灵活的 12 通道通用 DMA（DMA1 为 7 通道，DMA2 为 5 通道）能够管理内存到内存、外围内存和内存外围传输。两个 DMA 控制器支持循环缓冲区管理，消除了控制器到达缓冲区末端时对用户代码干预的需求。

每个通道都连接到专用的硬件 DMA 请求，并支持每个通道上的软件触发器。配置由软件进行，源和目的地之间的传输大小是独立的。

DMA 可以与主要外围设备一起使用：SPI，I²C，USART，通用，基本和高级控制计时器 TIMx，DAC，I²S、SDIO 和 ADC。

2.3.16 RTC（实时时钟）和备份寄存器

RTC 和备用寄存器通过在 V_{DD} 上接通电源的开关提供备份寄存器。备份寄存器是 42 个 16 位寄存器，用于存储 84 字节的用户应用程序数据，当 V_{DD} 备份寄存器不存在。它们不会被系统或电源重置重置，当设备从待机模式唤醒时，它们也不会重置。

实时时钟提供一组连续运行的计数器，可与合适的软件一起使用，以提供时钟日历功能，并提供报警中断和定期中断。它由 32.768 kHz 的外部晶体、谐振器或振荡器、内部低功率 RC 振荡器或高速外部时钟除以 128 来计时。内部低速 RC 的典型频率为 40 kHz。RTC 可以使用外部 512 Hz 输出进行校准，以补偿任何自然石英偏差。RTC 具有 32 位可编程计数器，用于长期测量，使用比较寄存器生成警报。20 位预缩放器用于时间基时钟，默认配置为从 32.768 kHz 的时钟生成 1 秒的时间基。

2.3.17 计时器和看门狗

高密度 STM32F103xC/D/E 性能线设备包括最多两个高级控制计时器、最多四个通用计时器、两个基本计时器、两个看门狗计时器和一个 SysTick 计时器。

表 4 比较高级控制、通用和基本计时器的特点。

表 4。高密度定时器功能比较

计时器	反决议	柜台类型	预标量因子	DMA 请求生成	捕获/比较频道	补充输出
TIM1， TIM8	16 位	上，下， 上/下	1 到 65536 之间的任何 整数	是	4	是
TIM2， TIM3， TIM4， TIM5	16 位	上，下， 上/下	1 到 65536 之间的任何 整数	是	4	不是
TIM6， TIM7	16 位	在上面	1 到 65536 之间的任何 整数	是	0	不是

高级控制计时器 (TIM1 和 TIM8)

两个高级控制计时器 (TIM1 和 TIM8) 都可以被视为在 6 个通道上多路复用的三相 PWM。它们具有互补的 PWM 输出和可编程插入死时间。它们也可以被视为一个完整的通用计时器。4 个独立频道可用于：

- 输入捕获
- 输出比较
- PWM 生成 (边缘或中心对齐模式)
- 一脉冲模式输出

如果配置为标准的 16 位计时器，它具有与 TIMx 计时器相同的功能。如果配置为 16 位 PWM 发电机，它具有完全调制能力 (0-100%)。

在调试模式下，高级控制计时器计数器可以被冻结，并禁用 PWM 输出，以关闭由这些输出驱动的任何电源开关。

许多功能与具有相同架构的通用 TIM 计时器共享。因此，高级控制计时器可以通过计时器链接功能与 TIM 计时器一起工作，以进行同步或事件链化。

通用计时器 (TIMx)

STM32F103xC、STM32F103xD 和 STM32F103xE 性能线设备中嵌入了多达 4 个可同步的通用定时器 (TIM2、TIM3、TIM4 和 TIM5)。这些计时器基于 16 位自动重新加载上/下计数器，16 位预缩放器，每个通道具有 4 个独立通道，用于输入捕获/输出比较、PWM 或 onepulse 模式输出。这在最大的封装上提供了多达 16 个输入捕获/输出比较/PWM。通用计时器可以通过计时器链接功能与高级控制计时器一起工作，以进行同步或事件链化。他们的计数器可以在调试模式下冻结。任何通用计时器都可用于生成 PWM 输出。他们都有独立的 DMA 请求生成。

这些计时器能够处理正交 (增量) 编码器信号和 1 到 3 个霍尔效应传感器的数字输出。

基本计时器 TIM6 和 TIM7

这些计时器主要用于 DAC 触发器生成。它们也可以用作通用的 16 位时间基。

独立监督机构

独立看门狗基于 12 位下计数器和 8 位预标器。它从独立的 40 kHz 内部 RC 时钟，由于它独立于主时钟运行，它可以在停止和待机模式下运行。它既可以用作在发生问题时重置设备的看门狗，也可以用作应用程序超时管理的免费运行计时器。它是可通过选项字节配置的硬件或软件。计数器可以在调试模式下冻结。

窗口看门狗

窗口看门狗基于一个 7 位下柜台，可以设置为自由运行。当出现问题时，它可以用作监视狗来重置设备。它从...打卡



主时钟。它具有预警中断功能，计数器可以在调试模式下冻结。

SysTick 计时器

这个计时器专用于实时操作系统，但也可以用作标准下压计数器。它的特点是：

- 一个 24 位的向下计数器

- 自动重新加载能力
- 当计数器达到 0 时，可屏蔽系统中断生成。
- 可编程时钟源

2.3.18 I2C 巴士

多达两个 I2C 总线接口可以在多主模式和从模式下运行。它们可以支持标准和快速模式。它们支持 7/10 位寻址模式和 7 位双寻址模式（作为从属）。嵌入了硬件 CRC 生成/验证。它们可以由 DMA 提供服务，并且它们支持 SMFus 2.0/PMBus。

2.3.19 通用同步/异步接收器发射器 (USART)

STM32F103xC、STM32F103xD 和 STM32F103xE 性能线嵌入了三个通用同步/异步接收器发射器 (USART1、USART2 和 USART3) 和两个通用异步接收器发射器 (UART4 和 UART5)。

这五个接口提供异步通信、IrDA SIR ENDEC 支持、多处理器通信模式、单线半双工通信模式，并具有 LIN 主/从功能。

USART1 接口能够以高达 4.5 Mbit/s 的速度进行通信。其他可用接口的通信时间高达 2.25 Mbit/s。

USART1、USART2 和 USART3 还提供 CTS 和 RTS 信号的硬件管理、智能卡模式（符合 ISO 7816）和类似 SPI 的通信能力。除 UART5 外，所有接口都可以由 DMA 控制器提供服务。

2.3.20 串行外围接口 (SPI)

多达三个 SPI 能够在全双工和单纯通信模式下在从属和主模式下进行高达 18 Mbits/s 的通信。3 位预缩放器提供 8 个主模式频率，帧可配置为 8 位或 16 位。硬件 CRC 生成/验证支持基本的 SD 卡/MMC 模式。

所有 SPI 都可以由 DMA 控制器提供服务。

2.3.21 相互集成的声音 (I²S)

两个标准 I²S 接口（与 SPI2 和 SPI3 多路复用）可用，可以在主或从模式下操作。这些接口可以配置为以 16/32 位分辨率运行，作为输入或输出通道。8 kHz 的音频采样频率支持高达 48 kHz。当其中一个或两个 I²S 接口在主界面中配置/正在配置

描述

模式，主时钟可以以采样频率的 256 倍输出到外部 DAC/CODEC。

2.3.22 SDIO

SD/SDIO/MMC 主机接口可用，在三种不同的数据总线模式下支持多媒体卡系统规范版本 4.2：1 位（默认）、4 位和 8 位。该接口允许在 8 位模式下以高达 48 MHz 的频率传输数据，并符合 SD 存储卡规格版本 2.0。

SDIO 卡规范版本 2.0 也支持两种不同的数据总线模式：1 位（默认）和 4 位。

当前版本在任何时候都只支持一张 SD/SDIO/MMC4.2 卡和一堆 MMC4.1 或更早的卡。

除了 SD/SDIO/MMC，该接口还完全符合 CE-ATA 数字协议 Rev1.1。

2.3.23 控制器区域网络 (CAN)

CAN 符合规范 2.0A 和 B（活动），比特率高达 1 Mbit/s。它可以接收和传输具有 11 位标识符的标准帧以及具有 29 位标识符的扩展帧。它有三个传输邮箱，两个具有 3 个阶段的接收 FIFO 和 14 个可扩展的过滤器库。

2.3.24 通用串行总线 (USB)

STM32F103xC、STM32F103xD 和 STM32F103xE 性能线嵌入了与 USB 全速 12 Mbs 兼容的 USB 设备外围设备。USB 接口实现了全速（12 Mbit/s）功能接口。它具有可软件配置的端点设置和暂停/恢复支持。专用的 48 MHz 时钟由内部主 PLL 生成（时钟源必须使用 HSE 晶体振荡器）。

2.3.25 GPIOs (通用输入/输出)

每个 GPIO 引脚都可以由软件配置为输出（推挽或开排）、输入（带或不带上拉或下拉）或外围备用功能。大多数 GPIO 引脚都与数字或模拟替代功能共享。所有 GPIO 都具有高电流能力。

如果需要，可以按照特定顺序锁定 I/Os 备用函数配置，以避免虚假写入 I/Os 寄存器。

2.3.26 ADC (模拟数字转换器)

三个 12 位模数转换器嵌入到 STM32F103xC、STM32F103xD 和 STM32F103xE 性能线设备中，每个 ADC 共享多达 21 个外部通道，在单次拍摄或扫描模式下执行转换。在扫描模式下，对一组选定的模拟输入进行自动转换。

ADC 接口中嵌入的其他逻辑功能允许：

- 同时采样和保持
- 交错样品和保持
- 单分流

ADC 可以由 DMA 控制器提供服务。

模拟看门狗功能允许非常精确地监控一个、部分或所有选定通道的转换电压。当转换后的电压超出编程阈值时，会产生中断。

通用计时器 (TIMx) 和高级控制计时器 (TIM1 和 TIM8) 生成的事件可以分别内部连接到 ADC 启动触发器和注入触发器，以允许应用程序同步 A/D 转换和计时器。

2.3.27 DAC (数字到模拟转换器)

两个 12 位缓冲 DAC 通道可用于将两个数字信号转换为两个模拟电压信号输出。选择的设计结构由集成电阻弦和反转配置的放大器组成。

此双数字接口支持以下功能：

- 两个 DAC 转换器：每个输出通道一个
- 8 位或 12 位单调输出
- 12 位模式下的左或右数据对齐
- 同步更新能力
- 噪声波产生
- 三角波发电
- 双 DAC 通道独立或同时转换
- 每个通道的 DMA 能力
- 转换的外部触发器
- 输入电压参考 $V_{\text{参考}+}$

STM32F103xC、STM32F103xD 和 STM32F103xE 性能系列。DAC 通道通过计时器更新输出触发，这些输出也连接到不同的 DMA 通道。

描述

2.3.28 温度传感器

温度传感器必须产生随温度线性变化的电压。转换范围在 $2\text{ V} < V_{\text{DDA}} < 3.6\text{ V}$ 。温度传感器内部连接到 ADC1_IN16 输入通道，该通道用于将传感器输出电压转换为数字值。

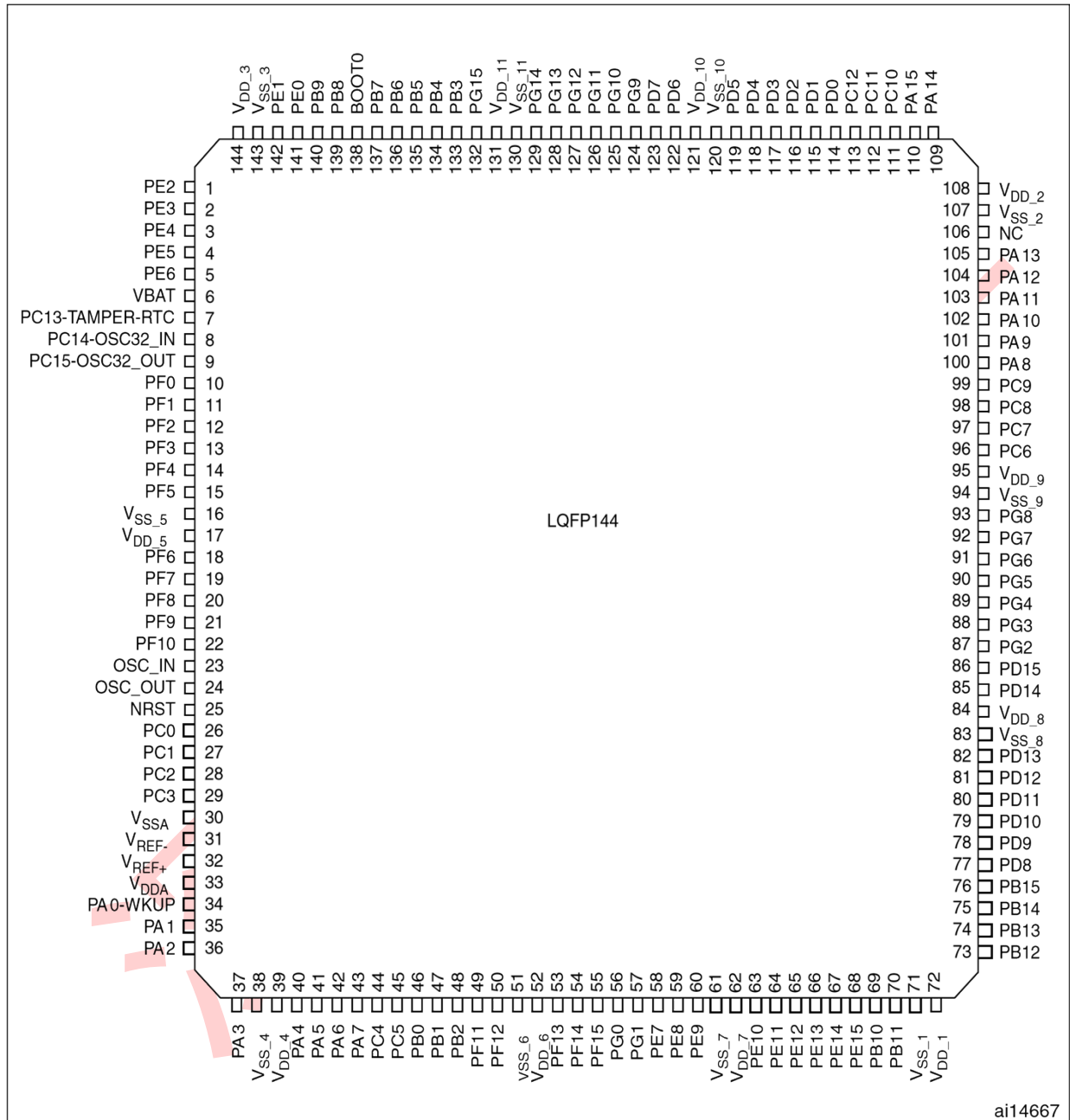
2.3.29 串行线 JTAG 调试端口 (SWJ-DP)

Arm SWJ-DP 接口是嵌入式的，是 JTAG 和串行线调试的联合端口，可以将串行线调试或 JTAG 探头连接到目标。JTAG TMS 和 TCK 引脚分别与 SWDIO 和 SWCLK 共享，TMS 引脚上的特定序列用于在 JTAG-DP 和 SW-DP 之间切换。

2.3.30 嵌入式 Trace Macrocell™

手臂®嵌入式跟踪 Macrocell 通过以非常高的速度将压缩数据从 STM32F10xxx 通过少量 ETM 引脚流式传输到外部硬件跟踪端口分析器 (TPA) 设备，从而提高 CPU 内指令和数据流的可见性。TPA 使用 USB、以太网或任何其他高速通道连接到主机。可以记录实时指令和数据流活动，然后格式化以显示在运行调试器软件的主机计算机上。TPA Hardware 可以从常见的开发工具供应商那里获得。它与第三方调试器软件工具一起运行。

STM32F103xC/D/E 性能线 LQFP144 引脚

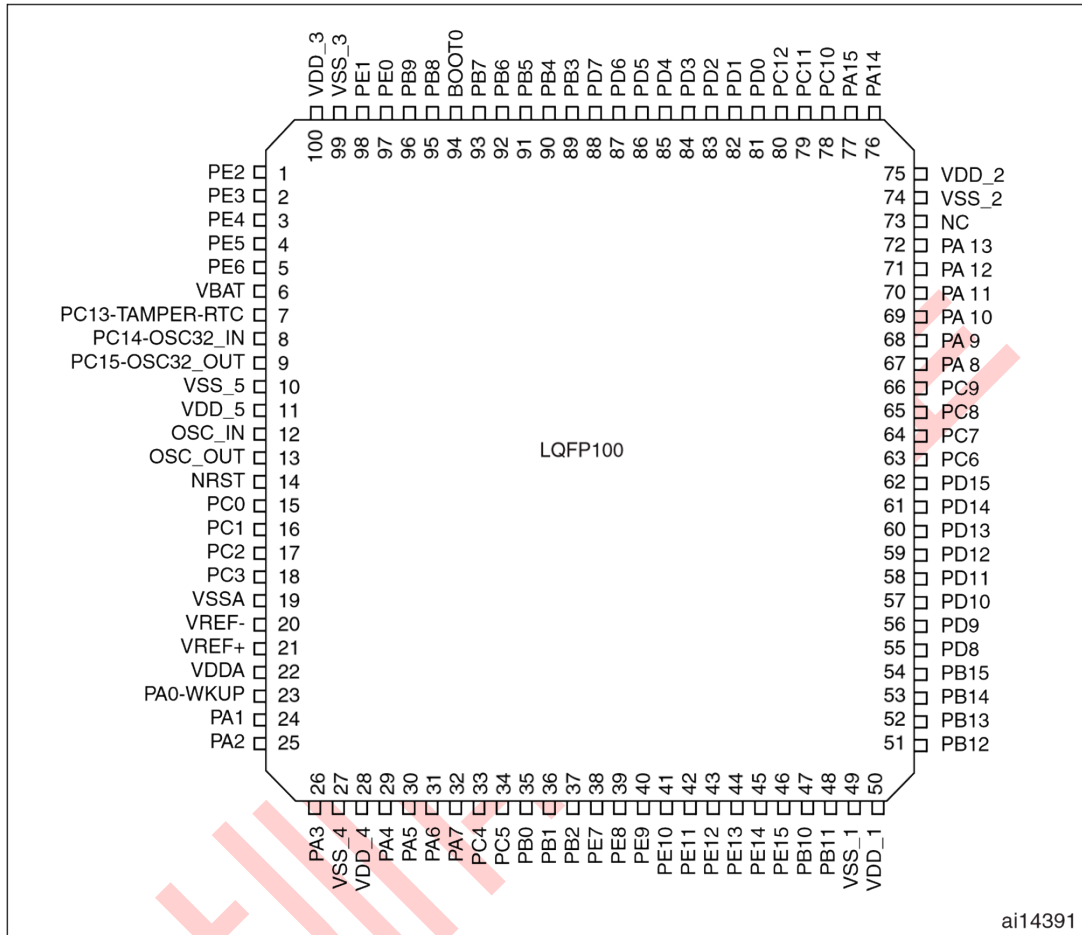


1. The above figure shows the package top view.



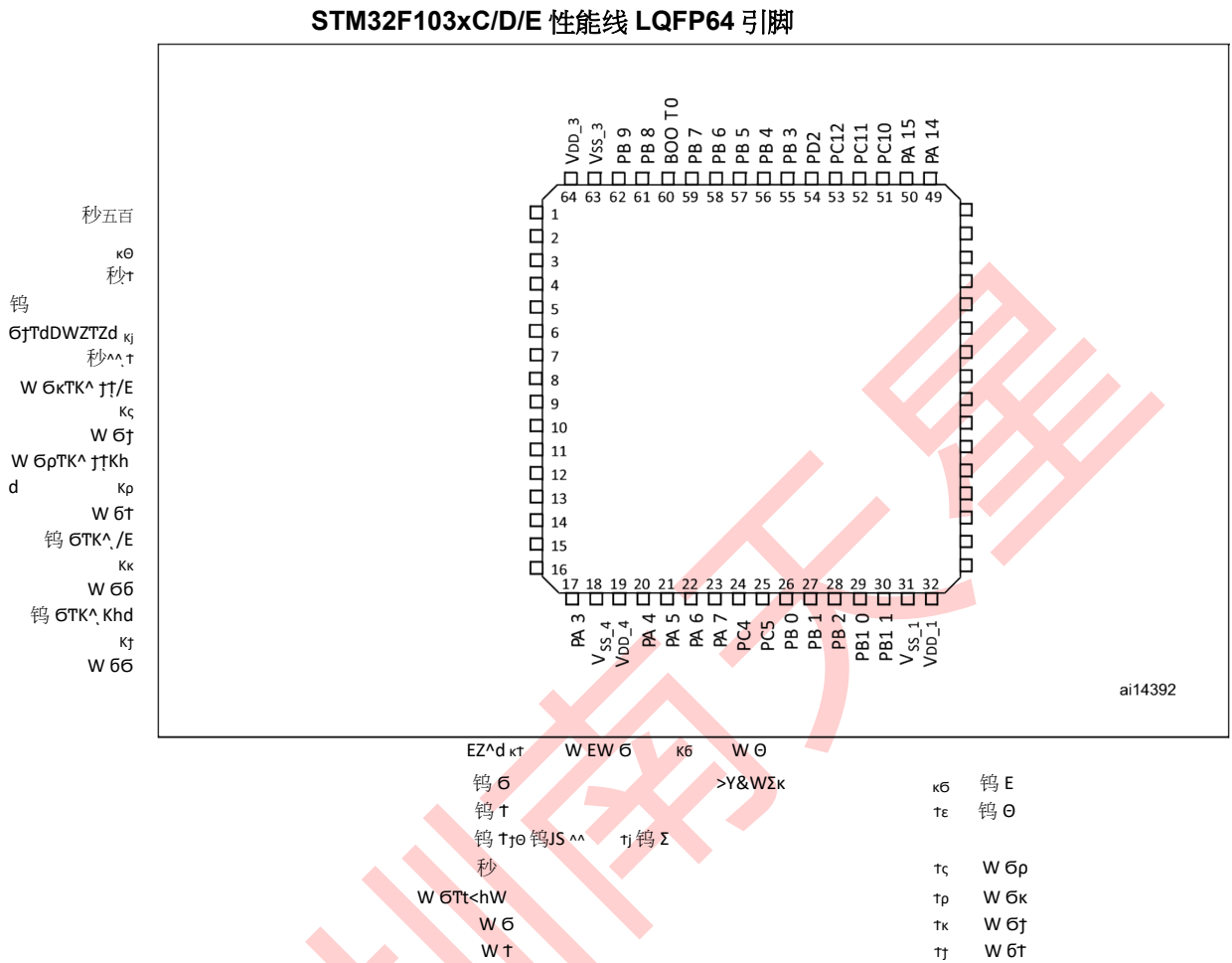
引脚和引脚描述

图 6 • STM32F103xC/D/E 性能线 LQFP100 引脚



1. The above figure shows the package top view.

引脚和引脚描述图 7。



1. 上图显示了软件包的顶部视图。



深圳市南天星